

논문 2007-44SD-6-1

2X Converse Oversampling 1.65Gb/s/ch CMOS 준 디지털 데이터 복원 회로

(2X Converse Oversampling 1.65Gb/s/ch CMOS Semi-digital Data
Recovery)

김길수*, 김규영*, 손관수*, 김수원**

(Gil-Su Kim, Kyu-Young Kim, Kwansu Shon, and Soo-Won Kim)

요 약

본 논문에서는 고성능 멀티미디어 인터페이스 (High Definition Multimedia Interface: HDMI) 용 수신기의 전력 절감과 면적 감소를 위한 2X converse oversampling 방식의 준 디지털 데이터 복원 회로를 제안한다. 제안하는 데이터 복원 회로는 2X converse oversampling 방식의 데이터 검출 알고리즘과 준 디지털 구조를 이용해 전력과 유효 면적을 효과적으로 감소시킨다. 제안하는 회로의 성능을 검증하기 위해서 0.18 μ m CMOS 공정을 이용하여 칩이 제작되었으며, 측정 결과 14.4mW의 전력을 소모하고, 0.152mm²의 유효 면적을 차지하며, 0.7UIpp의 Jitter tolerance 성능을 나타내므로 HDMI용 수신기의 전체 전력과 유효 면적을 효과적으로 감소시킬 수 있다.

Abstract

This paper proposes CMOS semi-digital data recovery with 2X converse oversampling to reduce power consumption and chip area of high definition multimedia interface (HDMI) receivers. Proposed recovery can reduce its power and the effective area by using 2X converse oversampling algorithm and semi-digital architecture. Proposed circuit is fabricated using 0.18 μ m CMOS process and measured results demonstrated the power consumption of 14.4mW, the effective area of 0.152mm² and the jitter tolerance of 0.7UIpp with 1.8V supply voltage.)

Keywords : Semi-digital data recovery, converse oversampling, power reduction, small area

I. 서 론

최근 HDTV, DVD Player, Set-Top Box, Digital Camera 등과 같은 디지털 가전 기기들의 수요가 폭발적으로 증가함에 따라 이들 기기들 간의 신호를 디지털로 연결하는 규격인 고성능 멀티미디어 인터페이스 (High

Definition Multimedia Interface: HDMI)에 대한 관심이 고조되고 있다^[1]. HDMI용 송수신기는 최대 5Gb/s의 데이터 전송률을 위해 3개의 데이터 채널과 1개의 클럭 채널을 통해 채널당 최대 1.65Gb/s의 데이터를 전송할 수 있다. 따라서 HDMI용 수신기에 사용되는 데이터 복원 회로 (Data Recovery)는 고속의 데이터 신호를 처리해야 할 뿐만 아니라, System on a chip (SoC) 구현에 적합하도록 저 전력을 소모하면서, 작은 면적을 차지하도록 설계되어야 한다.

데이터 복원 회로는 Feedback system의 종류에 따라 위상 고정 루프 (Phase-Locked Loop: PLL) 기반의 데이터 복원 회로와 지연 고정 루프 (Delay-Locked Loop:

* 학생회원, ** 정회원, 고려대학교 전자컴퓨터공학과 (Department of Electronics and Computer Eng., Korea University)

※ 본 논문은 산업자원부가 지원하는 국가 반도체연구 개발사업인 "시스템집적반도체기반기술개발사업(시스템IC2010)"을 통해 개발된 결과임을 밝힙니다.

접수일자: 2006년10월13일, 수정완료일: 2007년5월7일

DLL) 기반의 데이터 복원 회로로 분류될 수 있으며, 신호 처리 방식에 따라 아날로그 데이터 복원 회로와 디지털 데이터 복원 회로로 분류될 수 있다. 일반적으로 위상 고정 루프 기반의 데이터 복원 회로는 전압 제어 발진기 (Voltage-Controlled Oscillator: VCO)를 이용하기 때문에, 지연 고정 루프 기반의 회로에 비해 시스템의 안정도가 떨어지고, 설계가 어려우며, 집적도가 떨어진다는 문제점이 있다^[2]. 한편 지연 고정 루프 기반의 데이터 복원 회로는 데이터와 클럭을 동기화시키기 위해 독립적인 고속의 클럭이 필요하므로, HDMI용 수신기와 같이 독립적인 클럭 발생기가 제공되는 분야에 적합한 회로이다.

이러한 지연 고정 루프 기반의 데이터 복원 회로는 아날로그 방식과 디지털 방식으로 구현될 수 있으며, 아날로그 방식이 지터 (Jitter)와 스큐 (Skew) 성능이 우수하다는 장점이 있는 반면, 많은 전력 소모와 칩 면적을 차지한다는 단점과 시스템 성능의 공정 의존도가 높아 긴 설계 시간을 요구한다는 단점으로 인해 현재는 디지털 방식의 데이터 복원 회로를 더 선호하고 있는 추세이다. 그러나 디지털 데이터 복원 회로는 디지털 제어 지연 소자 (Digitally-Controlled Delay Line: DCDL)에 사용된 단위 지연 소자 (Unit Delay Cell)의 위상 오프셋 (Phase Offset) 으로 인한 지터의 영향으로 고 지터 성능을 요구하는 분야에서는 응용이 제한되고 있다^[3].

본 논문에서는 이러한 아날로그 회로와 디지털 회로의 단점을 보완할 수 있는 지연 고정 루프 기반의 준 디지털 (Semi-Digital) 데이터 복원 회로를 설계하였다. 제안하는 데이터 복원 회로는 다음과 같은 특징을 가진다. 첫째, 전력 소모와 칩 면적을 감소시키기 위해서 위상 고정 발진기 (Locked Oscillator)를 필요로 하는 다중 위상 클럭 샘플링 (Multi-Phase Clock Sampling) 기법 대신 다중 위상 데이터 샘플링 (Multi-Phase Data Sampling) 기법 (Converse oversampling)을 사용하여 회로를 단순화하였다. 또한 아날로그 회로의 단점인 시스템의 공정 의존도를 줄이고 전력 소모와 칩 면적을 감소시키기 위해 전하 펌프와 루프 필터 대신 카운터와 DAC를 사용하였다. 둘째, 시스템의 지터 성능 (Jitter Tolerance)을 개선하기 위해서 2X Converse oversampling 방식의 데이터 검출 알고리즘을 새롭게 제안하였으며, Vernier 지연 방식의 전압 제어 지연기 (Voltage-Controlled Delay Line: VCDL)를 구현하여, 해상도를 증가시킴으로써 위상 오프셋을 최소화하였다. 또한, 디지털 데이터 복원 회로의

위상 오프셋 문제를 개선하기 위해서 고해상도의 디지털 아날로그 변환기 (Digital-to-Analog Converter :DAC)와 단위 지연 소자를 이용하여 준 디지털 방식의 데이터 복원 회로를 구현하였다.

II. 데이터 복원 회로

1. 기존의 데이터 복원 회로

그림 1은 기존의 아날로그 지연 고정 루프 기반의 데이터 복원 회로를 나타낸 것이다. 아날로그 지연 고정 루프 기반의 데이터 복원 회로는 데이터와 클럭의 위상차를 선형적으로 검출할 수 있는 선형 위상 검출기 (Linear Phase Detector)와 검출된 위상차를 제어 신호로 변환할 수 있는 전하 펌프 (Charge-Pump)와 루프 필터 (Loop Filter), 출력된 제어 신호를 이용해 데이터와 클럭을 동기화시키는 전압 제어 지연 소자 (Voltage-Controlled Delay Line: VCDL)로 구성되어 있다. 기존 아날로그 데이터 복원회로는 지터 (Jitter)와 스큐 (Skew) 성능이 우수하다는 장점이 있는 반면, 전하

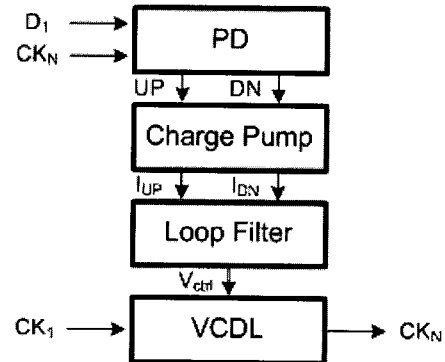


그림 1. 아날로그 데이터 복원 회로

Fig. 1. Analog data recovery.

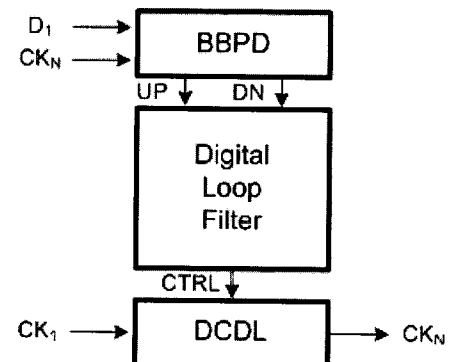


그림 2. 디지털 데이터 복원 회로

Fig. 2. Digital data recovery.

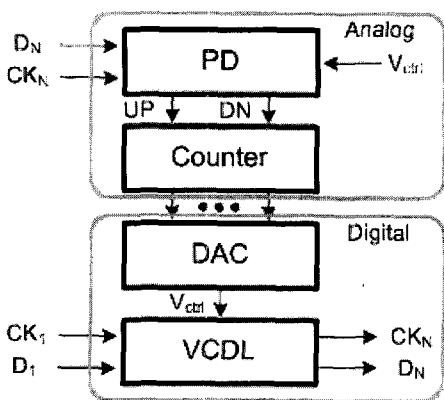


그림 3. 준 디지털 데이터 복원 회로
Fig. 3. Semi-digital data recovery.

펌프와 루프 필터의 사용으로 인해 많은 전력 소모와 큰 면적을 차지한다는 단점이 있으며, 데이터 복원 회로 성능의 공정 의존도가 높아 설계 시간이 길다는 단점이 있다. 이러한 문제점들을 해결하기 위해서, 그림 2와 같은 디지털 지연 고정 루프 기반의 데이터 복원 회로가 제안되었다. 그러나 디지털 데이터 복원 회로는 디지털 제어 지연 소자에 사용된 단위 지연 소자의 위상 오차로 인한 지터 성능의 악화로 고 지터 성능이 요구되는 분야에서는 사용이 제한되고 있다. 또한 데이터와 클록의 위상 차이를 보상하기 위해 적절한 지연 량을 결정하는 과정이 복잡한 계산을 필요로 하기 때문에, 이로 인해 시스템이 복잡해지는 문제점이 있다^[3]. 그림 3에 나타난 준 디지털 지연 고정 루프 기반의 데이터 복원 회로는 아날로그 회로 구현에 사용되었던 전하 펌프와 루프 필터를 제거하여 전력 소모와 면적을 줄일 수 있으며, 디지털 회로 구현에 사용되었던 디지털 전압 제어 지연기 (Digitally-Controlled Delay Line: DCDL) 대신 디지털 아날로그 변환기 (Digital-to- Analog Converter: DAC) 와 전압 제어 지연기 (Voltage- Controlled Delay Line: VCDL)를 사용함으로써 디지털 회로의 위상 오차 문제를 해결할 수 있다.

2. 제안한 준 디지털 데이터 복원 회로

그림 4는 제안하는 준 디지털 지연 고정 루프 기반의 데이터 복원 회로를 나타낸 것이다. 제안하는 회로는 기존의 아날로그 회로와 동일한 기능을 갖도록 아날로그 회로에서 사용되었던 선형 위상 검출기 대신 본 논문에서 제안한 비선형 위상 검출기를 사용하였으며, 전하 펌프와 루프 필터 대신 카운터와 DAC를 사용함으로써 디지털 데이터 복원 회로의 위상 오차 문제를 해결하여 지터 성능을 개선하려 하였다. 또한, 제안한 2X Converse

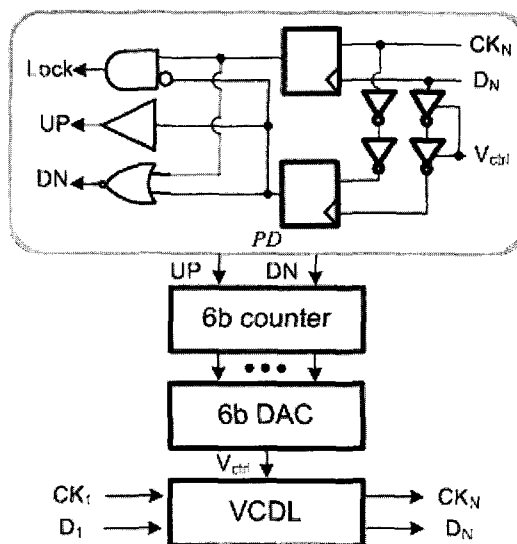


그림 4. 제안된 지연 고정 루프 기반의 데이터 복원 회로
Fig. 4. Proposed DLL-based semi-digital data recovery.

oversampling 알고리즘을 이용해 회로를 단순화하고, 시스템에서 요구하는 지터 성능을 개선하려 하였다.

제안한 비선형 위상 검출기는 데이터와 클록의 위상 차를 검출하는 기능을 하며, 클록의 위상이 데이터의 위상보다 빠를 경우 UP 신호를 출력하고, 클록의 위상이 데이터의 위상보다 느릴 경우 DOWN 신호를 출력한다. 디지털 루프 필터 기능을 하는 카운터는 위상 검출기에서 출력된 UP/DOWN 신호와 클록을 이용해 DAC 입력 신호를 생성하며, DAC는 카운터 출력을 이용하여 전압 제어 지연기의 제어 전압을 결정한다. 전압 제어 지연기는 제어 전압을 이용하여 데이터와 클록을 동기화 시키는 역할을 한다.

3. 2X Converse Oversampling 기법을 이용한 비선형 위상 검출기

일반적으로 데이터를 복원하는 방법은 지연 객체에 따라 클록 지연 기법과 데이터 지연 기법으로 분류될 수 있다. 데이터를 지연시키는 방법은 다중 위상 클록을 이용해 데이터를 Oversampling 한 후 위상 제어 정보를 추출하고 추출된 위상 제어 정보를 이용해 데이터를 지연시키므로 상대적으로 중요한 정보를 포함하고 있는 고속의 데이터를 지연시킬 경우, 정보가 손상될 우려가 있다. 또한, 이 기법은 지터가 적은 다중 위상 클록을 요구하기 때문에, PLL 또는 DLL을 사용해야 하고 이로 인해 많은 전력 소모와 칩 면적을 차지한다는 문제점이 있다^[5]. 이러한 문제점을 해결하기 위해서 클록을 지연

시커 데이터와 클록의 위상 차를 보상하는 방법을 이용한 비선형 위상 검출기를 제안하였다. 제안하는 비선형 위상 검출기는 다중 위상의 클록대신 다중 위상의 데이터를 이용해 클록을 Oversampling 한 후 위상 제어 정보를 추출하고 추출된 위상 제어 정보를 이용해 클록을 지연시키는 방식이다.

PLL 또는 DLL 과 같은 Feedback system의 안정도 (Stability)는 입력 신호의 주파수와 Loop bandwidth의 관계에 의해 결정된다. Loop bandwidth가 커질수록 시스템은 불안정하게 되며, 반대의 경우, Feedback system의 Locking time이 길어지게 된다^[2]. 그러나 데이터 복원 회로의 경우 주기적인 입력 신호가 아닌 랜덤 패턴의 데이터 신호를 처리해야 하므로, 이상적인 경우 랜덤 입력 신호의 주파수에 비례하도록 Loop bandwidth를 가변시켜 주어야 시스템을 안정화시킬 수 있다. 그러나 가변적인 Loop bandwidth를 갖도록 시스템을 설계하는 것은 어렵기 때문에 Loop bandwidth를 최소 데이터 전송율의 $1/4 \sim 1/10$ 이 되도록 설계한다. PLL 또는 DLL과 마찬가지로 데이터 복원 회로의 작은 Loop bandwidth는 Locking time이 길어지는 원인이 될 뿐만 아니라, Jitter tolerance 성능을 악화시키는 원인이 된다. 본 논문에서 제안한 2X Converse oversampling 알고리즘을 이용한 데이터 복원 회로는 1.65Gb/s의 랜덤 신호 대신 1.65GHz의 주기 신호를 입력 단에 인가하기 때문에 큰 Loop bandwidth를 갖는 시스템 구현이 가능하므로, 이를 이용해 Jitter tolerance 성능을 개선할 수 있다.

그림 5는 제안된 2X Converse oversampling 비선형 위상 검출기를 나타낸 것이다. 제안된 위상 검출기는 데이터와 클록의 위상 제어 정보를 추출하는 D-플립 플롭과 추출된 위상 제어 정보에 따라 UP/DOWN/LOCK 신호를 출력하는 Control logic, 제어 전압 (V_{ctrl})에 따라 데이터와 클록의 위상 오차를 줄일 수 있도록 클록을 지연

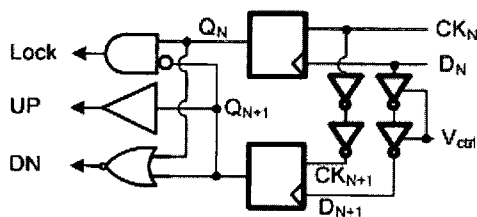


그림 5. 제안된 2X converse oversampling 비선형 위상 검출기

Fig. 5. Proposed 2X converse oversampling phase detector.

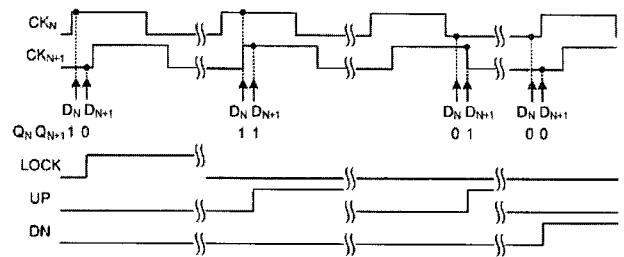


그림 6. 제안된 비선형 위상 검출기의 위상 검출

Fig. 6. Phase detection algorithm of phase detector.

표 1. 제안된 비선형 위상 검출기의 진리표
Table 1. Truth table for phase detector.

Q_N	Q_{N+1}	UP	DN	LOCK
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	1	0	0

시키는 전압 제어 지연 소자로 구성되어 있다.

제안된 비선형 위상 검출기는 클록의 위상이 데이터의 위상보다 빠를 경우 '11'의 디지털 신호를 출력하고, Control logic을 통해 UP 신호를 출력해서 클록의 지연량을 증가시키며, 클록의 위상이 데이터의 위상보다 느릴 경우 '00'의 디지털 신호를 출력하고, Control logic을 통해서 DOWN 신호를 출력해서 클록의 지연량을 감소시킨다. 한편, 클록과 데이터의 위상이 정확히 일치할 경우 '10'의 디지털 신호를 출력하고, Control logic을 통해 LOCK 신호를 출력한다. 그림 6은 제안된 비선형 위상 검출기의 위상 검출 방법을 나타낸 것이다. 표 1은 제안된 비선형 위상 검출기의 진리표를 나타낸 것이다.

일반적으로 데이터에 포함된 지터 성분의 주파수는 0~20MHz 범위를 나타낸다. 이러한 지터 성분의 주파수보다 작은 Loop bandwidth를 갖는 Feedback system의 경우 우수한 Jitter tolerance 성능을 기대하기 어려우며 우수한 BER 성능 역시 기대하기 어렵다. 제안된 비선형 위상 검출기는 큰 Loop bandwidth를 나타내는 2X Converse oversampling 데이터 검출 알고리즘을 사용하였기 때문에, 이러한 문제점을 해결할 수 있다.

3. Vernier 지연 방식의 전압제어 지연기

제안된 준 디지털 데이터 복원 회로의 안정도를 위해서는 일정한 Loop bandwidth를 갖도록 각 블록들을 설계해야 한다. 데이터 복원 회로의 Loop bandwidth는 VCDL의 Gain, 루프 필터의 Gain 그리고 위상 검출기

의 Gain의 곱으로 나타낼 수 있으므로, VCDL의 비선형성은 시스템의 안정도에 직접 영향을 주게 된다. 따라서 본 논문에서는 선형성이 우수한 캐패시터 제어 지연 소자 (Capacitive-Controlled Delay Cell)를 이용하여 VCDL을 구현하였다^[2]. 그림 7과 8은 설계된 VCDL과 단위 지연 소자의 선형 특성을 나타낸 것이다. 설계된 캐패시터 제어 지연 소자는 0.6V의 제어 전압을 인가하였을 때 85ps의 지연량을 나타내며 1.8V의 제어 전압을 인가하였을 때, 192ps의 지연량을 나타낸다.

디지털 방식의 데이터 복원 회로는 디지털 제어 지연기 (DCDL)에 사용된 단위 지연 소자의 위상 옵셋으로 인해 시스템 고유의 지터 성분을 포함하게 된다. 또한 단일 지연 방식을 사용할 경우 디지털 제어 지연기의 해상도가 제한되며, 이로 인해 시스템의 지터 성능은 악화된다. 본 논문에서는 이러한 문제점을 해결하기 위해서 Vernier 지연 방식의 전압제어 지연기 (VCDL)를 구현하였다. 단위 지연 소자의 지연 시간이 t_a , 버퍼의 지연 시간이 t_b 일 때, 유효 지연 시간은 $t_a - t_b$ 가 되므로, 설계된 전압제어 지연기 (VCDL)는 증가된

해상도를 나타내고 이를 통해 시스템 고유의 지터 성분을 감소시킬 수 있다. 예를 들어, 설계된 캐패시터 제어 지연 소자의 지연량의 범위, $t_a=85ps\sim 192ps$ 이고, 버퍼의 지연량, $t_b=60ps$ 일 때, 유효 지연 량의 범위, $t_a - t_b=25ps\sim 132ps$ 가 되므로, 설계된 전압 제어 지연기 (VCDL)는 증가된 해상도 (85ps→25ps)를 나타낼 수 있다.

제안된 준 디지털 데이터 복원 회로에서 데이터와 클럭의 최대 위상 오차는 $303ps (1/2f_{clk})$ 이다. 캐패시터 제어 지연 소자의 최소 유효 지연량이 25ps이므로 전압 제어 지연기 (VCDL)는 12개 이상의 단위 지연 소자로 구성되어야 한다. 본 논문에서는 공정, 전원 전압, 온도 변화를 고려하여 13개의 단위 지연 소자를 이용하여 전압 제어 지연기 (VCDL)를 구성하였다.

III. 실험

1. 실험 결과

제안된 데이터 복원 회로는 0.18um CMOS 공정을 이용하여 제작되었으며, 그림 9는 설계 회로의 칩 사진을 나타낸 것이다. 제작된 회로의 유효 면적은 $0.152mm^2$ 로 측정되었다.

제안한 데이터 복원 회로의 지터 특성을 측정하기 위해서 칩 내부에 $2^{12}-1$ 주기의 랜덤 데이터를 생성하는 랜덤 신호 발생기 (Pseudo Random Bit Sequence: PRBS)를 설계하였다. 그림 10은 측정된 Eye 다이어그램으로 칩 내부에 설계된 1:16 DEMUX를 통과한 출력

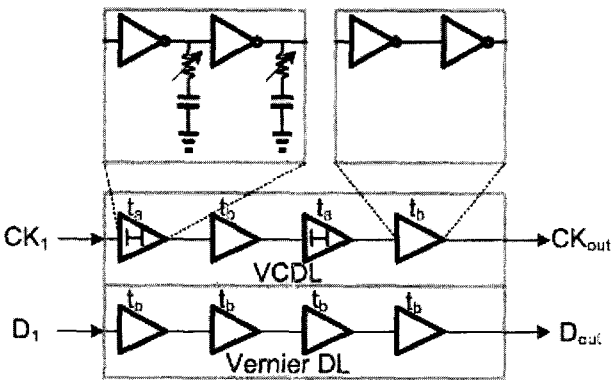


그림 7. Vernier 지연 방식의 VCDL
Fig. 7. Vernier delay line.

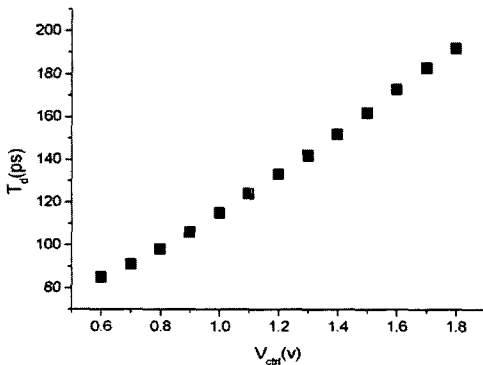


그림 8. 단위 지연소자의 선형 특성 곡선
Fig. 8. Linearity characteristic of unit delay cell.

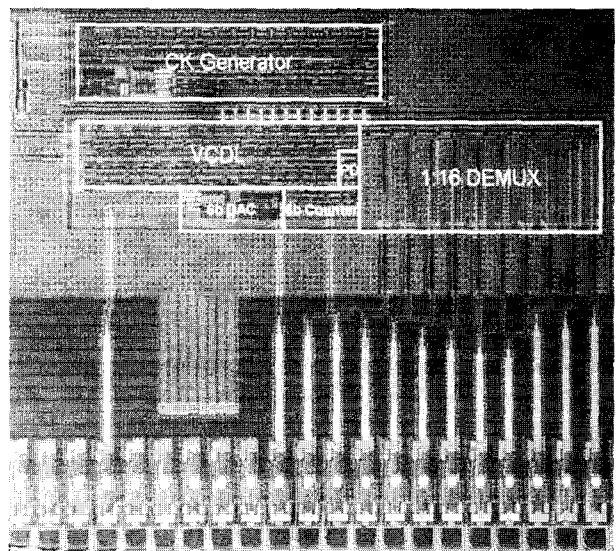


그림 9. 준 디지털 데이터 복원 회로의 칩사진
Fig. 9. Chip photo of semi-digital data recovery.

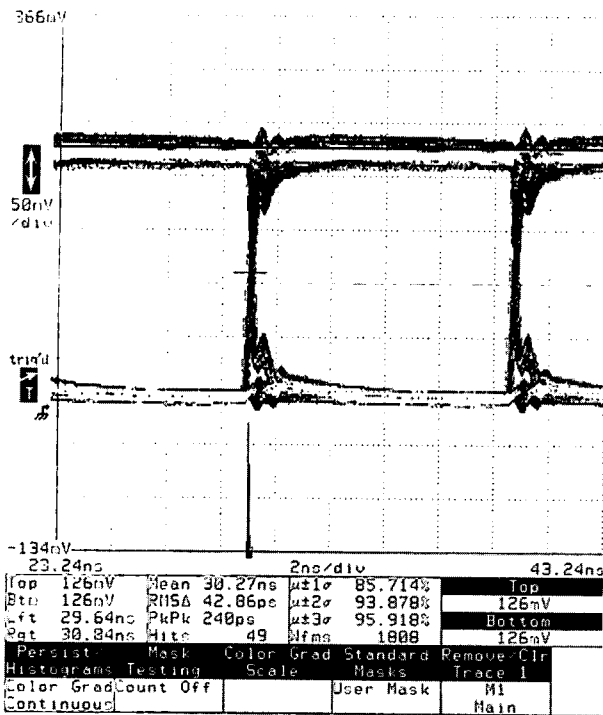


그림 10. 제안된 데이터 복원 회로의 Eye 다이어그램
Fig. 10. Eye diagram of proposed data recovery.

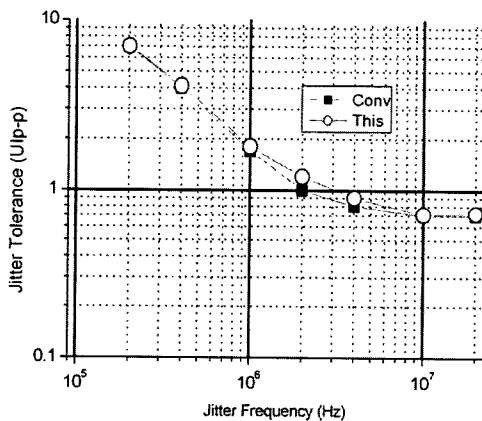


그림 11. Jitter tolerance 측정 결과
Fig. 11. Measured results of jitter tolerance.

표 2. 기존 회로와의 성능 비교
Table 2. Performance comparison.

	[4]	[5]	This work
Supply	3.3/5V	1.8V	1.8V
Technology	0.5um CMOS	0.18um BiCMOS	0.18um CMOS
Data rate	312Mb/s	2.5Gb/s	1.65Gb/s
Power	200mW	50mW	14.4mW
Area	0.225mm ²	0.02mm ²	0.152mm ²
Tolerance	-	0.7UIpp	0.7UIpp
BER	10 ⁻¹⁰	10 ⁻¹²	10 ⁻¹⁰

을 나타낸 것이다. 제안된 회로의 rms 지터와 peak-peak 지터는 각각 42.86ps, 240ps로 측정되었다. 그림 11은 Jitter tolerance 측정 결과를 나타낸 것이다.

Jitter tolerance 를 측정하기 위해 칩 내부에 설계된 PRBS와 BER checker를 이용해 실험을 진행하였다. 측정 결과 기존 BiCMOS 공정을 이용해 제작된 회로^[5]와 거의 동일한 지터 성능 (0.7UIpp)을 가짐을 확인할 수 있다. 표 2는 기존 회로와의 성능을 비교한 것이다. 제안된 데이터 복원 회로는 기존의 BiCMOS로 구현된 회로^[5]와 비교해 70% 감소된 전력 (50mW→14.4mW)을 소모하고, 기존의 CMOS로 구현된 회로^[4]와 비교해 32% 감소된 유효 면적 (0.225mm²→0.152mm²)을 차지한다.

IV. 결론

본 논문에서는 HDMI용 수신기의 전력 절감과 면적 감소를 위해 2X Converse oversampling 방식의 준 디지털 데이터 복원 회로를 구현하였다. 전력 소모와 유효 면적을 줄이기 위해 2X Converse oversampling 기법을 사용하여 회로를 단순화하였으며, 전하 펌프와 루프 필터 대신 카운터와 DAC를 사용하였다. 또한, 시스템의 지터 성능 (Jitter tolerance)을 개선하기 위해서 2X Converse oversampling 방식의 데이터 검출 알고리즘을 제안하였으며, Vernier 지연기와 고해상도 DAC를 구현하였다. 제안된 데이터 복원 회로는 기존의 BiCMOS로 구현된 회로와 비교해 유사한 Jitter tolerance (0.7UIpp)를 나타내면서 70% 감소된 전력 (50mW→14.4mW)을 소모하고, 기존의 CMOS로 구현된 회로에 비해 32% 감소된 유효 면적 (0.225mm²→0.152mm²)을 차지하므로 HDMI용 수신기의 전체 전력과 칩 면적을 효과적으로 감소시킬 수 있다.

참고 문헌

- [1] <http://www.hdmi.org/>
- [2] B. Razavi, "Phase-Locking in High-Performance Systems from Devices to Architectures", *IEEE Press*, pp. 13-22, 2003.
- [3] B. W. Garlepp, et al., "A Portable Digital DLL for High-Speed CMOS Interface Circuits", *IEEE J. Solid state Circuits*, Vol. 34, No. 5, pp. 632-644, May 1999.
- [4] K. Lee, et al., "1.04Gbd Low EMI Digital Video

Interface System Using Small Swing Serial Link Technique”, *IEEE J. Solid state Circuits*, Vol. 33, No. 5, pp. 816-823, May 1998.

- [5] Y. Miki, et al., “A 50-mW/ch 2.5-Gb/s/ch Data Recovery Circuits for the SFI-5 Interface With Digital Eye-Tracking”, *IEEE J. Solid state Circuits*. Vol. 39, No. 4, pp. 613-621, April 2004.

저 자 소 개



김 길 수(학생회원)
2002년 고려대학교 전기공학과
학사 졸업.
2006년 고려대학교 전자컴퓨터
공학과 석박사 통합과정
수료.

<주관심분야 : High speed CMOS transceiver,
Low power analog/digital circuits>



김 규 영(학생회원)
2005년 고려대학교 전기전자전파
공학부 학사 졸업.
2005년~현재 고려대학교
전자컴퓨터공학과 석박사
통합과정 재학 중.

<주관심분야 : High speed CMOS transceiver>



손 관 수(학생회원)
2005년 고려대학교 전기전자전파
공학부 학사 졸업.
2006년~현재 고려대학교 마이크로
/나노시스템 협동과정 석
사과정 재학 중.

<주관심분야 : High speed CMOS transceiver>



김 수 원(정회원)
1974년 고려대학교 전자공학과
학사 졸업.
1976년 고려대학교 전자공학과
석사 졸업.
1983년 Texas A&M Univ.
전자공학과 석사 졸업.

1987년 Texas A&M Univ. 전자공학과
박사 졸업.

1987년~현재 고려대학교 전자컴퓨터공학과
정교수

<주관심분야 : High speed CMOS transceiver,
Implantable System IC, Sensor Interface IC >