

논문 2007-44IE-2-1

SOI MOSFET's의 소신호 등가 모델과 변수 추출

(Small signal model and parameter extraction of SOI MOSFET's)

이 병 진*, 박 성 욱**, 엄 우 용***

(Byung-Jin Lee, Sung-Wook Park, and Woo-Yong Ohm)

요 약

CMOS 소자의 높은 주파수 특성의 증가로 인하여 높은 주파수 범위에서의 RF와 아날로그 회로 설계가 가능하게 되었다. RF와 아날로그 회로 설계는 실수와 허수의 쌍인 S-파라미터의 특성 분석으로 가능하다. 높은 성능을 활용한 CMOS 기술들은 신뢰도와 밀접한 관계가 있으며, 소자의 열화로 인한 S-파라미터의 변화가 소신호 모델 파라미터들에 미치는 영향을 정확하게 분석하는데 매우 중요하다. S-파라미터의 열화로 인한 다양한 물리적인 현상들 특히 트랜스컨덕턴스와 게이트 커패시턴스의 성능 저하를 자세히 분석하였다. 측정에 사용된 H-gate와 T-gate 소자의 S-파라미터를 0.5GHz에서 40GHz 주파수 범위에서 측정하였으며, 소자의 모든 내부와 외부 파라미터들은 포화영역인 하나의 전압 조건에서 추출하였다. 이 논문은 게이트 구조가 다른 소자에 스트레스를 인가하여 소신호 등가 모델을 추출하였으며, 파라미터들의 변화를 비교 분석한 것이다.

Abstract

The increasing high frequency capabilities of CMOS have resulted in increased RF and analog design in CMOS. Design of RF and analog circuits depends critically on device S-parameter characteristics, magnitude of real and imaginary components and their behavior as a function of frequency. Utilization of scaled high performance CMOS technologies poses challenges as concerns for reliability degradation mechanisms increase. It is important to understand and quantify the effects of the reliability degradation mechanisms on the S-parameters and in turn on small signal model parameters. Various physical effects influencing small-signal parameters, especially the transconductance and capacitances and their degradation dependence, are discussed in detail. The measured S-parameters of H-gate and T-gate devices in a frequency range from 0.5GHz to 40GHz. All intrinsic and extrinsic parameters are extracted from S-parameters measurements at a single bias point in saturation. In this paper we discuss the analysis of the small signal equivalent circuits of RF SOI MOSFET's verified for the purpose of exacting the change of parameter of small signal equivalent model followed by device flame.

Keywords : RF, Small-signal model, Parameter, SOI, Hot-carrier

I. 서 론

최근 전 세계적으로 가속화되는 정보화 추세에 따라 RF 송수신기가 고주파화 및 광대역화 되고 있으며, 이러한 RF 시스템 IC의 제조를 위한 핵심 소자로서 가격 경쟁력에서 탁월한 bulk silicon MOSFET's이 널리 사

용되고 있다^[1]. 최근 Si 미세공정 발달로 0.2 μ m 이하의 CMOS소자가 상용화되고 있으나 CMOS소자는 비교적 손실이 큰 Si 기판 (substrate)을 사용하므로 기판 기생 성분으로 인한 소자 성능 감소가 RF 영역에서 크게 증가 된다. 반면 SOI MOSFET's는 높은 전류와 source와 drain의 기생 capacitance가 작기 때문에 고주파 회로에 적합한 소자로 대두되고 있다^[2].

이런 RF SOI transistor의 gate length(Lg)가 scale-down됨에 따라서 RF 성능을 결정하는 차단주파수(fT)와 최대진동주파수 (fmax)가 급격히 상승하기 때문에, deep submicron SOI MOSFET's의 중요성이 증가하고 있다. 일반적으로 SOI MOSFET's의 fT 및 fmax는 다

* 정회원, 인천대학교 전자공학과
(Dept. of Electronic Engineering, Univ. of Incheon)
** 정회원, 유한대학 정보통신과
(Dept. of Info. & Communications, Yuhan College)
*** 정회원, 인하공업전문대학 디지털전자정보과
(Dept. of Dig. Elec. & Info. Inha Tech. College)
접수일자: 2007년2월2일, 수정완료일: 2007년6월7일

음 식으로 표현된다^[3].

$$f_T = \frac{g_m}{2\pi\sqrt{(C_{gs} + C_{gd})}} \quad (1)$$

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T \pi R_g C_{gd} + g_{ds} R_{in}}} \quad (2)$$

위의 식에서 보여주는 바와 같이, RF특성을 모델링하기 위해서는 g_{mi} , C_{gs} , C_{gd} 및 g_{ds} 등의 내부 등가회로 파라미터들의 정확한 추출데이터가 필수적이다. 따라서, L_g 가 scale-down 됨에 따라서 향상되는 RF 소자 특성을 정확히 모델링하기 위해서는 소신호 등가모델 파라미터들의 데이터를 정확히 추출하여야 한다.

최근 deep submicron인 $L_g = 0.25\mu m$ SOI 소자의 소신호 모델 파라미터의 추출데이터가 발표되었으나^[4], 아직 소자 열화에 따른 소신호 모델 파라미터 데이터의 변화는 발표되고 있지 않다. 따라서 본 연구에서는 소자 열화에 따른 소신호 등가모델의 파라미터 변화를 추출하기 위해 검증된 RF SOI MOSFET's의 소신호 등가 모델을 사용하여 분석하려고 한다.

II. 소자의 제작 및 특성

본 논문에서 사용된 SOI MOSFET's는 n-채널로 공정은 SIMOX wafer로 $t_{BOX}=100nm$ 이며 $t_{ox}=3.8nm$ 이다. 그림 1은 SOI MOSFET's의 평면도로 소자의 게이트 길이가 $L=0.25\mu m$ 이며 게이트 구조는 H, T-type이다. multi-finger 형태로 단일폭은 $W_f=20\mu m$ 이며, finger의 수는 4로 소자의 채널폭은 $W=80\mu m$ 이다. 게이트 구조가 H-type인 SOI MOSFET는 게이트 양끝 부분에 body contact이 있고 T-type인 SOI MOSFET's는 게이트 한쪽 부분에 body contact이 있다. 소자의 패드 형태는 GSG(ground-signal-ground) 구조로 고주파 영역에서 측정할 수 있도록 하였다.

RF 성능분석을 위한 S-파라미터 측정은 Cascade

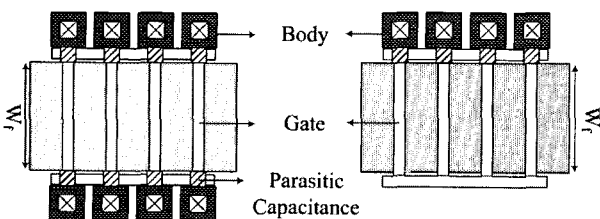


그림 1. 테스트 패턴
Fig. 1. Test pattern.

Microtech사의 RF probe를 이용하여 on-wafer probe 측정을 위하여 dummy structure를 사용하여 pad 기생 성분들을 de-embed하였다.

소자의 성능저하에 따른 소신호 모델 변수들을 추출하기 위하여 소자에 스트레스를 인가하였다. 스트레스 조건은 $V_{GS}=0.8V$, $V_{DS}=3.1V$ 로 3600sec인가 하였으며, 포화영역에서 hot carrier 현상에 의한 소자 열화를 측정하였다.

III. 패드 및 금속 배선 성분의 de-embedding

일반적으로 RF SOI의 S-파라미터는 RF probe팁들을 사용하여 wafer 상에서 측정하기 위해서는 여분의 패드 및 금속 배선패턴이 연결되어야 한다. 이러한 패드와 금속배선 패턴들의 크기가 소자보다 크기 때문에 기생성분을 무시할 수 없으며 정확한 모델변수를 추출하기 위해서는 이 성분들이 제거 되어야 하는데 이를 de-embedding 이라고 한다^[5]. 이 패드와 금속배선 패턴은 저항, 캐패시턴스 및 인덕턴스로 표현되는 큰 기생성분이 있으므로 de-embedding은 고주파 영역에서 정확한 S-파라미터 측정을 위해서는 필수적으로 수행되어야 한다^[6-7]. 이러한 기생성분들은 다음 두개의 테스트 패턴 구조에서 측정된 S-파라미터로 제거될 수 있다. 첫 번째 구조는 open 패턴으로 device가 연결되지 않은 test 패턴이다. short 패턴은 test 패턴의 모든 금속배선들 끝이 단락된 구조를 가지고 있다. 이때 정확한 de-embedding을 위해 중요한 것은 패드 및 금속배선 패턴들이 실제 소자와 매우 가까운 위치에 연결되어야 하는 것이 중요하다.

패드와 금속배선 패턴에서 큰 면적의 각 패드와 패드 사이에는 손실이 있는 캐패시턴스 성분들이 존재하므로 3개의 병렬 admittance요소(Y_{PGS} , Y_{PGD} , Y_{PDS})들로 모델화할 수 있다. 또한 길이가 긴 금속배선들은 저항과 인

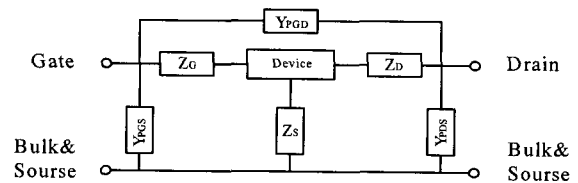


그림 2. RF probe 패드와 금속배선 패턴을 나타내는 등가적인 블록선도
Fig. 2. Equivalent block diagram for RF probe pad and metal connections.

덕턴스성분들이 포함되므로 3개의 직렬 impedance 요소(Z_G, Z_D, Z_S)들로 나타낼 수 있다. 따라서 RF probe 패드와 금속배선 패턴은 그림 2의 블록선도에서 보여주는 것처럼 위에서 설명한 6개의 요소로 등가화시킬 수 있다^[8].

RF probe 패드와 금속배선 패턴의 de-embedding은 Z와 Y파라미터를 사용하여 다음과 같은 단계로 수행하였다.

- (1) open, short 패턴의 측정된 S-파라미터를 Y-파라미터로 변환한다.

$$S_{open} \rightarrow Y_{open} = Y_O$$

$$S_{short} \rightarrow Y_{short} = Y_S$$

- (2) short 패턴의 Y_S 파라미터에서 open 패턴의 $Y_{PGS}, Y_{PGD}, Y_{PDS}$ 성분을 뺀다.

$$Y_{SO} = Y_S - Y_O$$

- (3) 위에서 구한 Y_{SO} 파라미터를 Z_{SO} 파라미터로 변환한다.

$$Y_{SO} \rightarrow Z_{SO}$$

- (4) RF probe 패턴모델의 Z_G, Z_D, Z_S 성분을 단계(3)에서 구한 Z_{SO} 파라미터를 사용하여 다음과 같이 표현한다.

$$Z_G + Z_S = Z_{11SO}$$

$$Z_S = Z_{12SO} = Z_{21SO}$$

$$Z_D + Z_S = Z_{22SO}$$

- (5) 소자의 측정된 S_D 파라미터를 Y_D 파라미터로 변환한다.

$$S_D \rightarrow Y_D$$

- (6) 단계(5)에서 구한 Y_D 파라미터에서 $Y_{PGS}, Y_{PGD}, Y_{PDS}$ 성분을 뺀다.

$$Y_{DO} = Y_D - Y_O$$

- (7) 단계(6)에서 구한 각 Y_{DO} 파라미터를 Z_{DO} 파라미터로 변환한다.

$$Y_{DO} \rightarrow Z_{DO}$$

- (8) 최종적으로 de-embedding된 Z-파라미터는 다음과 같이 단계(4)에서 구한 Z_G, Z_D, Z_S 성분을 단계(7)에서 구해진 소자의 Z_{DO} 파라미터로부터 뺄 수 있다

$$Z_{11} = Z_{11DO} - Z_{11SO}$$

$$Z_{12} = Z_{12DO} - Z_{12SO}$$

$$Z_{21} = Z_{21DO} - Z_{21SO}$$

$$Z_{22} = Z_{22DO} - Z_{22SO}$$

IV. 모델 파라미터 추출

1. 외부 기생성분 추출 방법

그림 3은 이미 검증된 RF SOI MOSFETs 소신호 등가회로로서^[2], 본 연구에서 추출하고자 하는 intrinsic 파라미터($C_{gsi}, R_{gsi}, G_{mi}, G_{dsi}$), extrinsic 파라미터($C_{gde}, C_{gsc}, C_{dse}$) 들과 외부의 기생 성분인 series resistance(R_{de}, R_{ge}, R_{se}) 및 series inductance(L_{de}, L_{ge}, L_{se})가 있다.

먼저, 외부기생성분인 R 및 L의 추출을 위하여 다음과 같은 방법이 사용되었다. 고주파영역(HF)에서 유도된 Z-parameter 방정식은 다음과 같다^[9~10].

$$Real(Z_{11} - Z_{12}) \approx R_{ge} + \frac{A_d}{\omega^2} \tag{3}$$

$$Real(Z_{12}) \approx R_{se} + \frac{A_d}{\omega^2} \tag{4}$$

$$Real(Z_{22} - Z_{12}) \approx R_{de} + \frac{A_d}{\omega^2} \tag{5}$$

$$\frac{1}{\omega} Imag(Z_{11} - Z_{12}) \approx L_{ge} + \frac{E_d}{\omega^2} \tag{6}$$

$$\frac{1}{\omega} Imag(Z_{12}) \approx L_{se} - \frac{E_d}{\omega^2} \tag{7}$$

$$\frac{1}{\omega} Imag(Z_{22} - Z_{12}) \approx L_{de} + \frac{E_d}{\omega^2} \tag{8}$$

여기에서 A_d 와 E_d 는 고정된 bias에서 변하지 않는 내부 parameter의 함수로 표현된다.

우선 외부의 기생 성분인 series resistance(R_{de}, R_{ge}, R_{se}) 및 series inductance(L_{de}, L_{ge}, L_{se})들을 추출하기

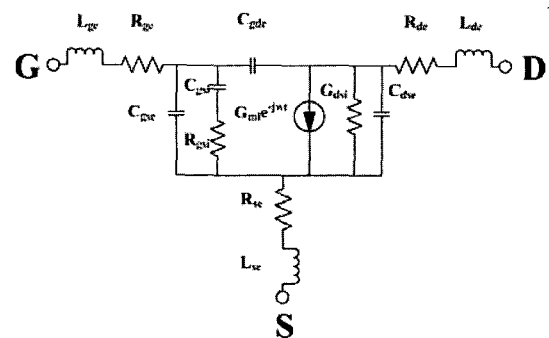
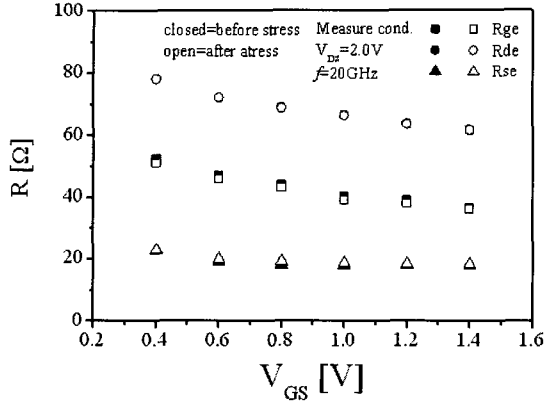
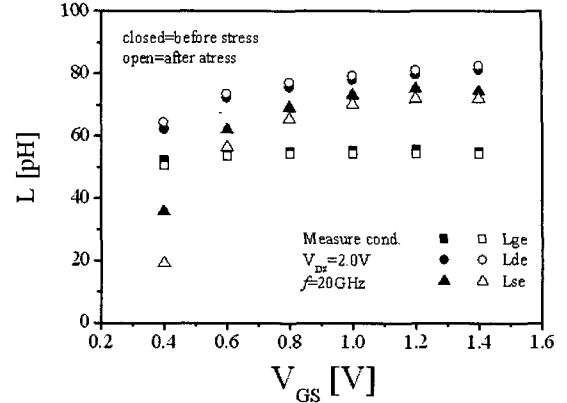


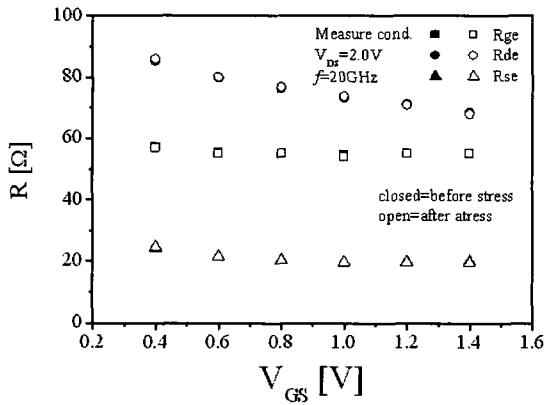
그림 3. RF SOI MOSFETs 소신호 등가회로
Fig. 3. Small-signal equivalent circuit model for a common-source RF SOI MOSFET's.



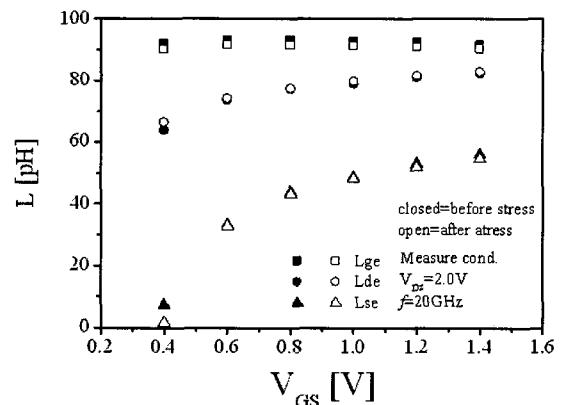
(a) H-gate



(a) H-gate



(b) T-gate



(b) T-gate

그림 4. 게이트 전압에 따른 외부 저항

Fig. 4. Extracted extrinsic resistance values versus V_{GS} .

위해서는 Y-파라미터의 실수(Real)항과 허수(Imag)의 측정 데이터를 사용 할 수 있으며, 본 논문에서는 실수항을 사용하여 저항을 추출하였으며, 허수항을 사용하여 인덕턴스를 추출하였다.

식(3)~(8)으로부터 구해진 외부기생성분인 R과 L의 값은 그림 4, 5로부터 알 수 있다. 그림 4에서 (a)는 H-gate, (b)는 T-gate의 외부 기생 성분인 series resistance(R_{de} , R_{ge} , R_{se})로 $V_{GS}=0.8V$, $V_{DS}=3.1V$ 로 3600sec 스트레스를 인가 한 후, $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 추출하였다. V_{GS} 의 값이 증가함에 따라 모든 외부 저항 값은 감소하였으며, 스트레스 후에 외부 기생 저항 값은 큰 변화가 없었다. H-gate의 $R_{ge}=43\Omega$, $R_{de}=68\Omega$, $R_{se}=19\Omega$, T-gate의 $R_{ge}=55\Omega$, $R_{de}=76\Omega$, $R_{se}=20\Omega$ 이다. 대부분의 외부 저항값은 T-gate가 더 큼을 알 수 있다.

그림 5에서는 (a)는 H-gate, (b)는 T-gate의 외부 기

그림 5. 게이트 전압에 따른 외부 인덕터

Fig. 5. Extracted extrinsic inductance values versus V_{GS} .

생 성분인 series inductance(L_{de} , L_{ge} , L_{se})를 추출하였다. V_{GS} 의 값이 증가함에 따라 L_{ge} 는 거의 일정 하였으며 H-gate는 55pH, T-gate는 93pH로 H-gate의 L_{ge} 값이 더 크다. L_{de} 와 L_{se} 는 V_{GS} 의 값이 커짐에 따라 모두 증가 하였으며, 스트레스 후에는 H-gate, T-gate 모두 L_{de} 는 증가, L_{ge} 와 L_{se} 는 감소를 보여 주었다.

2. 외부 파라미터 추출 방법

본 논문에서 추출하고자 하는 extrinsic 파라미터는 C_{gde} , C_{gse} , C_{dse} 가 있다.

먼저, 외부 capacitance를 추출하기 위하여 다음과 같은 방법이 사용되었으며, 고주파영역(HF)에서 유도된 Y-parameter 방정식은 다음과 같다^[9-10].

$$-\frac{1}{\omega} \text{Imag}(Y_{12}) \approx C_{gde} \quad (9)$$

$$C_{gse} \approx C_{gde} \quad (10)$$

$$\frac{1}{\omega} \text{Imag}(Y_{22} - Y_{12}) \approx C_{dse} \quad (11)$$

외부 파라미터 C_{gde} , C_{gse} , C_{dse} 를 추출하기 위해서는 Y-파라미터의 실수(Real)항과 허수(Imag)의 측정 데이터를 사용 하였고, 본 논문에서는 허수항을 사용하여 capacitance를 추출하였으며, C_{gse} 와 C_{gde} 는 같다.

그림 6의(a)는 H-gate, (b)는 T-gate로 추출된 외부 capacitance 파라미터로 $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 H-gate의 C_{dse} 는 32.8fF, C_{gde} 와 C_{gse} 는 13fF, T-gate의 C_{dse} 는 48.7fF, C_{gde} 와 C_{gse} 는 16fF이다. 스트레스 후에 H-gate의 C_{dse} 는 25.1fF, C_{gde} 와 C_{gse} 16.1fF, T-gate의 C_{dse} 는 47.2fF, C_{gde} 와 C_{gse} 16fF로 H, T-gate 모두 스트레스 후에 C_{dse} 는 감소, C_{gde} 와 C_{gse} 는 증가를 보여 주었으며, H-gate가 T-gate보다 더 큰 변화율을

보여주었다. 이는 H-gate의 드레인 전류가 더 큼으로 인하여 열화가 T-gate 보다 더 많이 되었기 때문이다.

3. 내부 파라미터 추출 방법

본 연구에서 추출하고자 하는 intrinsic 파라미터(C_{gsi} , R_{gsi} , G_{mi} , G_{dsi})가 있다.

먼저, 내부 파라미터를 추출하기 위하여 다음과 같은 방법이 사용되었다. 고주파영역(HF)에서 유도된 Y-파라미터 방정식은 다음과 같다^[9-10].

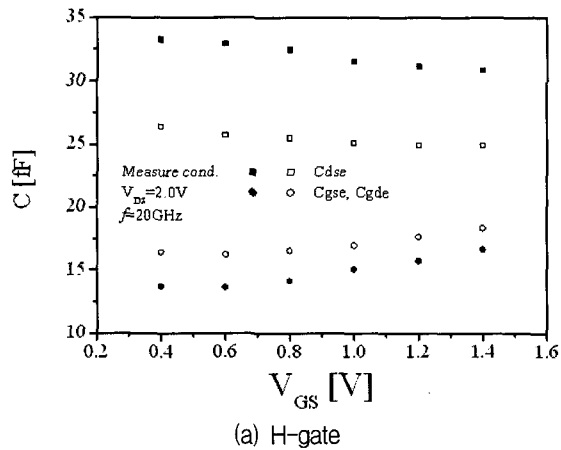
$$\text{Real}(Y_{22}) \approx G_{dsi} \quad (12)$$

$$\text{Real}\left(\frac{1}{Y_{11}}\right) \approx R_{gsi} \quad (13)$$

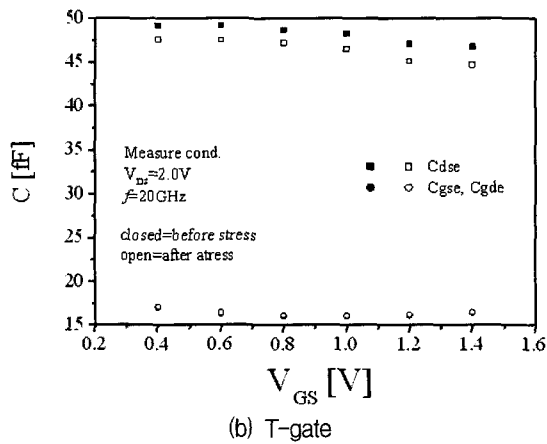
$$\text{Real}|Y_{21} - Y_{12}| \approx G_{mi} \quad (14)$$

$$\frac{1}{\omega} \text{Imag}(Y_{11} - 2Y_{12}) \approx C_{gsi} \quad (15)$$

내부 파라미터(C_{gsi} , R_{gsi} , G_{mi} , G_{dsi})를 추출하기 위해

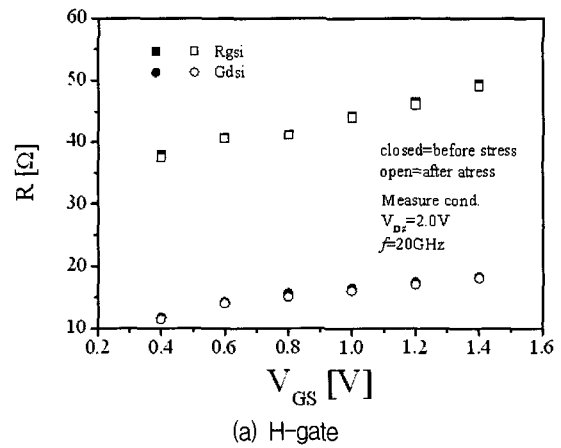


(a) H-gate

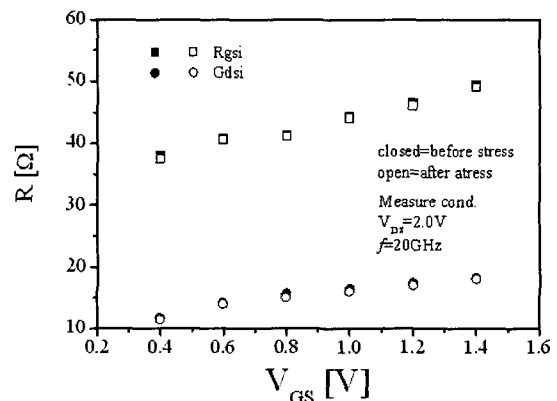


(b) T-gate

그림 6. 게이트 전압에 따른 외부 커패시터
Fig. 6. Extracted extrinsic capacitance values versus V_{GS} .



(a) H-gate



(b) T-gate

그림 7. 게이트 전압에 따른 내부 저항
Fig. 7. Extracted intrinsic resistance values versus V_{GS} .

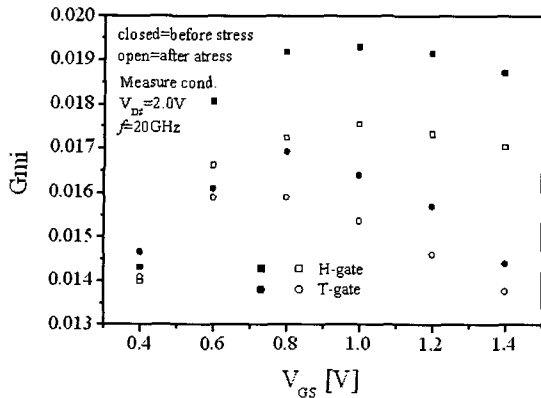


그림 8. 게이트 전압에 따른 gmi
Fig. 8. Extracted conductance values versus V_{GS} .

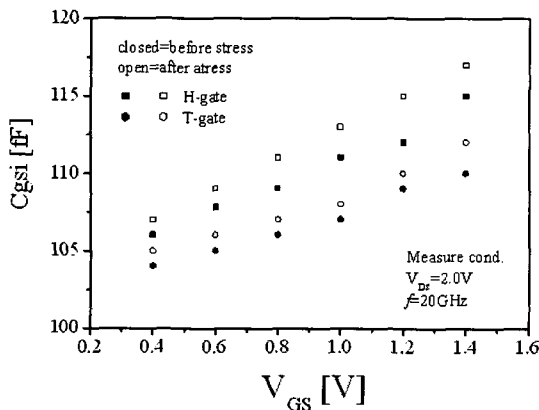


그림 9. 게이트 전압에 따른 내부 Cgsi
Fig. 9. Extracted intrinsic capacitance values versus V_{GS} .

서는 Y-파라미터의 실수 (Real)항과 허수(Imag)의 측정 데이터를 사용 하였으며, 그림 (7)~(9)인 내부 파라미터는 내부 Y-파라미터로부터 유도된 식으로 결정하였다.

그림 7의 (a)는 H-gate, (b)는 T-gate로 추출된 내부 저항으로 $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 H-gate의 R_{gsi} 는 41.2Ω , G_{dsi} 는 15.6Ω 이며, T-gate의 R_{gsi} 는 52.8Ω , G_{dsi} 는 15.4Ω 이다. 스트레스 후에 H-gate, T-gate의 R_{gsi} 와 G_{dsi} 는 스트레스전의 내부 저항 값과 비교 하였을 때 큰 변화가 없음을 알 수 있다.

그림 8은 H-gate, T-gate의 내부 파라미터 G_{mi} 로 V_{GS} 가 증가함에 따라 G_{mi} 는 증가 후 감소의 경향을 보여 주었으며, $V_{GS}=0.8V$ 에서 가장 큰 값을 나타내었다. $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 H-gate의 G_{mi} 는 $0.019mS$, T-gate의 G_{mi} 는 $0.0165mS$ 로 H-gate의 G_{mi} 가 더 큼을 알 수 있다. 스트레스 후에 H-gate의 G_{mi} 는 $0.017mS$, T-gate의 G_{mi} 는 $0.016mS$ 로 추출되었다. 추출

된 G_{mi} 는 일반적으로 소자의 열화 후에 나타나는 G_{mi} 의 감소 현상과 같으며 H-gate의 드레인 전류가 더 크기 때문에 G_{mi} 감소폭도 T-gate 보다 더 크게 나타났다.

그림 9는 H-gate, T-gate의 내부 파라미터 C_{gsi} 로 V_{GS} 가 증가 함에 따라 C_{gsi} 는 비례적으로 증가의 경향을 보여 주었다. $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 H-gate의 C_{gsi} 는 $109fF$, T-gate의 C_{gsi} 는 $106fF$ 로 H-gate의 C_{gsi} 가 더 큼을 알 수 있다. 스트레스 후에 H-gate의 C_{gsi} 는 $111fF$, T-gate의 C_{gsi} 는 $107fF$ 로 모두 증가 하였으며 증가율은 H-gate가 더 크다.

V. 결 론

본 연구에서는 RF SOI MOSFET' s의 소신호 등가모델 파라미터를 추출하기 위하여, 등가회로로 유도된 2 단자 파라미터 방정식을 사용하였다. 측정된 S-파라미터로부터 intrinsic 파라미터(C_{gsi} , R_{gsi} , G_{mi} , G_{dsi}), extrinsic 파라미터(C_{gde} , C_{gse} , C_{dse}) 들과 외부의 기생 성분인 series resistance(R_{de} , R_{ge} , R_{se}) 및 series inductance(L_{de} , L_{ge} , L_{se})를 추출하였다. 소자의 성능 저하에 따른 파라미터들을 분석하기 위하여 $V_{GS}=0.8V$, $V_{DS}=3.1V$ 로 3600sec스트레스를 인가하였다. $V_{GS}=0.8V$, $V_{DS}=2V$, $f=20GHz$ 에서 H-gate와 T-gate의 파라미터를 추출하여 표 1에 비교하였다.

표 1. 파라미터 추출

Table 1. Extracted parameters.

	H-gate		T-gate	
	Before	After	Before	After
Rde	68.8	68.7	76.5	76.8
Rge	48.2	21.4	55.2	53.9
Rse	19.2	21.3	19.8	19.8
Lde	75.6	77.1	75	75
Lge	55	54.2	93	91
Lse	69.1	65.4	40	40.2
Cgde	13	16.1	16	16
Cgse	13	16.1	16	16
Cdse	32.8	25.1	48.7	47.2
Cgsi	109	111	106	107
Rgsi	41.2	40.2	52.8	52.1
Gmi	0.019	0.017	0.0165	0.016
Gdsi	15.6	14.2	15.4	15.3

참 고 문 헌

[1] N. Camilleri, J. Costa, D. Lovelace, and D. Ngo,

“silicon MOSFET’s, the microwave device technology for the 90s,” in IEEE MTT-S int. Microwave Symp. Dig., 1993, pp.545-548.

- [2] Jean-Pierre Raskin, Renuaud Gillon, Jian Chen, Danielle Vanhoenacker-Janvier, Jean-Pierre Colinge, “Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling,” IEEE Trans Electron Dev., Vol. 45, pp. 1017-1025, 1998.
- [3] Byung-Jin Lee, Jang-Woo Park, Kyosun Kim, Chong-Gun Yu, Jong-Tae Park, “Comparison of Hot Carrier-Induced RF Performance Degradation in H-Gate and T-Gate SOI MOSFETs,” IEEE Trans Electron Dev., Vol. 26, pp. 112-114, 2005.
- [4] Kilchytska, V., Levacq, D., Lederer, D., Raskin, J.-P., Flandre, D. “Floating effective back-gate effect on the small-signal output conductance of SOI MOSFETs,” Electron Dev., Vol. 24 ,pp. 414 - 416, 2004.
- [5] A. Neugroschel, “Measurement of the low-current base and emitter resistance of bipolar transistors,” IEEE Trans. Electron Devices, vol. 34, pp.817-822, 1987.
- [6] S. Lee, B. R. Ryum, and S. W. Kang, “A new parameter extraction technique for small-signal equivalent circuit of polysilicon emitter bipolar transistors,” IEEE Trans. Electron Devices, vol.41, no.2, pp.233-238, February 1994.
- [7] H. Cho and D. E.Burk, “A three-step method for the de-embedding of high frequency S-parameter measurements,” IEEE Trans. Electron Devices, vol. 38, pp. 1371-1375, 1991.
- [8] H.-S. Rhee, S. Lee, and B.R. Kim, “DC and AC current crowding effects model analysis in bipolar junction transistors using a new extraction method,” Solid-State Electronics, vol. 38, no.1, pp.31-35, 1995.
- [9] S. Lee, “Direct extraction technique for a small-signal MOSFET equivalent circuit with substrate parameters,” Microwave & Optical tech Lett., Vol. 39, No. 4, pp. 344-347, Nov 2003.
- [10] S. Lee, “A Parameter Extraction Method for a Small-Signal MOSFET Model Including Substrate Parameters,” Proc. IEEE International Conference on Semiconductor Electronics, pp. 255-260, Dec. 2002.

저 자 소 개

이 병 진(정회원)

대한전자공학회 논문지
제42권 SD편 2호 참조

박 성 욱(정회원)

대한전자공학회 논문지
제43권 IE편 2호 참조

엄 우 용(평생회원)

대한전자공학회 논문지
제43권 IE편 2호 참조