

논문 2007-44TC-6-2

IEEE 802.11a 기저대역 프로세서의 설계 및 검증

(Design and Verification of IEEE 802.11a Baseband Processor)

김 상 인*, 김 수 영*, 서 정 현*, 윤 태 일*, 이 제 훈**, 조 경 록*

(Sang-In Kim, Su-Young Kim, Jung-Hyun Seo, Tae-Il Yun, Je-Hoon Lee, and Kyoung-Rok Cho)

요 약

본 논문에서는 IEEE 802.11a 표준안에 적합한 기저대역 프로세서를 설계하였다. 또한 표준안에서 제시된 기본적인 기술이 외에 필요한 기능을 충족시키기 위한 새로운 알고리즘이 제시되었다. 설계된 기저대역 프로세서의 구현 및 검증을 위해 SoC 플랫폼을 이용하였다. 플랫폼 기반의 IEEE 802.11a WLAN을 설계하기 위한 환경은 기저대역 프로세서 칩을 테스트하기 위한 테스트 보드와 MAC을 이행할 SoC 플랫폼으로 구성되어 있다.

Abstract

This paper shows an implementation of the baseband processor compliant with the IEEE 802.11a standard. Some innovative techniques are proposed to fulfill the mandatory requirements of the standard. For verification and analysis of this design, we use a Platform-based SoC (system on chip) environment. The entire system consists of test-board for the baseband processor chip and the SoC platform for implementing MAC (medium access control).

Keywords : IEEE802.11a, OFDM, Baseband processor, SoC

I. 서 론

최근 멀티미디어 정보를 무선 환경에서 고속으로 전송을 하기위한 기술에 대한 연구가 활발하게 이루어지고 있다. 직교 주파수 분할 다중방식 (OFDM: orthogonal frequency division multiplex)의 전송방식은

채널의 스펙트럼 효율을 극대화하기 위해 직교성을 갖고 있는 부반송파를 이용하여 전송하는 방식을 취하고 있다. OFDM은 고속 전송률을 갖는 데이터열을 낮은 전송률을 갖는 많은 수의 데이터열로 나누고 이들을 다수의 부반송파를 사용하여 동시에 데이터를 전송한다^[1]. 이런 다수 반송파 전송의 형태를 취하고 있는 OFDM 시스템은 고속 데이터 전송에 적합한 방식으로 IEEE 802.11a 의 물리계층의 전송방식으로 채택되었다. IEEE 802.11a는 5GHz 주파수 대역에서 OFDM을 적용하여 5~64Mbps의 가변 데이터 전송률을 제공하는 광대역 무선통신 시스템이다^[2].

본 논문에서는 IEEE 802.11a WLAN (wireless local area network) 규격에 적합한 최대 54Mbps의 전송속도를 가지는 OFDM 방식의 Baseband processor를 설계하였고, SoC (system on chip) 플랫폼을 이용하여 구현 및 검증을 하였다. Baseband processor의 설계 시 표준안에 명시된 기술이외에 WLAN을 구현함에 있어서 증

* 정희원, 충북대학교 정보통신공학과 컴퓨터정보통신 연구소
(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

** 정희원, 충북대학교 BK21
(CBNU BK21 Chungbuk Information Technology Center, Chungbuk National University)

※ 이 논문은 2007년 정부(교육인적자원부)의 재원으로 한국학술진흥재단 및 서울대 SoC설계기술센터의 지원을 받아 수행된 연구임.(지방연구중심대학육성사업/충북BIT연구중심대학육성사업단)

접수일자: 2006년12월7일, 수정완료일: 2007년3월6일

요한 4 가지 기술들에 대한 새로운 알고리즘을 제안하고 적용하였다. 첫 번째, 반송파 주파수 허용 오차이내의 옙셋 양을 추정하는 간단한 구조를 가지는 메모리 구조의 새로운 \tan^{-1} 회로를 제안한다. 두 번째, 통계적 분석 방법으로 IEEE 802.11a WLAN의 OFDM모뎀용 IFFT 및 FFT의 양자화 에러를 최소화 하는 설계방법을 제안한다. 세 번째, 파일럿 채널을 이용한 채널 보상 회로에 나눗셈이 없는 간단한 구조의 성능을 저하시키지 않는 알고리즘을 제안한다. 마지막으로, 에러 예측회로를 사용하여 연립에러 입력시 성능저하를 보완한 경관정 비터비 디코더를 제안한다.

논문의 구성은 다음과 같다. II장에서는 Baseband processor의 구현 구조와 새로운 알고리즘을 설명한다. III장에서는 플랫폼 기반의 IEEE 802.11a 무선랜 검증에서의 성능 분석 결과를 나타내고, V장에서 결론을 맺는다.

II. 본 론

1. IEEE 802.11a WLAN 구성

그림 1은 IEEE 802.11a WLAN의 송수신기 구조를 나타내며, 코덱부와 모뎀부로 나누어진다. 코덱부는 채널상에서 발생하는 에러를 적절히 제어하여 시스템의 신뢰도를 높이는 역할을 하며, 모뎀부는 코덱부의 직렬 데이터를 OFDM 심볼로 변환시켜주는 역할을 한다. 송신단에서 입력된 데이터는 스크램블링되고, 컨벌루션 인코더와 인터리버를 거쳐서 부반송파로 변조된다. 이때, 무선 채널 환경에 따라 BPSK, QPSK, 16QAM, 64QAM의 변조방식을 사용한다. IFFT를 통과하면서 OFDM 심볼을 형성하게 되며, 형성된 심볼은 보호구간을 취하여 전송된다. 수신단에서는 송신단의 역과정이 일어나며 동기화 과정이 추가된다. 동기화 된 데이터는

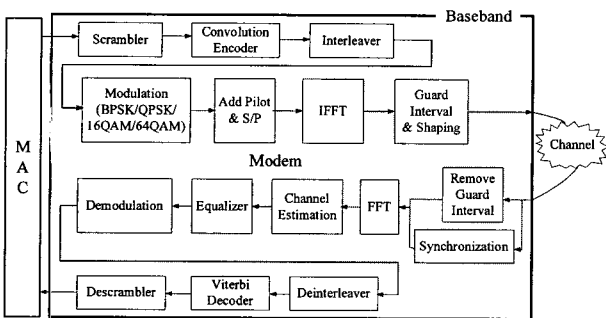


그림 1. IEEE 802.11a WLAN 블럭도
Fig. 1. IEEE 802.11a WLAN block diagram.

FFT를 통과하여 부반송파로 복원된다. 등화기를 통하여 채널응답이 보상된 데이터는 비트열로 변화되어 비터비 디코더를 거쳐서 최종 데이터로 출력된다.

2. 반송파 주파수 동기

OFDM 시스템은 부반송파의 직교성을 이용하기 때문에 무선 채널로 전송된 신호를 정확히 복조하기 위해서는 신호의 시간 동기 및 반송파 주파수 동기가 매우 중요하게 다루어진다. 특히, 반송파 주파수 옙셋의 영향은 부반송파간의 직교성을 파괴시켜 채널사이에 ICI(inter-channel interference)가 발생하는 원인이 된다. 반송파 주파수 옙셋 추정회로는 자기 상관함수기와 \tan^{-1} 회로로 구현된다. \tan^{-1} 회로는 자기 상관 함수의 결과를 argument 연산하여 수신된 신호의 반송파 주파수 옙셋의 양을 추정한다. OFDM방식에서 주파수 옙셋의 영향을 받은 수신된 신호는 식 (1)과 같다. 식(2)는 상호 상관 연산식이고, 식(3)은 식(2)의 결과인 상호 상관값을 이용한 추정식이다^[3].

$$y(k) = x(k) \times e^{\frac{j2\pi ke}{N}} + w(k), \quad \epsilon = \frac{f_{offset}}{312.5kHz} \quad (1)$$

$$R(\nu) = \sum_{n=0}^{\nu-1} y_n^* \cdot y_{n+\nu} = e^{\frac{j2\pi \epsilon \nu}{N}} \cdot \sum_{n=0}^{\nu-1} |y_n|^2 \quad (2)$$

$$= Re [R(\nu)] + jIm [R(\nu)]$$

$$\hat{\epsilon} = \frac{N \angle [R(\nu)]}{2\pi \nu} = \frac{N}{2\pi \nu} \cdot \tan^{-1} \left(\frac{Im [R(\nu)]}{Re [R(\nu)]} \right) \quad (3)$$

여기에서, $y(k)$ 는 반송파 주파수 옙셋의 영향을 받은 수신된 신호, $x(k)$ 는 송신단에서 송신된 이상적인 신호, ϵ 은 부반송파의 주파수 간격으로 정규화 시킨 반송파 주파수 옙셋, 그리고 f_{offset} 은 실제 발생한 반송파 주파수를 의미한다. 또한 N 은 부반송파의 총 개수, ν 는 상호상관함수에 사용된 샘플수를 나타낸다. $\angle(\cdot)$ 는 argument 연산을 의미하며 \tan^{-1} 연산기로 그 값을 구한다.

OFDM 변조 방식의 주파수 허용 오차는 부반송파 간격의 1% 이내여야 한다^[4]. 따라서 IEEE 802.11a WLAN의 부반송파 사이의 간격은 312.5kHz이므로, 허용되는 오차는 3.125kHz 이내 이어야한다.

본 논문에서는 반송파 주파수 동기의 허용 오차인 부반송파 간격의 1% 이내로 추정 가능한 메모리 구조를

갖는 새로운 \tan^{-1} 회로를 제안하고 반송파 주파수 옵셋 추정기에 적용하였다. 그림 2는 제안된 \tan^{-1} 회로의 전체 구조이다. 제안된 회로는 나눗셈 연산기, \tan^{-1} ROM, 위상 결정기로 구성되어 있다. 나눗셈 연산기는 전위처리부, 나눗셈 처리부, 후위처리부로 구성되어 있으며, 상관 함수기로 구한 실수부와 허수부의 나눗셈 연산을 처리한다.

전위 처리부(Preprocessor)는 나눗셈 연산을 하기 전에 수의 체계를 고정소수점에서 부동소수점으로 변환한다. 나눗셈 처리부의 입력은 상호연관 연산의 결과인 $R(\nu)$ 값을 사용하기 때문에 나눗셈 연산기의 입력의 수 체계는 $-1 \sim 1$ 범위의 2의 보수 고정소수점 방식이다. 그러나 \tan^{-1} ROM을 접근하기 위한 나눗셈 연산기의 출력 Q 는 $0 \sim \infty$ 의 값이므로 나눗셈 연산기의 출력은 부동 소수점 방식으로 변환하여 출력해야 한다. 나눗셈 처리기(Division processor)는 부호없는 비복원 나눗셈 알고리즘을 사용하여 전위처리기로부터 구한 가수부를 입력으로 받아 나눗셈 연산을 한다^{[5][6]}. 후위 처리부(Postprocessor)에서는 나눗셈 연산기의 출력이 접근할 \tan^{-1} ROM의 중복되는 값을 제거하여 최적화시키기 위해 식(4)에 따라 지수부와 가수부를 재 연산 한다.

$$Q_E = \begin{cases} Q'_E & Q'_M(7) = 1 \\ Q'_E - 1 & Q'_M(7) = 0 \end{cases} \quad (4)$$

$$Q_M = \begin{cases} Q'_M & Q'_M(7) = 1 \\ 2Q'_M & Q'_M(7) = 0 \end{cases}$$

\tan^{-1} ROM은 나눗셈 연산기의 몫을 이용하여 $0 \sim \pi/2$ 까지의 위상을 얻어낸다. 본 논문에서는 회로의 크기를 줄이기 위해 \tan^{-1} 함수의 좌표 평면상의 1사분면의 값만을 ROM에 저장한 후 tangent 함수의 주기성을 이용하여 전체 사분면의 값으로 확장하였다. 그러나 \tan^{-1} 회로의 출력은 $-\pi \sim \pi$ 사이의 전체 위상에 대한 값을 출력해야 한다. 따라서 위상 결정기에서는 \tan^{-1} 회로의 입력인 $Re[R(\nu)]$ 와 $Im[R(\nu)]$ 의 부호 비트를 이용하여 $-\pi \sim \pi$ 사이의 값을 출력한다. 식 (5)는 위상 결정을 위한 재 연산식이다.

$$\theta = \begin{cases} \arctan Q, & Res = 0 \text{ and } Im s = 0 \\ \pi - \arctan Q, & Res = 1 \text{ and } Im s = 0 \\ \arctan Q - \pi, & Res = 1 \text{ and } Im s = 1 \\ -\arctan Q, & Res = 0 \text{ and } Im s = 1 \end{cases} \quad (5)$$

여기에서 Res는 실수부의 부호 비트, Im s는 허수부의 비트이다.

제안된 회로는 AWGN 5dB에서 ± 625 kHz의 범위를 추정할 수 있으며 IEEE 802.11a WLAN 규격에 적합하다.

3. IFFT/FFT

IEEE 802.11a WLAN의 송신부에서는 주파수 영역으로 표시되는 부반송파를 IFFT를 이용하여 시간 영역의 OFDM 심볼로 변환해주고, 수신부의 FFT는 그 역의 기능을 수행한다. IEEE 802.11a WLAN에서 요구되는 IFFT/FFT 사양은 BPSK, QPSK, 16-64QAM을 만족하는 데이터 정밀도가 요구되며 20MHz의 동작속도를 만족해야 한다. 일반적으로 부동소수점 방식의 연산회로는 동작 주파수 20MHz를 만족하기 어려우므로 FFT의 연산은 고정소수점 방식을 사용하며 동작 속도를 높이기 위해 파이프라인 구조를 채택하였다.

FFT시에 알고리즘의 선택은 하드웨어 크기를 결정하는 중요한 사항 중에 하나이다. 그러나 같은 알고리즘을 적용하여도 주어진 입력신호의 특성에 맞게 FFT 각 단의 비트 및 회전계수를 최적화한다면 IFFT 및 FFT의 성능은 달라진다.

본 논문에서는 IFFT 및 FFT의 회전계수에 통계적으로 계산된 계수를 적용하여 회전 계수를 수정하는 새로운 알고리즘을 사용하여 양자화 에러를 최소화하는 설계 방법을 제안한다. 제안된 알고리즘은 radix-2² SDF 구조의 64-Point IFFT와 FFT에 적용하여 설계하였다.

FEC 부호기와 인터리빙은 신호를 섞어주는 역할을 하며, 랜덤 비트 발생기와 같이 동작한다. 이 랜덤 비트는 매핑에 의해서 정상점으로 매핑이 된다. 즉, 랜덤 비트는 정해진 일정한 값으로 데이터가 변경되게 된다. 이 때 실수값과 허수값은 각각 일정한 값에서만 나오기 때문에, 균등 분포를 형성한다. 균등 분포의 입력은 IFFT 연산이 진행되면서 IFFT의 각 단별 버터플라이 구조에 의해 값이 수정된다. 이것은 IFFT의 각 단을 지나면서 표본의 수가 커짐을 의미하고 확률표본들의 표본평균은 중심극한 정리에 의해 가우시안 분포를 형성한다^[7]. 각 단의 출력 크기 성분만을 고려하여 히스토그

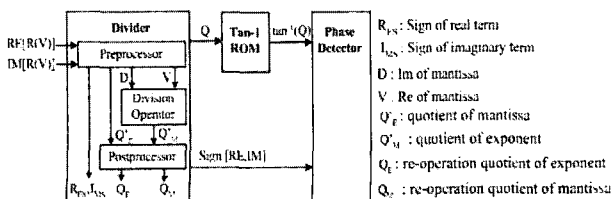


그림 2. 제안된 \tan^{-1} 회로의 구조
Fig. 2. Proposed \tan^{-1} circuit structure.

램을 그리면 레일리(rayleigh) 분포를 형성하고 있다. 즉, IFFT연산이 각 단을 진행함에 따라 출력의 최대값과 평균이 점점 감소함을 보인다. 이것은 고정소수점 연산에서는 신호 표시에 필요한 비트 수가 감소함을 의미한다.

본 논문에서는 각 단의 데이터의 최대 크기 신호를 일정하게 만드는 방법으로 비트 해상도를 높이는 알고리즘을 제안한다. 즉, 각 단의 크기 성분의 최대값을 구한 후, 확장/감소계수를 적용하여 각 단의 출력 값에 곱해준다. 변조방식에 따라 얻어지는 출력 값이 다르기 때문에 입력 값이 만족스런 균일 확률분포가 아니라면 각 단에서 얻어지는 최대값은 더 커질 것이며, 이미 적용된 확장계수에 의해 오버/언더플로우가 발생하게 된다. 따라서 모든 부반송파 변조방식에 대하여 고려해야 하고, 오버/언더플로우가 발생할 확률을 낮추기 위해 충분한 시뮬레이션을 통해 확장계수를 구해야 한다. 그리고 오버/언더플로우가 발생하더라도 그것에 의해 발생하는 오차를 최소화하는 알고리즘을 추가한다. 오버플로우 발생 시에는 유효숫자 중 최대값을 출력하고, 언더플로우 발생 시에는 최소값을 출력한다. 비트 해상도를 높이기 위해 IFFT 내부 각 단별 신호의 크기 값을 도출한다. IFFT의 입력은 매핑에 의해 랜덤 데이터가 성상점으로 매핑되고, 매핑된 데이터가 IFFT의 입력으로 들어간다. 즉, 실수 및 허수 값은 성상점을 이루기 때문에 일정한 값에서 균등 분포의 특성을 갖게 된다.

IFFT의 i 단계에서의 최대값과 $i-1$ 단계의 최대값의 비율을 확장계수 C_i 로 표현할 수 있다.

$$C_i = \frac{\max \text{ value of } (i-1)\text{th stage}}{\max \text{ value of } i\text{th stage}} \quad (6)$$

식 (6)은 최대값을 취하므로 모든 변조방식에 적용이 가능하다. 본 논문에서는 식 (6)의 확장계수와 회전계수의 곱으로 식 (7)과 같은 새로운 확장 회전계수를 도출한다.

$$\begin{aligned} W_1^{-1}(n) &= [W_1^{-1}(n) \cdot C_1 C_2] \\ W_2^{-1}(n) &= [W_2^{-1}(n) \cdot C_3 C_4] \end{aligned} \quad (7)$$

IFFT프로세서와 FFT프로세서의 대칭적 성질을 이용하여 확장계수의 역수를 취한 감소계수를 이용하여 FFT프로세서에 적용 가능한 감소 회전계수를 도출할 수 있다.

<표 1>은 radix-2² 기반의 IFFT 프로세서에 확장계

수를 나타낸 것이다.

파이프라인된 radix-2² 기반의 64점 IFFT 프로세서는 2단마다 회전계수가 존재하기 때문에 1단, 2단의 확장계수가 곱이 된 확장계수를 적용하면 된다. 그리고 5단 및 6단은 곱셈연산을 하지 않기 때문에 회전계수 $C_5 C_6$ 을 2로 수정하여 산술 좌 쉬프트 연산으로 구현한다. 수정된 회전계수 값 $C_5 C_6$ 값은 $C_3 C_4$ 의 값을 감소시켜 보완해 준다. 이러한 확장계수가 적용되면 신호의 크기는 증가되며 설정된 비트에 할당되지 않는 부분을 사용할 수 있게 된다. 확장계수의 총 곱은 $C_1 C_2 C_3 C_4 C_5 C_6 = 3.0554$ 이며 확장계수가 적용하지 않은 프로세서보다 3.0554배 이득을 보게 된다. 비트 효율 측면에서 $\log_2(3.0554)=1.6113$ 의 비트가 이득을 보게 된다. IFFT와 FFT가 동시에 1.6113배의 비트 효율을 증가시킬 수 있기 때문에 IFFT 및 FFT에서 확장/감소계수를 적용하여 얻을 수 있는 총 비트 이득은 3.2227 비트이다.

IFFT 연산은 각 단의 입력 값에 1/2을 곱하는 과정이 포함하고 있다. 이것은 산술 우 쉬프트로 간단히 해결되지만 데이터 워드 크기를 그대로 사용한다면 1비트의 양자화 오차가 발생하게 된다. 이러한 오차를 고려하지 않는다면 각 단계마다 1비트씩 오차가 누적되어 최종 출력에서 양자화 오차가 나타날 확률은 $|2^{-9} + 2^{-8} + 2^{-7} + 2^{-6} + 2^{-5} + 2^{-4}|$ 와 같기 때문에 양자화 오차의 범위는 0.1231가 된다. 따라서 내부 각 단의 수가 증가함에 따라 양자화 오차가 증가하는 것을 방지하기 위하여 데이터 워드 크기를 1비트씩 증가시킬 필요가 있다. 본 논문에서 도출한 표 1의 새로운 확장계수를 기존의 회전계수에 미리 곱하여 롬(ROM)에 저장하고 확장/감소계수가 적용된 회전계수의 비트수를 선형 확장하고, 내부 각 단의 입출력 비트를 선형 확장하였을 때 radix-2²기반의 파이프라인된 IFFT 프로세서는 그림 3(a)와 같이 구성할 수 있다. FFT 프로세서는 IFFT의 역함수이므로 대칭적으로 구성된다.

IFFT와 FFT 프로세서의 관계는 데이터 워드 길이와 회전계수만 차이가 있을 뿐, 동일한 구조를 갖는다. 따라서 그림 3(b)과 같이 구성할 수 있다.

표 1. IFFT 프로세서의 확장계수

Table 1. Expanding coefficient of IFFT processor.

확장계수	C_1	C_2	C_3	C_4	C_5	C_6
구분	1	1.0738	1.3034	1.2474	1.2726	1.3752
확장계수 총 곱	1.0738		1.6259		1.7501	
수정된 값	1.0738		1.4227		2.0000	

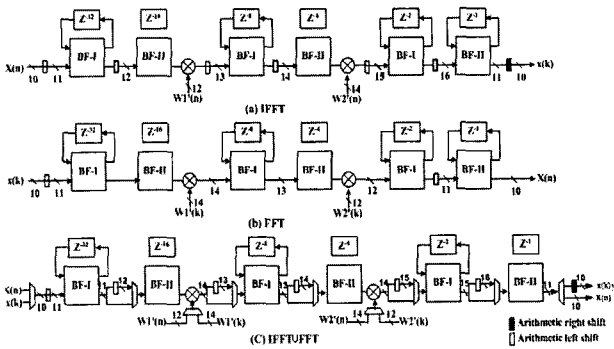


그림 3. 제안된 회전계수가 적용된 IFFT/FFT 구조
Fig. 3. IFFT/FFT structure of applying a new twiddle coefficient.

무선랜은 TDM방식을 사용하기 때문에 변복조를 동시에 하지 않으므로 IFFT와 FFT 프로세서는 그림 3(c)와 같이 연산회로와 메모리를 공유하는 형태의 IFFT/FFT 프로세서 구조로 하드웨어 크기를 1/2배 감소하는 효과를 얻을 수 있다.

4. 채널 보상 및 등화

본 논문에서는 파일럿 신호를 이용한 보상회로에 수신된 파일럿 신호의 에러를 도입하여 채널의 보상계수를 추정할 수 있는 나눗셈이 요구되지 않는 새로운 채널 보상 기법을 제안한다. 또한 파일럿 채널 보상회로는 단일 탭 등화기 앞 단에서 독립적으로 동작하며, 채널간의 간섭으로 인한 ISI는 단일 탭 등화기에서 제거한다. 다음으로 시간영역에서 변형된 LMS 알고리즘의 4-tap DFE를 사용하여 낮은 SNR에서도 시스템의 성능이 향상되게 한다. 송신단에서는 다수의 부반송파로 구성된 OFDM신호에 직교성을 파손시키지 않는 파일럿 신호를 삽입하여 전송한다. 수신단에서는 파일럿 신호에서 채널의 응답을 구하고 이를 적용하여 채널의 특성을 추정하게 되고 추정된 특성을 역으로 보상함으로써 수행된다.

파일럿 채널 응답 $h_m(N)$ 은 다음 식(8)과 식(9)으로부터 얻어진다.

$$h_m(N) = \frac{p'_m(N)}{p_m(N)} = \frac{p_m(N) + p\epsilon_m(N)}{p_m(N)} \quad (8)$$

$$p'_m(N) = p'_m(N) - p_m(N) \quad (9)$$

여기서, $p_m(N)$ 은 송신측의 파일럿 신호이고, $p'_m(N)$ 은 채널에 의해서 발생한 파일럿 신호의 에러를 나타낸다. 채널보상 계수는 아래의 식(10)로 얻어진다.

$$\frac{1}{h_m(N)} = \frac{p_m(N)}{p'_m(N)} = \frac{p_m(N)}{p_m(N) + p\epsilon_m(N)} \quad (10)$$

OFDM 시스템에서 파일럿 채널 에러의 최대 크기를 고려하면, 보상계수의 근사값이 식(11)로 다시 정의할 수 있다. 이는 이상적인 알고리즘에 근사화 값으로 정확한 위상의 보상과 증감된 신호레벨의 크기를 단일 탭 등화기로 보상할 수 있다.

$$\frac{1}{h_m(N)} \approx \frac{p_m(N) - p\epsilon_m(N)}{p_m(N) + p\epsilon_m(N) - p\epsilon_m(N)} \quad (11)$$

따라서 식(9)을 식(11)에 대입하여 정리하면, 보상계수 $1/h_m(N)$ 은 식(12)과 같이 주어진다.

$$\begin{aligned} \frac{1}{h_m(N)} &= \frac{p_m(N) - p'_m(N) + p_m(N)}{p_m(N)} \\ &= \frac{2(x + jy) - (x' + jy')}{x + jy} \\ &= \frac{1}{x}(2x - x' - jy') \\ &= \alpha(2x - x' - jy') \end{aligned} \quad (12)$$

여기서, 송신측의 파일럿 신호 $p_m(N) = x + jy = x$ 로 표현되고, 수신된 파일럿 신호 $p'_m(N) = x' + jy'$ 로 나타낸다. α 는 송신측 파일럿 신호 크기의 역수이다.

그림 4는 제안된 채널 보상회로와 단일 탭 등화기에 의한 보상회로의 구성을 나타낸다.

채널 보상회로는 제안된 보상계수를 사용하여 나타낸 것으로 나눗셈을 사용하지 않은 간단한 구조이다. 수신된 심볼로부터 파일럿 신호를 검출하는 블록과 기존의 파일럿 신호를 만들기 위한 블록으로 구성되어 있고 덧셈과 곱셈만으로 구현되었다. 기존의 나눗셈 회로와 제곱근 회로를 대신해서 제안된 알고리즘을 이용해서 얻어진 상수를 이용한다. 출력된 신호는 단일 탭 등화기의 입력으로 사용된다. 파일럿 신호를 이용한 채널 보상회로는 단일 탭 등화기 전단에 위치하고, 수신된

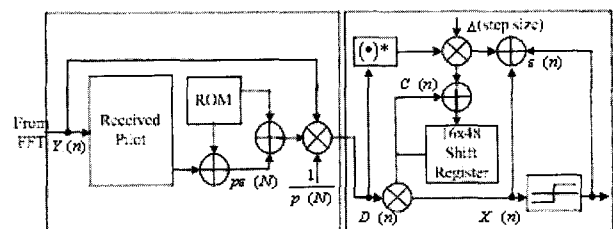


그림 4. 제안된 채널 보상회로 및 등화기 구조
Fig. 4. Proposed channel compensation circuit and equalizer structure.

파일럿 신호 자체를 채널 보상에 사용함으로써 보다 정확한 보상 결과를 얻을 수 있다. 이에 반해 기존의 단일 탭 등화기에 파일럿 보상회로를 혼용하여 함께 사용하는 방법에서는 등화기에 의해 수신된 신호가 변하게 되고, 변형된 파일럿 신호에 의한 채널 보상으로 인해 신호에 왜곡이 발생할 가능성이 매우 높다.

단일 탭 등화기는 제안된 파일럿 채널 보상회로의 다음 단계에 위치하며, 채널간 간섭에 의한 ISI를 제거하기 위해 사용된다. IEEE 802.11a에서 48개의 반송파 주파수에 해당하는 쉬프트 레지스터로 필터의 계수를 갱신하여 심볼간의 ICI와 ISI를 제거한다. 계수 갱신을 위한 알고리즘은 빠른 수렴 속도를 갖는 기존의 LMS 알고리즘을 적용한다^[8].

$$C_{m+1} = C_m(n) + \Delta \varepsilon_m(n) \hat{D}_m^*(n) \quad (13)$$

$$\varepsilon_m(n) = X_m(n) - \hat{X}_m(n) \quad (14)$$

$$\hat{X}_m(n) = \hat{D}_m(n) C_m(n) \quad (15)$$

$\varepsilon_m(n)$ 은 필터의 에러 값으로 등화기 출력 신호 $\hat{X}_m(n)$ 와 결정 값 $X_m(n)$ 의 차에 해당한다. 식(13)의 보상계수 $C_{m+1}(n)$ 은 단일 탭 등화기의 입력신호 $\hat{D}_m(n)$ 와 식(14)에서 얻어진 에러와 필터 수렴계수의 곱이 이전 심볼의 계수와 더해져서 얻어지고 연속적으로 갱신된다. 채널 보상회로의 최종 출력 $\hat{X}_m(n)$ 은 식(14)으로 구해진 $C_m(n)$ 과 입력신호 $\hat{D}_m(n)$ 과 곱해져서 식(15)와 같이 ISI와 ICI가 제거된 등화기 출력 $\hat{X}_m(n)$ 을 발생시킨다.

단일 탭 등화기의 초기 심볼 계수는 파일럿 채널 보상회로에 의존하고 이후의 심볼을 사용해서 필터계수를 개선한다. 제안된 구조는 파일럿 심볼을 이용한 채널 보상회로의 선보상후 단일 탭 등화를 하게 된다. 기존의 구조와 비교했을 때 채널 보상단계에서 생기는 비선형적인 왜곡을 감소시킬 수 있고 구현이 간단해졌다.

이상과 같은 파일럿 신호를 이용한 채널 보상회로만으로도 페이딩 채널에서 충분한 성능을 기대할 수 있으나, 제한된 주파수 대역에서 성능향상을 위해 많은 파일럿 신호를 삽입해서 사용할 수는 없다. 따라서 본 논문에서는 낮은 SNR신호의 보상하기 위하여 시간 영역에 DFE를 삽입하여 신호를 보상하고, FFT 수행 후 앞서 제안된 파일럿 신호를 이용한 채널 추정회로를 사용

함으로써 페이딩 채널에서의 왜곡과 신호간섭, 심볼간섭을 제거할 수 있게 해서 낮은 SNR에서도 향상된 BER 성능을 얻기 위해 시간영역의 등화를 수행한다. 이때 등화기는 단일 주파수 시스템에서 사용되는 DFE를 사용한다. 본 논문에서는 전방 3탭, 후방 1탭의 구조이고, 계수 개선 알고리즘은 단일 탭 알고리즘에 적용한 LMS 알고리즘을 사용한다. 전후방 탭의 필터계수 개선 알고리즘은 다음식과 같다.

$$\begin{aligned} c_f(t+1) &= c_f(t) + \Delta r^*(t) \varepsilon(t) \\ c_b(t+1) &= c_b(t) + \Delta r^*(t) \varepsilon(t) \end{aligned} \quad (16)$$

식(16)의 필터계수 개선식에 사용되는 에러 $\varepsilon(t)$ 는 식(17)로 정의된다. 따라서 전/후방 필터의 출력 $\hat{r}(t)$ 는 식(16)과 식(17)로부터 전방 탭과 후방 탭의 합으로 구해진다.

$$\varepsilon(t) = \hat{r}(t) | \hat{r}(t) |^2 \quad (17)$$

$$\hat{r}(t) = r(t) c_f(t) + \hat{r}(t) c_b(t) \quad (18)$$

다중 채널을 갖는 OFDM 시스템에서는 주파수 영역의 탭수가 많은 DFE는 사용하기 어려우며, 단일 주파수 시스템과 같이 FFT이전의 시간영역에 적용함으로써 보다 간단한 구조로 구현이 가능하다.

제안된 구조는 전송율이 36Mbps보다 낮을 때는 SNR이 3dB 이상 개선되었고, 54Mbps의 고속전송에서는 동일한 성능을 보였다. 전체적으로는 하드웨어 크기가 20%감소하는 결과를 얻었다.

5. Viterbi Decoder

이동통신에서는 다중경로 페이딩(fading) 채널환경에 의해 연속적인 데이터의 오류가 나타나게 된다. 비터비 디코더는 랜덤 에러의 경우 정정능력이 우수한 반면, 연접에러가 입력될 경우 인접한 데이터의 확률이 변하게 되어 잘못된 데이터를 복호하게 된다. 즉 에러 정정능력이 매우 떨어지는 단점이 있다. 따라서 연접에러에 대한 오류를 정정해주는 회로가 필요하다^{[9][10]}.

비터비 디코더는 최대 유사 복호 알고리즘을 사용하여 복호하므로 에러가 발생하는 구간을 예측할 수 있다면 에러 정정 효율을 높일 수 있을 것이다. 최대 유사 복호 알고리즘을 식으로 표현하면 다음 식(19)와 같다. 식(19)에서 나타나는 것과 같이 수신 신호열 r_i 에 대한 생성 신호열 ν_i 의 확률값을 계산하게 된다.

$$p(r|\nu) = \prod_{i=0}^{N-1} p(r_i|\nu_i) \quad (19)$$

$$\log p(r|\nu) = \prod_{i=0}^{N-1} \log p(r_i|\nu_i) = \prod_{i=0}^{N-1} M(r_i|\nu_i)$$

에러가 수신되는 경우 각 상태의 path metric 값이 변하게 된다. 비터비 디코더에서는 각 상태의 path metric의 값이 그 상태의 확률값을 나타낸다. Path metric이 작을수록 입력된 부호와 상태가 같을 확률이 크다는 것을 의미한다. Path metric값이 "0"일 경우 현재 입력된 부호로 판단된 상태가 가장 유사하다는 것을 의미한다. 에러가 입력됨에 따라 각 상태의 path metric 값의 최소값은 증가하게 된다. 만일 에러가 하나 이상이 입력될 경우 최소 path metric값을 갖는 상태는 2개 이상이 될 것이고 비터비 디코더는 올바른 경로를 제대로 판단하지 못하게 되어 에러를 발생하게 된다.

본 논문에서는 에러 예측회로를 사용하여 연집에러 입력 시 성능저하를 보완한 비터비 디코더를 제안하였다. 제안하는 에러 예측회로는 비터비 디코더의 연집에러에 대한 에러 정정특성을 향상시키는 기능으로 비터비 디코더에 에러가 입력됨에 따라 path metric값이 증가하는 것을 이용한다. Path metric의 최대값 증가량을 이용하여 연집에러 구간을 예측, 연집에러 구간에 대한 확률값을 줄여준다.

비터비 디코더에서 경로 메트릭의 최소값이 증가하는 경우는 에러가 입력되어 콘볼루션 부호기에서 내보낸 상태가 아닌 다른 상태값을 선택하였을 경우와 다른 상태값에서 원래의 상태값으로 돌아갈 때 이다. 일정 구간에서 랜덤 에러가 입력될 때에는 최소값의 증가가 작지만 연집에러가 입력될 경우에는 최소값의 증가가 크다. 즉, 일정구간에서 최소값의 증가분을 이용하여 연집에러 구간을 추정할 수 있다.

연집에러 구간에 대한 확률값을 줄여주면 연집에러 구간 이후의 데이터에 의한 분기에서의 올바른 선택 확률이 높아져 연집에러 구간에 대한 에러 정정효율을 높일 수 있다. 즉, 연집에러 구간에 대한 확률값을 줄여줌으로써 에러의 보정을 가능하게 하는 보호구간의 확률을 상대적으로 높여 역추적시 잘못된 경로를 선택할 확률을 줄여준다.

경판정(hard decision)의 경우 입력데이터와 생성데이터간의 차를 "0"과 "1"을 이용하여 생성하므로 각 입력에 대해 최대 "2"의 차이를 가지게 된다. 따라서 확률값을 절반으로 줄일 경우 연집에러 구간과 보호구간의

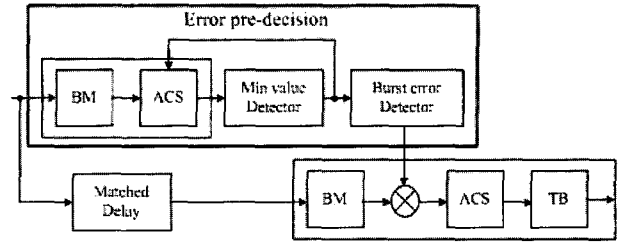


그림 5. 제안된 비터비 디코더 구조
Fig. 5. Proposed Viterbi decoder structure.

경계에서 경로 메트릭값이 급격하게 변하게 된다. 연집에러 검출회로는 일정구간에서 최소값의 증가를 검출한다. 경로 메트릭의 변화치는 다음 식 (20)와 같다.

$$R_{max} \leq \lambda_{max} \log_2 N \quad (20)$$

λ_{max} 는 가지 메트릭의 최대 변화율로 경판정시 2이고, N은 비터비 디코더의 상태수로 구속장 7일 때 64로 경로 메트릭의 최대 변화치는 12가 된다. 에러의 입력이 없는 상황에서 경로 메트릭의 변화치가 8이므로 최대치가 4가 증가하였을 경우를 연집에러 구간으로 판단한다. 따라서 연집에러가 발생하면 Rmax=8에서 입력에러의 수 만큼 증가하게 된다. 이를 이용하여 Rmax=12가 되면 경로 메트릭의 확률값 P가 P'으로 바뀌고 식 (19)는 식 (21)로 되며 에러를 정정한다.

$$\log(r|\nu) = \prod_{i=0}^{N-1} \log p'(r_i|\nu_i) = \sum_{i=0}^{N-1} M'(r_i|\nu_i) \quad (21)$$

본 논문에서 제안한 비터비 디코더의 전체 구조는 그림 5와 같이 에러 예측회로와 비터비 디코더로 이루어졌다.

에러 예측회로에서 연집에러 구간에 대한 확률값을 구하여 비터비 디코더의 가지 메트릭값에 결과를 반영한다. 회로 설계시는 연집에러 구간에 대한 확률값을 구하는데 소요되는 지연시간을 고려하여 지연블럭을 삽입한다. 연집에러 예측회로는 비터비 디코더의 BM 회로와 ACS 회로 그리고 최소값 검출회로, 연집에러 검출회로로 구성된다. BM회로와 ACS회로, 최소값 검출회로의 사용으로 크기가 증가하지만 기존의 비터비 디코더와 동일한 회로를 사용하므로 경로 메트릭값을 저장하는 곳을 따로 만들어 사용함으로써 비터비 디코더의 회로를 공유하여 사용할 수 있다.

연집에러 검출회로는 쉬프트 레지스터와 덧셈기로 간단하게 구성될 수 있다. 제안된 비터비 디코더는 AWGN채널에서는 기존의 비터비 디코더와 동일한 성

능을 유지하며, 무선 채널 환경인 다중경로 페이딩 채널에서 발생할 수 있는 연접에러에 대하여 15% 개선된 성능을 보였다.

III. 플랫폼 기반의 IEEE 802.11a WLAN설계

그림 6의 IEEE 802.11a baseband processor는 매그나 0.25 μ m CMOS 공정으로 제작되었다.

IEEE 802.11a WLAN의 검증을 위한 환경은 그림 7과 같이 host-PC, SoC 플랫폼 그리고 baseband processor chip으로 구성되어 있다. host-PC는 영상 데이터를 발생시키며, 생성된 데이터를 송신단의 MAC으로 전송한다. 전송된 데이터는 Baseband processor를 거쳐 수신단의 MAC으로 전송되어 다시 host-PC에서

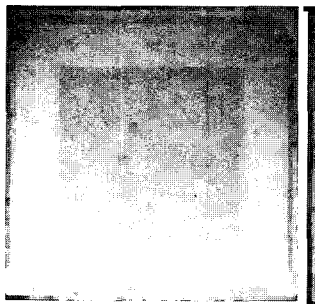


그림 6. IEEE 802.11a 기저대역 프로세서 칩
Fig. 6. IEEE 802.11a baseband processor chip.

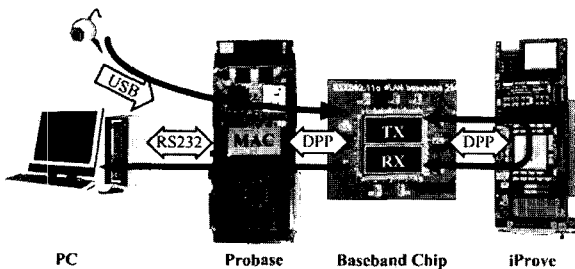


그림 7. 플랫폼 기반의 IEEE 802.11a WLAN 검증환경
Fig. 7. Platform based Verification environment of IEEE 802.11a WLAN.

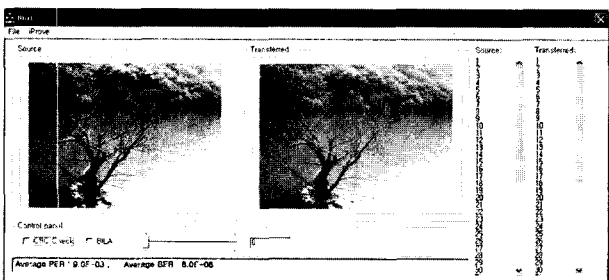


그림 8. 이미지 데이터 전송을 통한 검증 결과
Fig. 8. Verification result of image data transmission.

영상으로 보여준다. SoC 플랫폼은 ARM board인 Probase와 iPROVE로 구성되어 있다. Probase는 MAC 기능을 이행하며, host PC와 baseband processor chip의 인터페이스인 transactor역할을 한다.

또 다른 플랫폼인 iPROVE는 FIR filter, DAC, ADC를 이행한다.

그림 8은 플랫폼 기반에서 이미지데이터를 이용하여 검증한 것을 보여준다. 실험 조건은 10dB Eb/No에 이미지 데이터 256~256픽셀의 데이터를 전송하였다. 시뮬레이션 채널 모델은 일반적인 채널 환경인 AWGN과 다중경로 페이딩 채널환경에서 검증하였다.

IV. 결 론

논문에서 구현된 IEEE 802.11a baseband processor는 기존의 OFDM 방식 모델의 성능향상을 위한 고속의 IFFT/FFT를 이용하고, 다중경로 채널과 페이딩에 강한 새로운 채널 보상기법과 등화기, \tan^{-1} 기법을 이용한 동기회로 그리고 에러 예측 회로를 사용한 비터비 디코더등 개선된 알고리즘을 이용하여 성능향상을 도모하였다. 설계된 IEEE 802.11a baseband processor는 플랫폼 기반의 SoC검증 환경에서 AWGN, 다중 경로 페이딩 채널에서의 데이터 전송이 잘 이루어졌음을 확인하였다.

참 고 문 헌

- [1] R. Van Nee and R. Prasad, "OFDM for Wireless Multimedia Communication," Artech House, 2000.
- [2] IEEE, "Part II: Wireless LAN Medium Control and Physical Layer specification: High-speed Physical Layer in 5GHz Band," IEEE standard 802.11a, Dec. 1999.
- [3] J. J. van de Beek, M. Sandell, and P. O. Borjesson, "ML estimation of time and frequency offset in OFDM systems," *IEEE Transaction on Communication Theory*, Vol. 45, No. 7, pp. 1800-1805, July 1997.
- [4] T. Pollet, M. van Bladel and M. Moeneclaey, "BER sensitivity of OFDM systems to carrier frequency offset and Wiener phase noise," *IEEE Trans. on Communications*, Vol. 43, no. 234, pp. 191-193, Feb/Mar/Apr 1995.
- [5] John P. Hayes, "Computer Architecture and Organization," McGRAW-HILL, 1998.

- [6] Waser, S and M. J. Flynn, "Introduction to Arithmetic for Digital System Designers," Holt, Rinehart, & Winston, 1982.
- [7] S. M. Ross, "Introduction to Probability and Statistics for Engineers and Scientists," Academic, 2000.
- [8] J. Rinne, "An equalization method using preliminary decision for orthogonal frequency division multiplexing systems in channels with frequency selective fading," *IEEE Conf. Vehicular Technology*, Vol. 3, No. 7, pp. 885-888, July 1988.
- [9] M. A. Herro, L. Hu and J. M. Nowack, "Bit error probability calculations for convolutional codes with short constraint lengths on very noisy channels" *IEEE Transactions on Communication Theory*, Vol. 36, No. 7, pp. 885-888, July 1988.
- [10] G. Zou, H. Weinrichter, "Bounded metric Viterbi decoding of trellis coded modulation in presence of intersymbol interference," *IEEE Electronic Letters*, Vol. 24, No. 15, pp. 946-947, July 1988.

저 자 소 개



김 상 인(정회원)
 2005년 충북대학교 전자공학과 학사
 2007년 충북대학교 정보통신공학과 석사과정
 2007년 현재 한국전자통신연구원 측위시스템연구팀 연구원
 <주관심분야 : UWB, Modem, 통신회로 설계>



김 수 영(정회원)
 2001년 충북대학교 전기전자공학부 학사
 2003년 충북대학교 정보통신공학과 석사
 2003년~현재 LG전자 DDC연구소 주임연구원
 <주관심분야 : DTV, 영상 시스템, 디지털 통신시스템, 무선 통신시스템>



서 정 현(정회원)
 2001년 충북대학교 정보통신공학과 학사
 2003년 충북대학교 정보통신공학과 석사
 2003년~현재 LIG넥스원 전자전연구소 선임연구원
 <주관심분야 : 모뎀SoC설계, 신호수집 및 분석, SDR>



윤 태 일(정회원)
 2002년 충북대학교 정보통신공학과 학사
 2004년 충북대학교 정보통신공학과 석사
 2004년~현재 매그나칩반도체 근무
 <주관심분야 : 무선 통신시스템 설계, OFDM시스템, Channel coding>



이 제 훈(정회원)
 1999년 충북대학교 정보통신공학과 공학사
 2001년 충북대학교 정보통신공학과 공학석사
 2005년 충북대학교 정보통신공학과 공학박사
 2005년~2006년 Univ. of Southern California 방문연구원
 2006년~현재 충북 대학교 BK21 계약교수
 <주관심분야 : 고속 마이크로프로세서 설계, 저전력 디자인>



조 경 륙(정회원)
 1977년 경북대학교 전자공학과 공학사
 1989년 일본 동경대학교 전자공학과 공학석사
 1992년 일본 동경대학교 전자공학과 공학박사
 1979년~1986년 (주)금성사 TV연구소 선임연구원
 1999년, 2005년 Oregon State University 객원교수
 1992년~현재 충북대학교 전기전자공학부 교수
 <주관심분야 : 통신시스템 LSI 설계, 저전력 고속 회로 설계, Platform기반 SoC설계>