

# 고출력 과도 전자파에 의한 CMOS IC의 오동작 및 파괴 특성

論 文
56-7-17

## Breakdown and Destruction Characteristics of the CMOS IC by High Power Microwave

洪 胄 壹<sup>†</sup> · 黃 先 默<sup>\*</sup> · 許 昌 洙<sup>\*</sup>  
(Joo-Il Hong · Sun-Mook Hwang · Chang-Su Huh)

**Abstract** - We investigated the damage of the CMOS IC which manufactured three different technologies by high power microwave. The tests separated the two methods in accordance with the types of the CMOS IC located inner waveguide. The only CMOS IC which was located inner waveguide was occurred breakdown below the max electric field (23.94 kV/m) without destruction but the CMOS IC which was connected IC to line organically was located inner waveguide and it was occurred breakdown and destruction below the max electric field. Also destructed CMOS IC was removed their surface and a chip condition was analyzed by SEM. The SEM analysis of the damaged devices showed onchipwire and bondwire destruction like melting due to thermal effect. The tested results are applied to the fundamental data which interprets the combination mechanism of the semiconductors from artificial electromagnetic wave environment and are applied to the data which understand electromagnetic wave effects of electronic equipments.

**Key Words** : High power microwave, semiconductor, breakdown, destruction

### 1. 서 론

오늘날 반도체 기술의 급속한 발달로 집합 깊이, 산화막의 두께, 트랜지스터의 길이 등이 작아지면서 반도체 소자는 더욱 소형화 및 경량화 되어지고 경제성, 고성능화 및 고속화가 실현되었다. 그러나 이러한 발전은 반도체 소자로 구성되는 전자기가 사회 각 분야에 보급됨에 따라 전자파 밀도를 증가시키고, 미소한 전자파에 의해 반도체 소자의 파괴 및 오동작과 같은 장애를 유발시켜 전자기가 원래의 목표대로 동작하지 못하는 등 많은 문제점들이 나타나고 있다. 따라서 여러 연구자들이 이러한 문제점들이 어떠한 메커니즘에 의해 일어나며 이를 해결하기 위해 많은 연구를 하고 있다[1-7]. 그러나 이러한 연구 결과를 바탕으로 전자파에 의한 반도체 소자와 같은 전자 부품을 사용하는 모든 전자 기기들에서의 전자파 환경을 규격화하기에는 정보가 부족한 실정이다.

시스템의 많은 부분이 반도체 소자로 구성되어있는 전자 기기들은 크게 서로 다른 역할을 수행하며 특정 기능을 수행하는 반도체 소자와 이러한 반도체 소자와 함께 서로 다른 구성품을 유기적으로 연결시키는 선로로 구성되어 있다. 물론 반도체 소자와 선로로 구성된 하나의 전자기는 금속의 합체로 둘러싸여 외부 전자기 환경으로부터 보호되어 있으나 전자기를 구동시키기 위해 사용되는 전원선에 전자파가 유기되었을 경우 전자기는 장애를 일으킬 수 있다[5].

한편 금속 합체 내부 시스템에서 발생하는 미소 전계의 증가에 의한 stress와 이로 인해 발생하는 열에 의해 구성품들은 천천히 열화되고 전자파에 더욱 취약하게 되어 장애를 발생시킬 우려가 커지므로 반도체 소자의 전자파에 의한 장애를 조사하는 것이 필요하다.

이 연구에서는 주파수뿐만 아니라 전자계가 높은 인위적인 전자파 환경에서 반도체 소자의 피해효과를 분석한 것이다. 발진주파수가 2.45 GHz이며, 정격 출력이 0 ~ 1,000 W 인 마그네트론에서 발생하는 전자파에 의해 반도체 소자의 영향을 시험하였다. 이 전자파에 의해 오동작 및 파괴된 반도체 소자의 피해를 조사하였고, 실험을 통하여 파괴된 반도체 소자의 내부 칩 상태를 전자주사현미경(Scanning electron microscope : SEM)을 사용하여 파괴 현상을 분석하였다. 이러한 실험 결과를 선행 연구자의 결과와 비교 조사하여 전자파에 의한 반도체 소자의 영향을 이해하는데 도움이 되고자 한다.

### 2. 본 론

#### 2.1 실험 방법

고출력 과도 전자파에 의한 반도체 소자의 피해 효과를 알아보기 위해 디지털 IC를 대상으로 실험하였다. 실험에 사용된 디지털 IC는 CMOS 기반 기술의 플라스틱 DIP형의 AND 논리 소자를 사용하였고, 표 1과 같이 제조 기술에 따라 3가지 다른 형태의 IC를 대상으로 하였으며 사용된 CMOS IC의 Part Code를 나타내었다.

\* 正 會 員 : 仁 荷 大 學 校 電 氣 工 學 科

† 교신저자, 正 會 員 : 仁 荷 大 學 校 電 氣 工 學 科 博 士 課 程

E-mail : g2051091@inhaian.net

接受日字 : 2007年 4月 12日

最終完了 : 2007年 5月 7日

표 1 제조 기술에 따른 분류 및 part code  
Table 1 Tested technologies and part code

CMOS Technology	High Speed CMOS TTL-compatible (HCT)	74HCT08N
	High Speed CMOS (HC)	74HC08N
	Advanced CMOS (AC)	74AC08N

전자기기들의 대부분을 차지하는 반도체 소자들의 전자파에 의한 영향을 조사하기 위해 수십 또는 수백 GHz 이상의 높은 주파수를 가지고, 높은 전자계를 발생시키는 발생장치를 사용하여 시험하는 것은 위험하고 어려운 일이다. 따라서 인위적으로 발생하는 전자파원으로 전자장치들에 해를 미칠 수 있는 비교적 주파수가 높고, 고출력을 발생시키는 조각이 간편하고 안정적인 마그네트론을 사용하였다. 시험에 사용된 마그네트론의 발진 주파수는 2.45 GHz이며, 정격 고주파 출력은 0 ~ 1,000 W까지 조절이 가능한 High frequency power generator를 사용하였다. 고출력 과도 전자파는 5초간 방사되었고, 이렇게 방사되는 전자파는 규격 WR-340 구형 도파관을 따라 전달된다. 이 방사 전자파에 대한 세기 측정용 전자파가 Directional coupler의 probe로 전달되어 유기되는 전자파량을 Power meter로 측정하였고, 측정 probe 아래에 피시험체인 반도체 소자가 위치하도록 하였다. 피시험체인 반도체 소자 자체가 고출력 과도 전자파에 의해 영향을 받는 정도와 반도체 소자를 활용한 회로가 구성될 경우 구조물이나 선로에 의해 커플링(coupling)되어 영향을 받는 정도로 크게 2가지로 구분하여 실험 하였으며, 그림 1-(a)는 전자파의 경우 반도체 소자가 위치한 도파관 내부이며, 그림 1-(b)는 후자의 경우이다.

고출력 과도 전자파에 의해 반도체 소자의 피해를 조사하기 위해 앞서 고출력 과도 전자파에 영향을 받는 피시험체부와 LED로 구성된 부하부를 연결하는 flat cable에 고출력 과도 전자파가 입사될 경우 cable에 coupling되어 반도체 소자에 미치는 영향을 조사하였다. 입사되는 전자파의 진행 방향과 평행하거나 수직이 되도록 cable을 도파관내에 그림 1-(c)와 그림 1-(d)와 같이 설치하였다. 실험 결과 그림 1-(c)와 같이 마그네트론으로부터 방사되어 나오는 전자파의 진행 방향과 cable의 방향이 수직일 경우 반도체 소자가 오동작되는 고출력 과도 전자파의 출력은 840 W이었고, 그림 1-(d)와 같이 전자파의 진행 방향과 cable의 방향이 수평일 경우 반도체 소자가 오동작 되는 고출력 과도 전자파의 출력은 600 W이었다. 이러한 실험으로부터 전자파가 flat cable에 coupling되어 반도체에 영향을 미치는 에너지는 이후 결과에서 알 수 있듯이 반도체 소자에 직접 입사되는 경우에 비해 큰 에너지가 필요하므로 적은 에너지에 의한 반도체 소자의 피해 효과 실험의 경우 flat cable에 의한 coupling 효과를 무시할 수 있다고 판단된다.

전자파가 도파관 끝단에서 반사되어 되돌아오는 반사파에 의한 영향을 없애기 위해 공랭식 Termination을 장착하였다. 고출력 과도 전자파가 실험에 사용된 반도체 소자에 인가될 때 발생하는 피해 효과를 확인하기 위해 LED 구동 회로를 구성하여 육안 식별이 가능하게 하였으며, 그림 2는 구

성된 실험 장치를 나타낸다. 고출력 과도 전자파에 의해 파괴되어진 반도체 소자는 내부 칩 상태 변화 관찰을 위해 물딩 되어 있는 반도체 표면을 제거하는 디캡(decap) 과정을 거친 후 SEM을 사용하여 내부 칩의 상태 변화를 관찰함으로써 파괴 현상을 분석하였다.

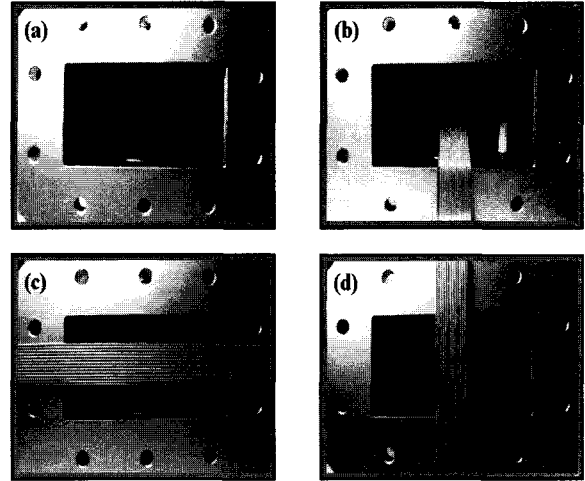


그림 1 도파관 내부에 위치한 EUT 및 flat cable에 coupling 되는 전자파에 의한 반도체 소자의 피해 효과 실험  
(a) 도파관 내부에 위치한 반도체 소자  
(b) 도파관 내부에 위치한 반도체 소자부  
(c) 전자파 진행 방향과 수직  
(d) 전자파 진행 방향과 수평

Fig. 1 Located inner waveguide EUT and flat cable coupling effect test by high power microwave  
(a) Located inner waveguide semiconductor element  
(b) Located inner waveguide semiconductor element department  
(c) Vertical direction with high power microwave  
(d) Parallel direction with high power microwave

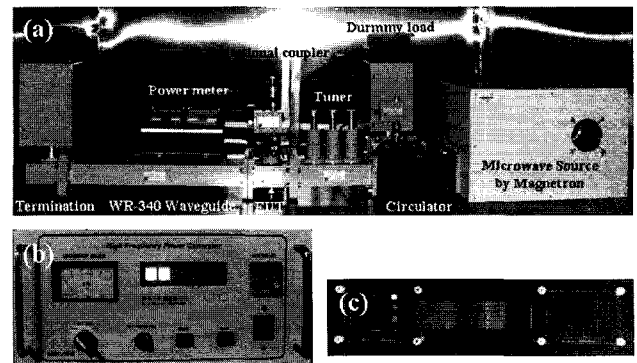


그림 2 실험 장치 Setup  
(a) 고출력 과도 전자파 실험 장치  
(b) 고출력 과도 전자파 발생기 (c) LED 구동회로  
Fig. 2 General measurement setup and test circuit  
(a) Test setup (b) High frequency power generator  
(c) LED circuit

참고문헌 [4]~[6]의 연구자들은 전자기 펄스에 의한 반도체 소자의 영향을 식 1과 같이 Breakdown Failure Rate (BFR)와 Destruction Failure Rate (DFR)을 정의하여 분석하였다. 여기서 Breakdown은 물리적인 시스템의 손상이 없고 리셋 후 다시 기능을 회복하는 것을 정의하며, Destruction은 하드웨어의 교체로 인한 기능을 회복할 수 있는 경우로서 시스템의 물리적 손상을 의미한다.

$$BFR = \frac{\text{No. of Breakdowns}}{\text{No. of Pulses}}$$

$$DFR = \frac{\text{No. of Destructions}}{\text{No. of Pulses}} \quad \text{수식 1}$$

BFR과 DFR은 그림 3과 같은 원리로 설명된다. 여기서 Breakdown Threshold(BT)는 반도체 소자가 전자파에 의해 오동작을 일으키는 전계 강도 값으로 5 %의 확률로 오동작이 발생하는 시점을 나타낸다. 또한 Breakdown Bandwidth (BB)는 오동작이 발생하는 전계 강도의 전폭으로 오동작이 발생하는 확률이 5 %에서 95 %까지의 변화를 나타낸다. 반도체 소자의 영구적인 파괴에 대한 영향을 나타내는 Destruction Threshold(DT)와 Destruction Bandwidth(DB)도 BT와 BB와 같은 원리로 설명할 수 있다.

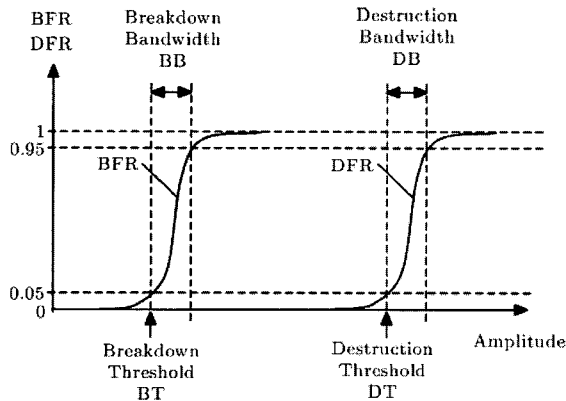


그림 3 BFR과 DFR 정의에 따른 원리  
Fig. 3 The principle behavior and definitions of BFR and DFR

### 2.2 실험 결과 및 고찰

피시험체인 각각의 74\*08N 소자들은 4개의 AND 게이트로 이루어져 있으며 각각 2개의 입력과 1개의 출력을 가지고 있다. 이 AND 소자들은 입력이 모두 High 일 때 출력이 High가 되어 이 연구와 같이 LED 구동 회로를 구성하였을 경우 LED의 불이 켜지게 된다. 이렇게 전자파에 노출된 피시험체의 오동작은 첫째 입력이 모두 High 일 경우 점등되어 있는 LED가 점멸하거나 소등된 후 리셋을 통하여 정상 동작을 하는 경우, 둘째 입력이 모두 High가 아닐 경우 소등되어 있는 LED가 점멸하거나 점등 후 리셋을 통하여 정상 동작을 하는 경우를 오동작으로 판별하였다. 그림 4

는 CMOS 기반 기술의 AND 논리 소자의 BFR과 DFR를 나타낸 것으로 도파관내 그림 1-(b)와 같이 피시험체를 위치시킨 후 고출력 과도 전자파에 노출된 경우이다.

실험 결과 74HCT08N의 경우 오동작을 나타내는 BFR 현상 없이 낮은 전자파에 의해 파괴가 일어나는 것을 알 수 있었고, 74HC08N과 74AC08N의 경우 오동작과 파괴가 모두 일어나는 것을 알 수 있었다. 이러한 결과는 참고문헌[2-3]과 다소 다른 결과를 나타내는데 이러한 결과는 고출력 과도 전자파원의 상승 시간이나 동작 시간 같은 전자파 특성이 다르기 때문이거나, 피시험체인 반도체 소자 선정에 있어서 NAND 소자와 AND 소자의 칩 내부 패턴의 구조적 차이로 인한 것으로 사료된다. 또한 M. Camp는 오동작을 과도 전자파에 의해 반도체 소자가 본래의 목적과 다르게 동작한 후 전자파를 off한 후에도 계속해서 오동작 상태를 유지하고, 전원을 off 한 후 다시 on 했을 경우 반도체 소자가 원래의 목적대로 정상 동작하는 경우만을 오동작으로 판정했다[4-6]. 그러나 이 연구에서는 이러한 리셋 과정에 의한 오동작 판정뿐만 아니라 전자파가 반도체 소자에 입사될 경우 발생하는 모든 이상 동작 후 전자파가 차단된 후 정상 동작하는 경우도 오동작으로 판별했기 때문에 다소 다른 결과를 나타낸 것으로 사료된다.

그림 5는 도파관 내부에 반도체 소자만 위치시켜 반도체 소자의 lead frame에 전자파가 방사되어 커플링 되도록 유도하여 반도체 소자 자체에 의한 피해를 조사한 것이다. 실험 결과 실험에 사용된 모든 반도체 소자들은 최대 고출력 과도 전자파(1,000 [W])에서 파괴가 발생하지 않았으며, 특히 그림 4의 결과에서 보는 것과 같이 오동작 현상이 없이 파괴로 진행된 74HCT08N 소자에서도 오동작이 발생하는 등 모두 반도체 소자에서 오동작을 확인 할 수 있었다. 따라서 고출력 과도 전자파에 의한 반도체 소자의 피해는 반도체 소자 자체가 전자파에 의해 받는 영향보다는 반도체 소자를 활용하여 시스템을 구성할 경우 반도체 소자와 유기적으로 연결되는 선로에 의해 큰 영향을 받는 것으로 판단된다.

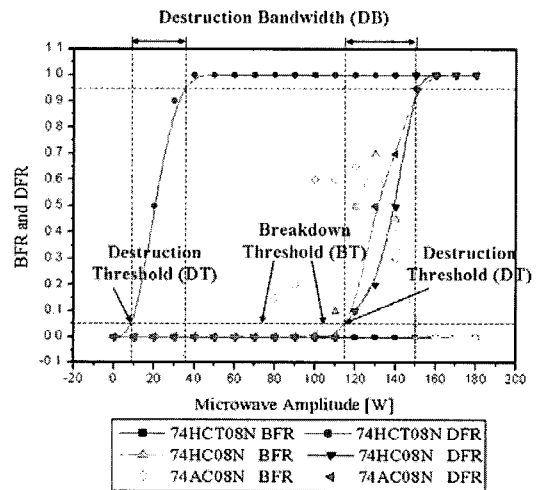


그림 4 도파관 내부에 CMOS AND 소자부를 위치 시켰을 경우 BFR 및 DFR 특성  
Fig. 4 BFR and DFR of CMOS AND device department in the waveguide

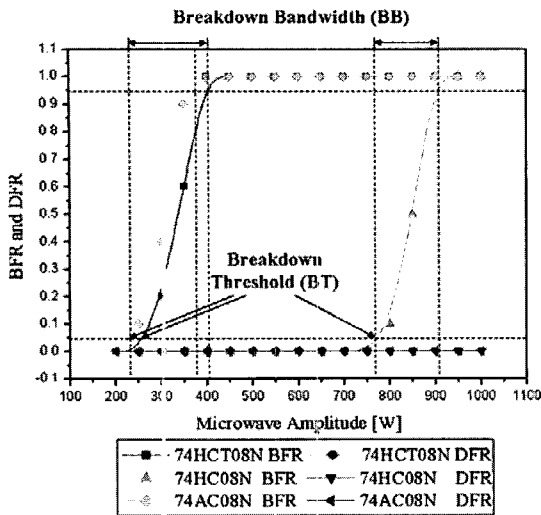


그림 5 도파관 내부에 단일 CMOS AND 소자를 위치 시켰을 경우 BFR 및 DFR 특성

Fig. 5 BFR and DFR of CMOS AND device in the waveguide

마그네트론으로부터 발생되는 고출력 과도 전자파의 평균 전력( $P_{av}$ )은 식 2의 같이 나타낼 수 있다[7]. 여기서 도파관 내 피크 전계강도( $E_0$ )을 구하기 위해 WR-340 도파관의 내부 치수 a(가로치수=8.636 cm)와 b(세로치수=4.318 cm) 및  $TE_{1,0}$  모델의 임피던스  $Z_{1,0}=534.5 \Omega$ 을 식 2에 대입하면 식 3과 같이 되고,  $E_0$ 에 대하여 정리하면 식 4와 같이 된다. 도파관 내에서 평균 전력 또는 rms 전력과 전계 피크 값의 관계를 표 2에 나타냈다.

$$P_w = \frac{E_0^2 ab}{2Z_{1,0}} \quad \text{수식 2}$$

$$P_w = (1.744 \times 10^{-6}) E_0^2 \quad \text{수식 3}$$

$$E_0 = 757 \sqrt{P_w} \quad \text{수식 4}$$

표 2 WR-340 도파관에서 전자파 방사 전력과 피크 전계강도( $E_0$ ) 사이의 관계

Table 2 Relationship between the power and the peak electric field( $E_0$ ) in WR-340

$P_{av}$ [W]	$E_0$ [kV/m]	$P_{av}$ [W]	$E_0$ [kV/m]	$P_{av}$ [W]	$E_0$ [kV/m]	$P_{av}$ [W]	$E_0$ [kV/m]
1C	2.39	11)	7.94	250	11.97	750	20.73
2C	3.39	12)	8.29	300	13.11	800	21.41
3C	4.15	13)	8.63	350	14.16	850	22.07
4C	4.79	14)	8.96	400	15.14	900	22.71
5C	5.35	15)	9.27	450	16.06	950	23.33
6C	5.86	16)	9.58	500	16.93	1000	23.94
7C	6.33	17)	9.87	550	17.75	1050	24.53
8C	6.77	18)	10.16	600	18.54	1100	25.11
9C	7.18	19)	10.43	650	19.30	1150	25.67
100	7.57	20)	10.71	700	20.03	1200	26.22

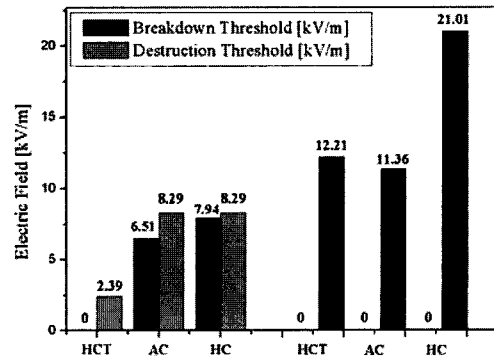
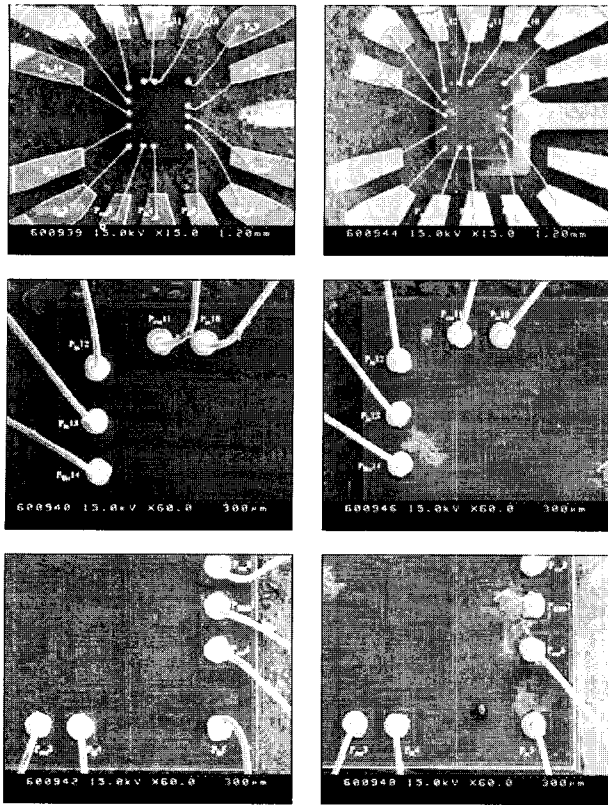


그림 6 CMOS AND device의 BT와 DT  
Fig. 6 BT and DT of CMOS AND device

그림 6은 표 1에 나타난 3개의 다른 기술들로 만들어진 AND 소자의 BT와 DT를 나타낸 것으로 그림 1의 (a)와 같이 반도체 소자를 도파관내 위치시킬 경우 식 4로부터 계산된 전계 강도 값을 나타낸 것이 오른쪽에 위치한 그래프이고, 그림 1의 (b)와 같이 반도체 소자를 도파관내 위치시킬 경우 식 4로부터 계산된 전계 강도 값을 나타낸 것이 왼쪽에 위치한 그래프이다. 결과로부터 반도체 소자 자체가 전자파에 의해 받는 영향보다는 반도체 소자와 유기적으로 연결되는 선로에 의한 영향이 크다는 것을 잘 알 수 있다.

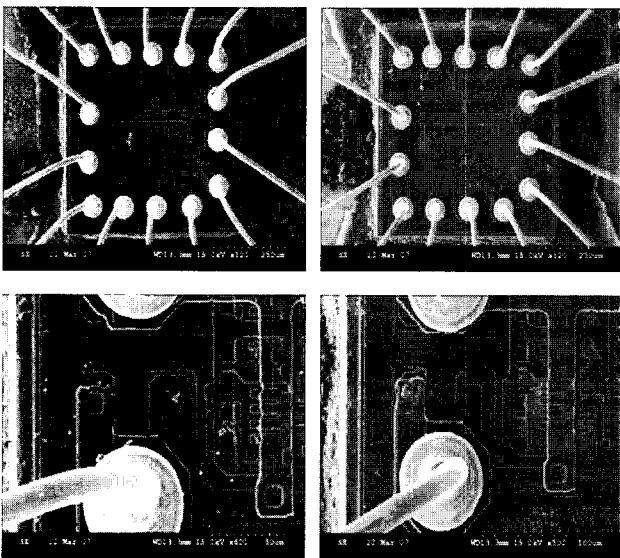
고분자로 몰딩되어 있는 반도체 소자 표면을 제거하여 내부 칩 상태 변화를 SEM으로 관찰하였고, 74HC08N 소자의 고출력 과도 전자파에 의한 손상을 그림 7에 나타내었다. 전자파에 의한 반도체 소자 내부 칩의 전형적인 파괴는 크게 세 가지 형태를 보여준다. 첫째 반도체 소자 내부 칩에 패턴에 의해 구성된 다이오드, 트랜지스터, 저항과 같은 component의 손상, 둘째 칩에 형성된 트레이 녹는 onchipwire의 손상과 동시에 다수의 component의 손상, 셋째 반도체 내부 칩과 리드 프레임(lead frame)을 연결하는 bondwire의 손상 및 동시에 onchipwire와 다수의 component의 손상이 있다.

그림 7은 이러한 반도체 소자의 전형적인 손상을 잘 보여주고 있으며, 대부분의 파괴는 어떤 특정한 곳에서 발생하는 데 전원이 인가되는  $V_{cc}$ 와 GND에서 이러한 손상이 명백히 나타난다. 이렇게 파괴된 반도체 소자의 칩 상태를 관찰하는 것은 어려웠는데 이것은 칩 위의 onchipwire가 녹거나 bondwire 또는 bondwire를 지지하는 bondpad가 녹으면서 칩 주위에 몰딩 되어있는 재료에 영향을 주어 금속과 고분자 물질의 융합된 형태로 칩 위에 부착되어 반도체 표면의 제거를 어렵게 만들 때문이다. 반도체 소자 내부 칩의 onchipwire와 bondwire의 파괴는 재료의 녹는 형태로 발생되는데 이러한 현상은 반도체 소자의 내부 칩 위의 교차점에 매우 높은 전계가 집중되어 금속선은 수 ns 시간에 수백 K의 온도로 상승하여 금속이 녹는 열적 파괴에 도달하기 때문이다[6]. 그림 8은 74HCT08N 소자의 고출력 과도 전자파에 의한 손상을 나타낸 것으로 손상된 지점을 쉽게 찾기는 힘들다. 고출력 과도 전자파의 세기를 증가시키면 그림 7과 같은 전형적인 파괴 현상을 나타내지만 낮은 전계에서의 손상은 칩 표면에서 관찰할 수 있는 파괴 현상보다는 칩 내부 벌크의 크랙과 같은 파괴가 먼저 일어나는 것으로 사료된다.



(a) Undamaged (b) Damaged

그림 7 고출력 과도 전자파에 의한 74HC08N 소자의 손상  
Fig. 7 CMOS 74HC08N device before and after high power microwave exposure



(a) Undamaged (b) Damaged

그림 8 고출력 과도 전자파에 의한 74HCT08N 소자의 손상  
Fig. 8 CMOS 74HCT08N device before and after high power microwave exposure

### 3. 결 론

이 논문에서는 많은 반도체 소자 중에서 CMOS를 기반 기술로 하는 AND gate 반도체 소자를 대상으로 마그네트론으로부터 발생된 고출력 과도 전자파에 의한 피해를 조사한 것이다. 고출력 과도 전자파에 의해 반도체 소자 자체가 받는 피해와 반도체 소자 및 이를 구동하기 위해 유기적으로 연결된 선로에 의한 피해를 조사하였다. 단일 반도체 소자를 고출력 과도 전자파에 노출시켰을 경우 최대 전계 강도 23.94 kV/m에서 반도체 소자의 영구적인 파괴 현상이 일어나지 않고, 구성된 시스템의 오작동만이 관찰되었다. 그러나 반도체 소자와 이를 구동하기 위해 유기적으로 연결된 선로로 구성되어있는 시스템에서는 오동작과 파괴가 동시에 관찰되었다. 따라서 고출력 과도 전자파에 의한 반도체 소자의 피해는 반도체 소자 자체가 전자파에 의해 받는 영향보다는 반도체 소자와 유기적으로 연결되는 선로에 의해 큰 영향을 받는다는 것을 알 수 있었다.

고출력 과도 전자파에 의해 영구적으로 파괴된 반도체 소자의 몰딩되어있는 표면을 제거하고 내부 칩 상태를 SEM으로 관찰하였다. 대다수의 반도체 소자들이  $V_{CC}(P_{VCC14})$ 와  $GND(P_{GND7})$  부근에서 onchipwire가 녹는 손상과 bondpad 및 bondwire가 녹는 심각한 손상을 확인할 수 있었다. 그러나 소수의 파괴된 반도체 소자에서 칩 표면에서 관찰할 수 있는 onchipwire나 bondwire가 녹는 손상은 관찰할 수 없었다. 이는 에너지가 낮은 전자파에 의해 반도체 소자는 칩 내부 벌크에서 최초 파괴가 발생하기 때문에 사료되며, 이를 위해 벌크에 대한 손상 여부를 관찰할 필요가 있다. 이 연구의 결과는 전자파에 의한 반도체 소자의 피해 효과를 이해하는 기초 자료로 활용할 수 있을 것이라 기대한다.

### 감사의 글

본 연구는 방위사업청과 국방과학연구소 지원에 의한 연구결과입니다.

### 참 고 문 헌

- [1] E. A. Amerasekera, D. S. Campbell, "Failure Mechanisms in Semiconductor Devices", John Wiley & Sons, 1987.
- [2] Clayborne D. Taylor, D. V. Giri, "High-Power Microwave Systems and Effects", Taylor & Francis, Washington D. C., 1994.
- [3] C. H. Diaz, S. M. Kang, C. Duvvury, "Modeling of Electrical Overstress in Integrated Circuits", Kluwer Academic Publishers, Boston, 1995.
- [4] M. Camp, H. Garbe, D. Nitsch, "Influence of the Technology on the Destruction Effects of Semiconductors by Impact of EMP and UWB Pulses", Electromagnetic Compatibility, 2002 IEEE International Symposium on, Vol. 1, pp. 87-92, 19-23 Aug., 2002.

- [5] D. Nitsch, M. Camp, F. Sabath, H. Ter, J. L., H. Garbe, "Susceptibility of Some Electronic Equipment to HPEM Threats", *Electromagnetic Compatibility, IEEE Transactions on*, Vol. 46, No. 3, pp. 380-389, Aug., 2004.
- [6] S. Korte, M. Camp, H. Garbe, "Hardware and Software Simulation of Transient Pulse Impact on Integrated Circuits", *Electromagnetic Compatibility, 2005 IEEE International Symposium on*, Vol. 2, pp. 489-494, 8-12 Aug., 2005.
- [7] D. V. Giri, 'High-power Electromagnetic Radiators Nonlethal Weapons and Other Applications", *Harvard University Press, Cambridge, Massachusetts, and London, England*, pp. 36-40, 2004.

저 자 소 개



**홍 주 일 (洪 胄 壹)**

1975년 10월 21일생. 2003년 세명대학교 전기공학과 학사 졸업, 2005년 인하대학교 전기공학과 석사 졸업, 2005년~현재 인하대학교 전기공학과 박사과정

Tel : 032-860-7408

Fax : 032-863-5822

E-mail : g2051091@inhaian.net



**황 선 묵 (黃 先 默)**

1976년 5월 2일생. 2003년 원광대학교 전기공학과 학사 졸업, 2005년 인하대학교 전기공학과 석사 졸업, 2005년~현재 인하대학교 전기공학과 박사과정



**허 창 수 (許 昌 洙)**

1955년 1월 27일생. 1981년 인하대학교 전기공학과 학사 졸업, 1983년 인하대학교 전기공학과 석사 졸업, 1987년 인하대학교 전기공학과 박사 졸업, 1993년~현재 인하대학교 전자전기공학부 교수