

신경망기법에 의한 칩브레이커의 성능평가

김홍규*, 심재형⁺

(논문접수일 2007. 1. 9, 심사완료일 2007. 4. 13)

Performance Evaluation of Chip Breaker Utilizing Neural Network

Hong-Gyoo Kim*, Jae-Hyung Sim⁺

Abstract

The continuous chip in turning operation deteriorates precision of workpiece and causes a hazardous condition to operator. Thus the chip form control becomes a very important task for reliable machining process. So, grooved chip breaker is widely used to obtain reliable discontinuous chip. However, developing new cutting insert having chip breaker takes long time and needs lots of research expense due to a couple of processes such as forming, sintering, grinding and coating of product and many different evaluation tests. In this paper, performance of commercial chip breaker is evaluated with neural network which is learned with a back propagation algorithm. For the evaluation, several important elements(depth of cut, land, breadth, radius) which directly influence the chip formation were chosen among commercial chip breakers and were used as input values of neural network. With the results of these input values, the performance evaluation method was developed and applied that method to the commercial tools.

Key Words : Chip breaking(칩 절단), Chip breaker(칩 브레이커), Chip flow(칩 유동), Curling(컬링), Chip control(칩 제어), Neural network(신경망), Back-propagation algorithm(오류역전파 알고리즘)

1. 서론

현대의 생산시스템은 원가절감을 위한 생산성의 극대화를 추구한 결과 컴퓨터와 로봇의 발달과 함께 컴퓨터에 의한 통합 생산시스템(CIM: Computer Integrated Manufacturing)이 가능하게 되었다.

이와 더불어 기계적 생산에서는 무인자동화에 의한 다품종 소량 자동 생산시스템(FMS: Flexible Manufacturing System)으로 변화를 가속화하고 있으며, 각종 공작기계의 위치정밀도 향상과 고강성 구조로 바뀌어져 고속·고정밀도의 요구에 부합하게 되었다.

이에 따라 절삭가공의 필수적 요소인 절삭공구의 성능

* 부산대학교 대학원 지능기계공학과 (kimhg@pusan.ac.kr)

주소: 609-735 부산광역시 금정구 장전동 산 30번지

+ 부산대학교 대학원 지능기계공학과

도 꾸준히 발전되어 왔다.

최근에는 NC공작기계를 근간으로 하는 공작기계의 자동화, 생력화(省力化), 무인화의 급속한 추세에 따라 생산성이 크게 향상되었지만, 단시간에 다량의 칩이 발생하기 때문에 선삭과 같은 연속절삭에서는 길고 연속해서 유출되는 칩의 효과적인 처리문제가 작업능률을 결정하는 가장 중요한 요소로 대두되고 있다. 특히 NC선반이나 무인자동화 생산 시스템에서는 칩 처리가 원활하게 되는 것을 전제로 하여 성립한다. 그러므로 칩 처리에서 트러블이 발생하면 효율적인 운용이 되지 못하게 된다.

이와 같이 절삭가공에 있어서 칩의 형태는 제품의 생산성에 밀접한 영향을 미치게 된다. 만일, 발생하는 칩의 형태가 적절하지 못하면 작업자에게 위험을 초래하게 되고, 공구와 피삭재(被削材)의 표면에 손상을 주며, 공작기계의 빈번한 가동중단으로 인한 생산성의 저하 등 많은 시간적 물질적인 손해를 가져오게 된다^(1,2).

칩 처리의 문제는 가공물의 표면 거칠기, 제품의 정밀도, 공구의 마모 등과 밀접한 관계가 있다. 이러한 관계를 규명하기 위하여 많은 학자들에 의하여 다양한 이론과 경험적 접근 방법이 제안되어 왔다. 특히 칩의 유출, 칩 컬(curl)과 칩 브레이킹(chip breaking)의 기본적인 기구가 해석과 실험을 통하여 광범위하게 연구되었다⁽³⁻⁹⁾. 이러한 연구 성과를 바탕으로, 최근에는 효과적인 칩 처리를 위해서 칩을 일정 길이 이하로 분절시키는 여러 가지 방법이 제안되었다.

그 중 가장 일반적인 방법으로 활용되고 있는 것이 칩브레이커를 이용하여 칩을 절단하는 방법이다. 공구의 정사면상에 홈을 만들어 칩을 통과시키면 칩의 곡률반경이 작아지게 되고, 그것에 의하여 컬링(curling)이 증가되어 칩이 절단된다^(10,11). 이 방법은 칩 처리 뿐 만아니라, 절삭저항을 감소하게 하고, 공구의 수명연장과 가공정밀도를 향상시키는 기능이 있다.

또한 칩브레이커는 칩의 유출각, 칩의 곡률 반경, 전단각 등의 여러 가지 절삭인자에 영향을 미치므로, 각 절삭조건에 적합한 형태를 결정해야한다⁽¹²⁾. 이를 위하여 절삭공구 생산 업체에서는 상용화되고 있는 절삭인서트에 대하여, 각 절삭 조건에 따라 칩브레이커의 성능에 관한 실험을 통하여 규명하고, 사용자가 편리하게 제품을 선택할 수 있도록 각 규격별, 절삭영역을 카탈로그(catalogue)를 통해 공개하고 있다.

그러나 이러한 실험에 따른 성능평가는 많은 시간과 노력을 소모한다. 또한 새로운 절삭인서트를 개발하기 위해서는 제품의 성형, 소결, 연삭, 코팅 등에 이르는 여러 공정을 거쳐 절삭성능 평가 후에 판단할 수 있으므로, 이에 따라 개발 기간이 길어지고 많은 연구비가 투입되어야 한다⁽¹³⁾.

이러한 문제를 해결하기 위해서는 칩브레이커의 성능에 관한 예측이 필요하며, 정확한 예측을 하기 위해서는 절삭과정에서 칩 브레이킹에 대한 해석적 모델링이 필수적이다. 그렇지만 칩의 생성에서 배출에 이르는 절삭현상은 매우 복잡하고 여러 변수들에 의해 결정되므로, 하나의 확정적인 해석적 모델링을 구축하는 것은 불가능하다.

따라서 본 연구에서는 홈(groove)형 칩브레이커의 개발과정 중 형상 제작 이전단계에서, 칩 브레이킹에 직접적인 영향을 미치는 형상요소들을 사용하여 칩브레이커의 성능을 예측하고, 실험을 통하여 확인한다.

먼저, 상용화 되어있는 절삭인서트를 이용하여 칩 브레이킹 실험을 행하고, 이를 통하여 칩브레이커의 형상요소와 칩 형태 사이의 관계를 규명한다.

앞에서 언급한 바와 같이, 칩브레이커의 성능은 칩의 생성에서 배출에 이르는 과정에서 절삭현상이 매우 복잡하여 칩브레이커의 형상요소로 판단하거나, 직접적인 수학적 모델링이나 실험적인 방법으로 규명하는 것은 불가능하다. 따라서 본 연구에서는 신경망의 학습알고리즘인 오류역전파법(back propagation)을 적용하여 칩브레이커의 형상요소를 입력변수로 설정하고, 실험에 의한 감독데이터를 이용하여 칩브레이커의 성능을 예측한다.

2. 이론적 배경

2.1 칩브레이커

선삭과 같은 단인공구에 의한 절삭공정에서 생성되는 가늘고 긴 칩은 엉킴에 의해 칩의 처리나 공작물의 표면 손상, 작업자의 위험과 같은 문제를 일으키므로 적당한 크기로 칩의 크기를 절단하는 것이 필수적이다.

금속 절삭가공에 있어서 발생된 칩은 컬링되어 공작물이나 공구에 충돌하면서 칩브레이킹이 일어난다. 이때 발생된 칩의 형태와 크기는 변형 메커니즘과 충돌 위치에 따라 달라진다.

발생된 칩은 연속적으로 컬링이 발생되는데 이때 형성되는 상향 컬링 반경과 칩 여유면의 하향 컬링 반경을 감소시켜야 칩의 절단성이 증대되는 것으로 알려져 있다⁽¹⁴⁾.

칩의 형태를 결정하는 요인 중 가장 중요한 것은 칩에 가진 외력을 변화시키는 것이다. 즉 정상상태로 유동하는 칩에 적당한 외력을 가하면 칩의 곡률반경이 작아지게 되고 이는 앞에서 설명한 바와 같이 칩의 파단 변형도를 증가시키는 결과를 얻을 수 있다.

이러한 목적을 위해 공구 상면에 적당한 홈이나 장애물을

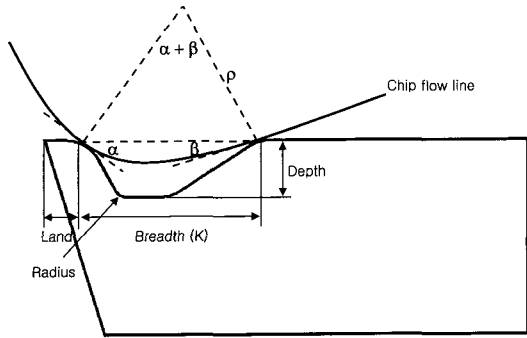


Fig. 1 Radius of chip which flows touching chip breaker

설치한 것을 칩브레이커(chip breaker)라 한다. 칩브레이커는 칩 절단성을 증가시켜 효과적인 칩 처리를 가능하게 하여 가공능률을 향상시킨다. 또한 절삭저항의 감소, 공구수명의 향상, 공작물 표면상태 개선시키는 등 여러 절삭성능 개선을 가져온다. 앞서 언급한 바와 같이 칩브레이커는 칩의 절단성의 향상을 칩의 곡률반경을 줄이는 과정을 통하여 실현한다.

Fig. 1은 칩브레이커의 형상과 칩의 곡률반경과의 관계를 설명한 것이다. 기하학적인 관계에 의하여 유도되는 칩의 곡률은 다음의 식으로 표현될 수 있다.

$$\frac{1}{\rho} = \frac{2}{K} \sin(\alpha + \beta) \quad (1)$$

식 (1)에 의하면 경사각을 줄이고 홈의 폭(K)을 줄이면 원하는 곡률을 얻을 수 있으나, 실제로는 그와 같이 얇고 좁은 홈에서는 칩의 구속력이 불충분해서 칩을 절링시키는 효율이 떨어지게 된다. 따라서 경사각은 일반적으로 15~30° 정도로 설계된다⁽¹⁵⁾.

이상과 같이 칩브레이커의 형상은 칩의 분절에 영향을 미치므로, 본 연구에서는 Fig. 1에 나타난 칩브레이커의 형상요소들(홈의 폭, 곡률반경, 랜드 폭, 홈의 깊이)을 신경망의 입력변수로 사용하여 칩브레이커의 성능을 예측한다.

2.2 칩의 형태 분류

칩의 형태에 따라 CIRP(국제생산가공연구회), 일본기계진흥협회 및 INFOS(독일 절삭 정보센터) 등에 의해 분류되고 있지만 거의 비슷하다.

본 연구에서 사용한 칩의 분류는 INFOS에 의한 분류에 따라 칩 상태를 판별하였다. Fig. 2는 INFOS에 의한 분류를

1		ribbon chips	unstable
2		tangled chips	
3		corkscrew chips	
4		helical chips	stable
5		long tubular chips	
6		short tubular chips	
7		spiral tubular chips	
8		spiral chips	
9		long comma chips	
10		short comma chips	

Fig. 2 Classification of chip pattern(INFOS)

나타낸 것이다. 그림에서와 같이 칩은 10가지의 형태로 나누어진다. 또한 나누어진 칩의 형태를 3개의 언어변수 즉, stable, usable, unstable로 분류할 수 있다. 본 연구에서 이 3개의 언어변수들을 신경망을 구성하는 출력변수로 사용한다.

3. 칩브레이커의 절삭성능

3.1 칩브레이커의 형상 요소

본 연구에서는 상용화되고 있는 각각 다른 형상을 가진 칩브레이커에 대하여 절삭조건을 변화시키면서 배출되는 칩의 형태를 관찰하였다. 관찰된 결과를 통하여 칩브레이커의 형상변화에 따른 칩 브레이킹의 유효범위를 설정하고, 이를 신경망 성능평가에 적용하여 다양한 형상을 가진 칩브레이커의 성능을 평가한다.

실험장비는 변속전동기식 선반을 이용하였다. 칩 형상에 가장 큰 영향을 미치는 절삭조건인 이송, 절입량, 절삭속도의 변화에 대한 칩브레이커의 칩 절단성능을 평가하기 위하여 각각 절삭인서트의 이송량을 0.15mm/rev, 0.3mm/rev, 0.4mm/rev로 고정하고, 각 이송범위에 적합한 절삭깊이를 3단계로 하여 0.5mm에서 5.0mm까지로 변화시키면서 각 절삭조건에서 유출되는 칩의 형태를 관찰하였다.

Table 1은 대구택에서 판매되고 있는 절삭인서트의 칩브레이커 형상요소를 나타낸 것이다. 칩브레이커의 성능은 다양한 요소에 의하여 결정될 수 있으나 본 연구에서는 칩 브레이킹에 가장 크게 영향을 미치는 칩브레이커의 형상요소 즉 'depth', 'breadth', 'land', 'radius'의 네가지 항목을 통하여 칩브레이커의 성능을 평가하였다.

Table 1의 모든 칩브레이커는 CNMG120408 타입의 인서트에 설치된 것이며, 표에서와 같이 -33, -KA, -FG는 정삭용, -A, -AC는 경절삭용, -C, -MP는 중(中)절삭용 -55, -KE, -KM, -KC는 중(重)절삭용, -MH, -RT는 황삭용으로 사용되는 칩브레이커의 형상변수이다.

Fig. 3은 실험에 사용된 절삭 인서트와 칩브레이커의 형상을 나타내는 사진이다.

Table 1 Specification of chip breaker

Type	Depth	Land	Breadth	Radius	Use
- 33	0.39	0.00	1.52	0.70	Finishing
- KA	0.21	0.04	1.41	2.00	
- FG	0.18	0.00	1.40	3.00	
- A	0.43	0.13	2.07	0.70	LR
- AC	0.72	0.00	2.00	2.00	
- C	0.24	0.22	1.90	1.08	MR
- MP	0.35	0.28	1.80	1.05	
- 55	0.45	0.18	1.61	1.07	HR
- KE	0.27	0.20	1.85	1.50	
- KM	0.31	0.11	2.67	2.60	
- KC	0.27	0.35	2.12	0.80	Roughing
- MH	0.19	0.30	2.15	0.00	
- RT	0.17	0.32	2.50	0.00	

* LR(Light Roughing), MR(Medium Roughing), HR (Heavy Roughing)

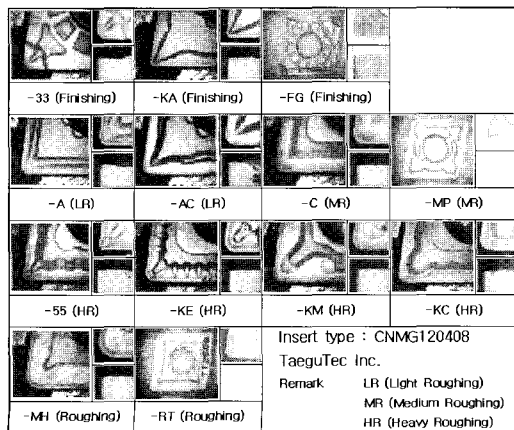


Fig. 3 Shapes of commercial chip breaker

3.2 칩브레이커의 성능 실험

앞서 언급된 칩브레이커의 형상 인자와 가공 발생되는 칩의 형태를 확인하기 위하여 절삭시험을 수행한다. 실험조건은 아래의 Table 2와 같으며 각각 칩브레이커에 대하여 동일한 조건에서 실험을 수행한 후 발생하는 칩을 수거하고 이를 통하여 칩의 상태를 판단하였다. 실험에 사용된 피삭재는 SCM4이다.

Table 2 Experiment conditions

Conditions	Units	Remark
Cutting speed	m/min	100(fixed all condition)
Depth of cut	mm	0.5, 0.8, 1.2, 1.5, 3.0, 4.0, 5.0
Feed rate	mm/rev	0.15, 0.30, 0.40

각 실험은 외주연속절삭으로 건식 상태에서 각 실험조건에 대하여 2회 실험을 반복하였다. 신경망에서 학습을 위한 감독데이터를 구성하기 위하여 Table 1에서 주어진 칩브레이커를 이용하여 절삭성능 실험을 행하였다. 절삭영역은 정삭, 경절삭, 중(重)절삭, 황삭 영역으로 고정하고, 칩브레이커 형상에 따른 칩브레이킹 실험을 하였다.

일반적으로 강의 절삭에서는 절삭속도가 일정속도 이상이 되면 칩의 형태는 유동형 칩이 발생된다. 최근의 절삭가공의 추세는 난삭재 및 생산성 향상을 위해 대부분 고속절삭 영역에서 행해지고 있으며, 이러한 가공조건에서는 이송량과 절삭깊이가 칩 절단에 매우 큰 영향을 미친다. 그러므로 절삭공구 제조사들은 칩 브레이커의 선정기준을 이송량과 절삭깊이를 기준으로 표시하고 있다.

따라서 본 연구에서는 절삭속도를 100m/min으로 고정하고 이송량과 절삭깊이를 변화시키면서 칩 형태의 변화를 관찰한다.

다음의 Fig. 4는 실험결과를 나타낸 것이다. 각 절삭조건에서 생성되는 칩을 신경망 학습데이터의 출력변수로 사용하기 위해 칩의 형태를 3개의 언어변수 즉, stable, usable, unstable로 분류하였다. 그림에서와 같이 각 절삭영역에서 발생하는 칩을 3가지 형태로 분류하여 각 구간에 기호로 표시하였다.

정삭용(-33, -K, -FG형) 칩브레이커에서는 이송량 0.15 mm/rev, 절삭깊이가 1.2mm이하에서 stable 칩이 생성되었으며, 이송량과 절삭깊이의 증가에 따라 usable, unstable 칩이 생성되었다.

경절삭용(-A, -AC형)에서는 이송량 0.15mm/rev, 절삭깊이 1.2mm에서 stable 칩이 생성되었으며, 이송량과 절삭깊

이의 감소에 따라 usable 칩이 생성되고, 증가됨에 따라 stable, usable, unstable의 순서로 칩의 형태가 변화되었다.

중(重)절삭용(-55, -KE, -KM, -KC형)에서는 이송량 0.3 mm/rev, 절삭깊이 1.5mm와 이송량 0.4mm/rev, 절삭깊이 3.0mm에서 usable 칩이 생성되었으며, 이송량과 절삭깊이가 증가되는 영역에서는 대부분의 경우, stable 칩이 생성되었다.

황삭용(-MH, -RT형)에서는 이송량 0.3mm/rev, 절삭깊이 1.5mm이상에서 stable 칩이 생성되었으며, 이송량 0.15 mm/rev, 절삭깊이 0.8mm이하에서는 칩 분절이 전혀 일어나지 않았다.

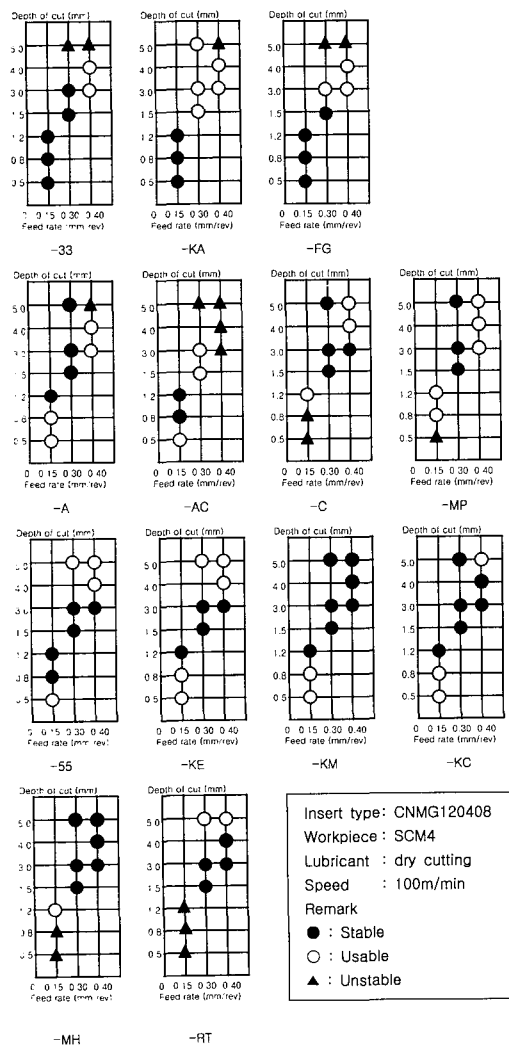


Fig. 4 Result of chip breaking test in turning operation

4. 신경회로망 구성과 시뮬레이션

4.1 신경회로망

인간의 뇌는 수많은 신경세포로 구성되어 있다. 이러한 신경세포는 독립적으로 존재하는 것이 아니라 각 세포간의 적절한 연결강도를 가지고 복잡하게 연결되어 있다. 신경세포의 연결강도는 외부의 자극을 특정한 신호로 변환하고, 병렬 구조로 정보를 전달한다. 이러한 인간 신경세포의 구조와 동작을 모방한 것이 신경회로망이다. 신경회로망은 인간의 신경세포의 구조와 기능을 단순화하고, 수학적 모델을 만든다. Fig. 5에서 인공 신경세포를 도식화 하였다⁽¹⁶⁾.

인공 신경세포는 Fig. 5와 같이 입력값(x_i)을 평가하고, 그것의 연결강도에 따라 각각의 요소에 해당하는 강도를 결정한다. 이때 다른 인공 신경세포에서 전달된 입력값에 연결강도를 곱하여 총합이 된다. θ_j 는 설정되어지는 뉴런의 출력으로 부터 단순히 산술적 합산에 의해 구하여진 총합을 전달 함수(f_z)에 입력한다.

뉴런의 출력이 산출된 후에 출력값(y_j)은 연속적으로 뉴런에 전달되어 입력값으로 연결강도에 따라 전달된다.

$$net_j = \sum_i x_i w_{ij}$$

$$y_j = f(net_j + \theta_j) \quad (2)$$

본 연구에서 사용된 전달함수 $f(z)$ 는 시그모이드 함수 (sigmoid function)로서 다음의 식 (3)으로 표현된다.

$$f(z) = \frac{1}{(1 + e^{-z})} \quad (3)$$

여기서, $z = net_j + \theta_j$

신경망의 출력층은 각 신경세포들 간의 연결 강도(w_{ij})에 따라 비례한다. 그러므로 연결강도를 결정하기 위해 신경망

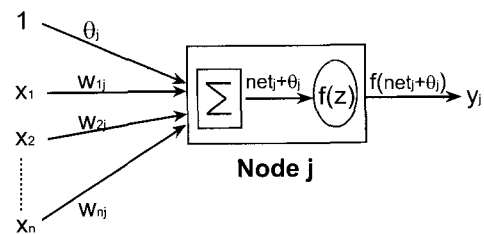


Fig. 5 Diagram of artificial neuron

의 학습 과정은 적합한 결과를 얻기 위해 필수적이다.

본 연구에서는 신경망의 학습 알고리즘으로 오류 역전파법을 이용하였다.

오류 역전파법은 각 신경세포의 연결강도가 다른 신경세포의 잘못된 출력을 발생시켰을 경우 신경세포간의 연결강도를 발생하는 오차에 비례하여 조절하여 오차를 줄여나가는 방법이다. 이러한 과정은 모든 신경세포에 대하여 연속적으로 수행된다.

오류 역전파법에 의한 학습은 입력된 데이터가 각 연결강도와 곱하여져 중간층, 출력층으로 입력되고 출력층에서 출력된 결과를 감독 데이터(supervised data)와 비교하여 그들 사이의 오차를 구하고 구하여진 오차를 최소화시킬 수 있도록 연결강도를 조정해 나가는 과정을 거치며 진행된다.

4.2 신경회로망의 구성

본 연구에서 칩브레이커의 형상요소에 따른 각 절삭조건에서 칩의 형태를 평가하는 목적으로 신경망을 이용한다.

서론에서도 언급한 바와 같이 칩의 발생과 파단, 배출에 이르는 절삭과정은 이론적으로 매우 복잡하고 다양한 인자들로 구성되므로, 정확한 수학적 모델링이나 신호처리의 기법으로 해결하려는 데는 한계가 있다.

이에 비하여 신경망은 칩의 생성과정에 관련된 수학적 지식이나 절삭인자들이 칩 생성에 미치는 영향에 대한 지식이 거의 없는 상태에서도 적용이 가능하고, 경향이 뚜렷한 패턴들로부터 학습을 통하여 가중치만 결정되면, 학습의 과정에 사용되지 않은 유사한 입력패턴에 대하여 그 결과를 추정할 수 있도록 자기조직화하는 이점이 있다⁽¹⁵⁾.

본 연구에서는 Fig. 8과 같이 4개의 층을 가지는 4-6-6-3

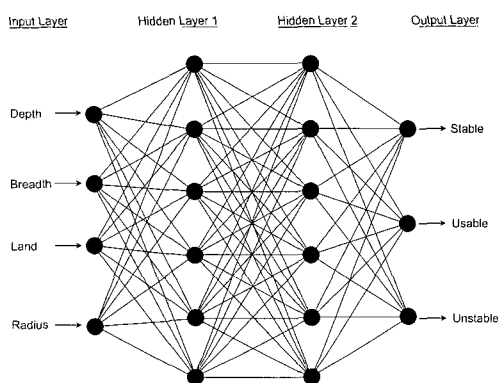


Fig. 8 Architecture of neural network

의 형태를 갖는 신경망으로 구성하였다. 신경망은 4개의 입력 유닛을 가지는 입력층(input layer), 각각 6개의 유닛을 가지는 2개의 중간층(hidden layer), 3개의 출력 유닛을 가지는 출력층으로 구성되어 있다.

입력데이터는 앞에서 언급된 칩브레이커의 형상요소(칩브레이커의 깊이, 폭, 랜드, 곡률반경)를 사용하였다.

중간층은 비선형 분리 효과를 높이기 위하여 입력층의 유닛 개수보다 많은 6개의 유닛을 갖는 2개 계층으로 구성된다.

출력데이터는 Fig. 2의 칩 패턴분류에 사용되는 언어변수인 stable, usable, unstable이 사용된다. 이 값들에 대한 출력값을 구한 다음, 가장 크기가 크게 나오는 변수의 상태로 칩의 형태를 인식하게 된다.

또한 감독데이터에 근접할 수 있도록 연결강도를 조정하는 학습과정은 오류역전파 알고리즘을 사용하였다. 유닛의 실제 출력값과 감독데이터와의 오차를 줄이는 방법으로 오차의 제곱을 최소화하는 델타 룰을 사용하였다. 전달함수는 시그모이드 함수를 사용하여, 큰 입력값과 작은 입력값에 대해서도 적절하게 반응하여 각 계층에서의 유닛을 활성화시킬 수 있도록 구성하였다.

4.3 감독 데이터와 학습조건

칩브레이커의 절삭성능을 평가하는 기준이 되는 학습데이터를 구성하기 위하여 Table 1에서 주어진 칩브레이커를 포함하는 인서트로 절삭을 행한다. 절삭영역을 정삭, 경절삭, 중절삭, 황삭 영역으로 고정하고 이때 생성되는 칩의 형태를 통하여 아래의 Table 3, 4, 5, 6에 나타난 학습데이터로 구성하였다.

다음의 Table 3은 절삭속도 100m/min, 절삭깊이 0.5mm, 이송량 0.15mm/rev의 절삭조건으로 칩의 형태를 관찰한 결과이다. 실험조건이 정삭에 해당하는 영역이므로 정삭용 칩브레이커에서는 stable 칩이 생성되었고, 다른 용도의 칩브레이커에서는 usable, unstable 칩이 생성되었다.

Table 4는 절삭속도 100m/min, 절삭깊이 0.8mm, 이송량 0.15mm/min의 절삭조건으로 칩의 형태를 관찰한 결과이다. 실험결과에서 볼 수 있듯이 정삭과 경절삭용 칩브레이커에서는 stable, usable 칩이 생성되었고, 중절삭용과 황삭용 칩브레이커에서는 stable, usable, unstable 칩의 생성되었다.

Table 5는 절삭속도 100m/min, 절삭깊이 3.0mm, 이송량 0.4mm/min의 절삭조건으로 칩의 형태를 관찰한 결과이다. 절삭영역이 중절삭에 해당하므로 실험결과에서 볼 수 있듯이 중절삭과 황삭용 칩브레이커에서는 stable 칩이 생성되었

Table 3 Supervised data of neural network (I)
<0.5mm depth of cut and 0.15mm/rev of feed rate -
Finishing>

Type	Input Pattern				Output		
	Depth	Land	Breadth	Radius	Stable	Usable	Unstable
- 33	0.39	0.00	1.52	0.70	1	0	0
- KA	0.21	0.04	1.41	2.00	1	0	0
- FG	0.18	0.00	1.41	3.00	1	0	0
- A	0.43	0.13	2.07	0.70	0	1	0
- AC	0.72	0.00	2.00	2.00	0	1	0
- C	0.24	0.22	1.90	1.08	0	0	1
- MP	0.35	0.28	1.80	1.05	0	0	1
- 55	0.45	0.18	1.61	1.07	0	1	0
- KE	0.27	0.20	1.85	1.50	0	1	0
- KM	0.31	0.11	2.67	2.60	0	1	0
- KC	0.27	0.35	2.12	0.80	0	1	0
- MH	0.19	0.30	2.15	0.00	0	0	1
- RT	0.17	0.32	2.50	0.00	0	0	1

Table 4 Supervised data of neural network (II)
<0.8mm depth of cut and 0.15mm/rev of feed rate -
LR>

Type	Input Pattern				Output		
	Depth	Land	Breadth	Radius	Stable	Usable	Unstable
- 33	0.39	0.00	1.52	0.70	1	0	0
- KA	0.21	0.04	1.41	2.00	1	0	0
- FG	0.18	0.00	1.41	3.00	1	0	0
- A	0.43	0.13	2.07	0.70	0	1	0
- AC	0.72	0.00	2.00	2.00	1	0	0
- C	0.24	0.22	1.90	1.08	0	0	1
- MP	0.35	0.28	1.80	1.05	0	1	0
- 55	0.45	0.18	1.61	1.07	1	0	0
- KE	0.27	0.20	1.85	1.50	0	1	0
- KM	0.31	0.11	2.67	2.60	0	1	0
- KC	0.27	0.35	2.12	0.80	0	1	0
- MH	0.19	0.30	2.15	0.00	0	0	1
- RT	0.17	0.32	2.50	0.00	0	0	1

고, 정상과 경절삭용 칩브레이커에서는 usable, unstable 칩의 생성되었다.

Table 6은 절삭속도 100m/min, 절삭깊이 5.0mm, 이송량

Table 5 Supervised data of neural network (III)
<3.0mm depth of cut and 0.4mm/rev of feed rate -
HR>

Type	Input Pattern				Output		
	Depth	Land	Breadth	Radius	Stable	Usable	Unstable
- 33	0.39	0.00	1.52	0.70	0	1	0
- KA	0.21	0.04	1.41	2.00	0	1	0
- FG	0.18	0.00	1.41	3.00	0	1	0
- A	0.43	0.13	2.07	0.70	0	1	0
- AC	0.72	0.00	2.00	2.00	0	0	1
- C	0.24	0.22	1.90	1.08	1	0	0
- MP	0.35	0.28	1.80	1.05	0	1	0
- 55	0.45	0.18	1.61	1.07	1	0	0
- KE	0.27	0.20	1.85	1.50	1	0	0
- KM	0.31	0.11	2.67	2.60	1	0	0
- KC	0.27	0.35	2.12	0.80	1	0	0
- MH	0.19	0.30	2.15	0.00	1	0	0
- RT	0.17	0.32	2.50	0.00	1	0	0

Table 6 Supervised data of neural network (IV)
<5.0mm depth of cut and 0.4mm/rev of feed rate -
roughing>

Type	Input Pattern				Output		
	Depth	Land	Breadth	Radius	Stable	Usable	Unstable
- 33	0.39	0.00	1.52	0.70	0	0	1
- KA	0.21	0.04	1.41	2.00	0	0	1
- FG	0.18	0.00	1.41	3.00	0	0	1
- A	0.43	0.13	2.07	0.70	0	0	1
- AC	0.72	0.00	2.00	2.00	0	0	1
- C	0.24	0.22	1.90	1.08	0	1	0
- MP	0.35	0.28	1.80	1.05	0	1	0
- 55	0.45	0.18	1.61	1.07	0	1	0
- KE	0.27	0.20	1.85	1.50	0	1	0
- KM	0.31	0.11	2.67	2.60	1	0	0
- KC	0.27	0.35	2.12	0.80	0	1	0
- MH	0.19	0.30	2.15	0.00	1	0	0
- RT	0.17	0.32	2.50	0.00	1	0	0

0.4mm/min의 절삭조건으로 실험을 행한 결과이다. 절삭영역이 황삭에 해당하므로 실험결과에서도 황삭용 칩브레이커에서는 stable 칩이 생성되었고 다른 용도의 칩브레이커에서

는 usable과 unstable 칩이 생성되었다.

Table 3, 4, 5, 6의 학습데이터를 이용하여 각 절삭조건에 대한 학습을 행한다. 학습프로그램은 각 학습데이터의 입력 패턴을 입력하여 출력데이터를 생성하고, 이 출력데이터와 출력패턴의 오차를 계산하며, 오차를 줄이기 위하여 각 연결 강도를 수정하는 과정을 반복한다. 출력데이터와 출력패턴 사이의 총 오차가 0.15% 이하가 되면 위의 과정을 종료하고, 만약 반복회수가 20,000회가 될 때까지 오차가 수렴범위에 들지 않으면 학습을 강제로 종료한다.

학습알고리즘은 오류역전파법을 이용하였고, 오차를 신속하게 감소시키기 위해 일반화된 델타 룰을 사용하였다. 학습한 결과, 각 감독데이터는 5,000회에서 7,000회 사이에

서 오차범위에 수렴되어 학습이 종료되었다.

4.4 신경회로망의 성능평가

선정된 학습데이터를 오류역전파 알고리즘을 이용하여 신경망 프로그램을 작성하여 시뮬레이션을 행하였다.

다음의 Table 7, 8, 9, 10은 학습데이터의 학습된 결과를 나타낸 표이다. 개발된 신경망을 통하여 얻어진 칩브레이크 성능평가의 결과와 실험을 통하여 얻어진 결과의 비교를 통하여 신경망의 성능을 평가한다. 표에서 'desired result'라 표시된 것은 실제 실험에서 얻어진 칩의 형태를 의미한다.

따라서 실험에서 얻어진 'desired result'와 회상을 통해 얻어진 결과가 일치되어야 한다.

Table 7 Implementation results (I)
 <0.5mm depth of cut and 0.15mm/rev of feed rate - finishing>

Type	Input Pattern				Output			Desired Result
	Dp	Ld	Br	Ra	St	Us	Unst	
Supervised data : CNMG120408 type								
- 33	0.39	0.00	1.52	0.70	1	0	0	Stable
- KA	0.21	0.04	1.41	2.00	0.99	0	0	Stable
- FG	0.18	0.00	1.41	3.00	0.98	0	0	Stable
- A	0.43	0.13	2.07	0.70	0	1	0	Usable
- AC	0.72	0.00	2.00	2.00	0	0.99	0	Usable
- C	0.24	0.22	1.90	1.08	0	0	1	Unstable
- MP	0.35	0.28	1.80	1.05	0	0	0.99	Unstable
- 55	0.45	0.18	1.61	1.07	0	0.99	0	Usable
- KE	0.27	0.20	1.85	1.50	0	1	0	Usable
- KM	0.31	0.11	2.67	2.60	0	1	0	Usable
- KC	0.27	0.35	2.12	0.80	0	1	0	Usable
- MH	0.19	0.30	2.15	0.00	0	0	1	Unstable
- RT	0.17	0.32	2.50	0.00	0	0	1	Unstable
Unsupervised data : SNMG120408								
- KA	0.20	0.17	1.46	1.78	0.80	0	0.09	Stable
- AC	0.59	0.00	1.95	1.95	0	1	0	Usable
- KE	0.27	0.24	2.10	1.20	0.20	0.80	0	Usable
- KM	0.31	0.14	2.80	2.10	0	0.90	0	Usable
- MH	0.23	0.37	1.49	0.00	0	0.15	0.87	Unstable
Unsupervised data : New type								
- RH	0.25	0.22	2.62	1.57	0.22	0.78	0	Usable
- ML	0.70	0	2.00	1.50	0.02	0.95	0	Usable

Table 8 Implementation results (II)
 <0.8mm depth of cut and 0.15mm/rev of feed rate - LR>

Type	Input Pattern				Output			Desired Result
	Dp	Ld	Br	Ra	St	Us	Unst	
Supervised data : CNMG120408 type								
- 33	0.39	0.00	1.52	0.70	0.99	0	0	Stable
- KA	0.21	0.04	1.41	2.00	0.99	0	0	Stable
- FG	0.18	0.00	1.41	3.00	0.98	0	0	Stable
- A	0.43	0.13	2.07	0.70	0	1	0	Usable
- AC	0.72	0.00	2.00	2.00	1	0	0	Stable
- C	0.24	0.22	1.90	1.08	0	0	1	Unstable
- MP	0.35	0.28	1.80	1.05	0	0	0.97	Unstable
- 55	0.45	0.18	1.61	1.07	1	0	0	Stable
- KE	0.27	0.20	1.85	1.50	0	0.99	0	Usable
- KM	0.31	0.11	2.67	2.60	0	0.99	0	Usable
- KC	0.27	0.35	2.12	0.80	0	1	0	Usable
- MH	0.19	0.30	2.15	0.00	0	0	1	Unstable
- RT	0.17	0.32	2.50	0.00	0	0	0.99	Unstable
Unsupervised data : SNMG120408								
- KA	0.20	0.17	1.46	1.78	0.90	0.10	0	Stable
- AC	0.59	0.00	1.95	1.95	1	0	0	Stable
- KE	0.27	0.24	2.10	1.20	0.08	0.90	0	Usable
- KM	0.31	0.14	2.80	2.10	0.05	0.91	0	Usable
- MH	0.23	0.37	1.49	0.00	0	0	1	Unstable
Unsupervised data : New type								
- RH	0.25	0.22	2.62	1.57	0.20	0.80	0	Usable
- ML	0.70	0	2.00	1.50	0.90	0	0.10	Stable

Table 9 Implementation results (III)
 <3.0mm depth of cut and 0.4mm/rev of feed rate - HR>

Type	Input Pattern				Output			Desired Result
	Dp	Ld	Br	Ra	St	Us	Unst	
Supervised data : CNMG120408 type								
- 33	0.39	0.00	1.52	0.70	0	1	0	Usable
- KA	0.21	0.04	1.41	2.00	0	1	0	Usable
- FG	0.18	0.00	1.41	3.00	0	1	0	Usable
- A	0.43	0.13	2.07	0.70	0	0.99	0	Usable
- AC	0.72	0.00	2.00	2.00	0	0	1	Unstable
- C	0.24	0.22	1.90	1.08	1	0	0	Stable
- MP	0.35	0.28	1.80	1.05	0.99	0	0.01	Stable
- 55	0.45	0.18	1.61	1.07	1	0	0	Stable
- KE	0.27	0.20	1.85	1.50	0.99	0	0	Stable
- KM	0.31	0.11	2.67	2.60	0.99	0	0	Stable
- KC	0.27	0.35	2.12	0.80	1	0	0	Stable
- MH	0.19	0.30	2.15	0.00	1	0	0	Stable
- RT	0.17	0.32	2.50	0.00	1	0	0	Stable
Unsupervised data : SNMG120408								
- KA	0.20	0.17	1.46	1.78	0	0.98	0	Usable
- AC	0.59	0.00	1.95	1.95	0	0.01	0.98	Unstable
- KE	0.27	0.24	2.10	1.20	0.89	0.01	0	Stable
- KM	0.31	0.14	2.80	2.10	0.96	0.01	0	Stable
- MH	0.23	0.37	1.49	0.00	0.88	0.08	0	Stable
Unsupervised data : New type								
- RH	0.25	0.22	2.62	1.57	0.82	0.11	0	Stable
- ML	0.70	0	2.00	1.50	0.28	0	0.78	Unstable

Table 7은 절삭속도 100m/min, 이송량0.15mm/ rev, 절삭깊이 0.5mm의 절삭조건에서 신경망의 성능을 평가한 것이다. 절삭영역이 정삭에 해당하며, 정삭과 경절삭용 칩브레이크에서는 stable, usable 칩이 생성되었고, 중절삭용과 황삭용 칩브레이크에서는 stable, usable, unstable 칩의 생성되어 정확히 인식하였다.

표에 수록된 데이터 중에서 감독데이터는 신경망의 학습이 올바르게 수행되었는지를 나타내는 기준이 되고, 이외의 데이터들은 신경망의 자기조직특성을 통한 감독데이터에 포함되지 않은 칩브레이크의 성능평가 결과를 나타낸 것이다.

Table 8은 절삭속도 100m/min, 이송량 0.15mm/min, 절삭깊이 0.8mm의 절삭조건에서 신경망의 성능을 평가한 것

Table 10 Implementation results (IV)
 <5.0mm depth of cut and 0.4mm/rev of feed rate - Roughing>

Type	Input Pattern				Output			Desired Result
	Dp	Ld	Br	Ra	St	Us	Unst	
Supervised data : CNMG120408 type								
- 33	0.39	0.00	1.52	0.70	0	0	1	Unstable
- KA	0.21	0.04	1.41	2.00	0	0	1	Unstable
- FG	0.18	0.00	1.41	3.00	0	0	1	Unstable
- A	0.43	0.13	2.07	0.70	0	0	1	Unstable
- AC	0.72	0.00	2.00	2.00	0	0	1	Unstable
- C	0.24	0.22	1.90	1.08	0	0.99	0	Usable
- MP	0.35	0.28	1.80	1.05	0	1	0	Usable
- 55	0.45	0.18	1.61	1.07	0	0.99	0	Usable
- KE	0.27	0.20	1.85	1.50	0	1	0	Usable
- KM	0.31	0.11	2.67	2.60	1	0	0	Stable
- KC	0.27	0.35	2.12	0.80	0	0.99	0	Usable
- MH	0.19	0.30	2.15	0.00	1	0	0	Stable
- RT	0.17	0.32	2.50	0.00	0.99	0	0	Stable
Unsupervised data : SNMG120408								
- KA	0.20	0.17	1.46	1.78	0	0.1	0.98	Unstable
- AC	0.59	0.00	1.95	1.95	0	0.18	0.88	Unstable
- KE	0.27	0.24	2.10	1.20	0	0.90	0.15	Usable
- KM	0.31	0.14	2.80	2.10	0.98	0	0	Stable
- MH	0.23	0.37	1.49	0.00	0.99	0	0	Stable
Unsupervised data : New type								
- RH	0.25	0.22	2.62	1.57	0	0.80	0.20	Usable
- ML	0.70	0	2.00	1.50	0	0.15	0.90	Unstable

이다. 경절삭 영역에서 정확한 인식결과를 생성하였다.

Table 9는 절삭속도 100m/min, 이송량 0.4mm/min, 절삭깊이 3.0mm의 절삭조건에서 신경망의 성능을 평가한 것이며, Table 10은 절삭속도 100m/min, 이송량 0.4mm/min, 절삭깊이 5.0mm의 절삭조건에서 신경망의 성능을 평가한 것이다. 각각 중절삭과 황삭 영역에서도 위와 마찬가지로 정확한 인식결과를 생성하였다.

실제 실험에서 학습데이터의 분리가 용이한 형상변수를 사용하였기 때문에 오차가 상당히 줄어들어 정확한 결과를 출력하였다.

각 Table에서 볼 수 있듯이 학습에 사용되어진 CNMG 120408 타입의 칩브레이크들은 각 절삭영역에서 실험을 통

하여 얻어진 결과와 시뮬레이션에 의한 결과가 최대 0.01%의 오차로 정확히 일치하는 것을 알 수 있다.

그런 이유의 신경망에 사용된 학습데이터의 입력 패턴은 상용화되고 있는 제품의 치수를 그대로 사용하고 출력 패턴은 절삭 실험을 통해 얻은 결과를 사용하였기 때문에, 동일한 조건의 절삭에 대하여 정확한 인식결과를 얻을 수 있는 것으로 판단된다.

각 Table에 포함된 SNMG120408 타입에 대한 결과는 신경망 학습데이터에 포함되지 않은 칩브레이커에 대하여 올바른 인식을 하는지 여부를 판별하기 위한 것이다. 제안된 신경망 인식기는 앞서 언급한 바와 같이 새로운 형상의 칩브레이커를 개발하는데 있어서 시뮬레이션 툴로 사용되기 위한 것으로, 설계 시 4가지 형상변수에 대한 기초 데이터를 제시하고 이를 통하여 개발에 따른 시행착오를 줄이는 것을 목적으로 한다.

따라서 제안된 신경망 인식기가 유용성을 가지기 위해서는 감독데이터로 사용할 수 없는 새로운 형태의 칩브레이커에 대하여 올바른 인식결과를 얻을 수 있어야 한다.

테이블의 결과에서 볼 수 있듯이 학습데이터의 회상 결과에 비해서 최대오차가 20% 정도를 나타내고 있어서 비교적 크게 나타나는 것 같은 경향을 보이지만 각 절삭영역에서 칩의 형태를 정확히 판단하고 있다.

또한 각 테이블의 RH, ML도 감독데이터에 포함되지 않은 최근 개발된 칩브레이커이다. 각 칩브레이커의 절삭영역에서 RH형은 황삭이고, ML형은 경절삭에 사용된다. 이 두 가지 형태의 칩브레이커에 대해서도, 감독데이터에 포함되지 않았기 때문에 오차 값은 비교적 크게 나왔으나 절삭영역은 정확히 인식하였다.

마지막으로 Table 11은 Table 7, 8, 9 및 10에서의 감독데

Table 11 Implementation results about unsupervised data

Type	Use	Cutting condition	Implementation result	Error (%)
SNMG -KA	Finishing	Finishing	Stable	20
SNMG -AC	LR	LR	Stable	0
SNMG -KE	HR	HR	Stable	11
SNMG -KM	HR	HR	Stable	4
SNMG -MH	Roughing	Roughing	Stable	1
CNMG -RH	HR	HR	Stable	18
CNMG -ML	LR	LR	Stable	10

이터로 사용하지 않는 칩브레이커에 대한 인식결과를 정리하였다. 표에서와 같이 각각의 칩브레이커는 공구 메이커가 제시한 영역에서 인식결과를 평가하였다.

예를 들어 설명하면, SNMG -KA는 용도가 정삭용이고, 절삭깊이 0.5mm, 이송량 0.15mm/rev(정삭영역)의 절삭조건에서 stable 칩이 발생한다.

이에 대한 신경망 인식기의 implementation 결과는 stable로 인식하였고 오차가 20% 발생되었다. 그렇지만 감독데이터로 사용되지 않는 총 7종의 칩브레이커에 대하여 정확하게 칩의 형태를 예측하는 것을 볼 수 있다.

5. 결론

본 연구에서는 칩브레이커의 형상요소를 신경망의 입력값으로 하여 칩브레이커의 절삭성능을 평가하는 칩브레이커의 성능평가를 개발하여 다음과 같은 결론을 얻었다.

- (1) 칩브레이커의 깊이가 깊고, 폭이 좁을수록 정삭영역에서 우수한 브레이킹의 성능을 가졌으며, 깊이가 얇고, 폭이 넓을수록 황삭영역에서 우수한 결과를 나타내었다.
- (2) 개발된 신경망 칩브레이커 성능평가를 상용화되어 있는 다른 형상의 절삭공구에 적용하여 여러 가지 절삭조건을 변화시켜 칩브레이커의 성능을 평가한 결과, 우수한 성능을 얻었다.

본 연구에서 개발된 신경망 성능평가를 칩브레이커의 형상개발에도 적용한다면, 형상의 제작단계 이전에 칩브레이커의 개발과정에서 소요되는 금형제작, 성형, 소결, 연삭, 코팅 등에 이르는 여러 공정을 거친 후에 절삭 성능시험으로 평가하는 과정을 크게 줄일 수 있다. 따라서 제품의 개발기간을 단축시키며, 개발과정 중 소요되는 비용이 감소되어 기업의 경쟁력을 높일 수 있다.

향후, 신경망의 학습데이터에 절삭조건의 영향을 고려하고 칩브레이커의 형상을 다양화하여 여러 종류의 학습데이터를 구축한다면, 칩브레이커의 설계에도 응용할 수 있을 것으로 예상된다.

참고 문헌

- (1) Boothroyd, 1975, *Fundamentals of Metal Machining and Machine Tools*, McGraw-Hill, New York, pp.

- 187~189.
- (2) Kordor, S., Ber, A. and Lenz, E., 1979, "On the Mechanism of Chip Breaking," *Journal of Engineering for Industry, Trans. ASME*, Vol. 101, 1979, pp. 241~249.
 - (3) Lee, Y. M., Yang, S. H. and Chang, S. I., 2006, "Assessment of chip-breaking characteristics using new chip-breaking index," *Journal of Materials Processing Technology*, Vol. 173, Iss. 2, pp. 166~171.
 - (4) Das, N. S., Chawla, B. S. and Biswas, C. K., 2005, "An analysis of strain in chip breaking using slip-line field theory with adhesion friction at chip/tool interface," *Journal of Materials Processing Technology*, Vol. 170, Iss. 3, pp. 509~515.
 - (5) Maity, K. P. and Das, N. S., 1998, "A slip-line solution to metal machining using a cutting tool with a step-type chip-breaker," *Journal of Materials Processing Technology*, Vol. 79, Iss. 1-3, pp. 217~223.
 - (6) Mesquita, R. M. D., Soares, F. A. M. and Barata Marques, M. J. M., 1996, "An experimental study of the effect of cutting speed on chip breaking," *Journal of Materials Processing Technology*, Vol. 56, Iss. 1-4, pp. 313~320.
 - (7) Kharkevich, A. and Venuvinod, P. K., 1999, "Basic Geometric Analysis of 3-D Chip Forms in Metal Cutting : Part 1," *International Journal of Machine Tools and Manufacture*, Vol. 39, No.5, pp. 751~769.
 - (8) Kharkevich, A. and Venuvinod, P. K., 1999, "Basic Geometric Analysis of 3-D Chip Forms in Metal Cutting : Part 2," *International Journal of Machine Tools and Manufacture*, Vol. 39, No. 6, pp. 965~983.
 - (9) Kharkevich, A. and Venuvinod, P. K., Extension of Basic Geometric Analysis of 3-D Chip Forms in Metal Cutting to Chips with Obstacle-Induced Deformation, *International Journal of Machine Tools and Manufacture*, Vol. 42, No. 2, 2002, pp. 201~213.
 - (10) Shinozuka, J., Obikawa, T. and Shirakashi, T., 1996, "Chip breaking analysis from the viewpoint of the optimum cutting tool geometry design," *Journal of Materials Processing Technology*, Vol. 62, Iss. 4, pp. 345~351.
 - (11) Jawahir, I. S. and van Luttervelt, C. A., 1993, "Recent Developments in Control Research and Applications," *Annals of the CIRP*, Vol. 42, No. 2, pp. 659~694.
 - (12) Jawahir, I. S., Li, P. X., Ghosh, R. and Exner, E. L., 1995, "A New Parametric Approach for the Assessment of Comprehensive Tool-Wear in Coated Grooved Tools," *Annals of the CIRP*, Vol. 44, No. 1, pp. 49~54.
 - (13) Kim, D. H., Park, S. G. and Kim, K. W., 2000, "The Prediction of Chip Flow Angle on Chip Breaker Shape Parameters," *Journal of KSMTE*, Vol. 9, No. 2, pp. 96~101.
 - (14) Shaw, M. C., 1996, *Metal Cutting Principles*, Oxford Science Publication, pp. 61~88.
 - (15) Boothroyd, 1975, *Fundamentals of Metal Machining and Machine Tools*, McGraw-Hill, New York, pp. 115~117.
 - (16) Michael, C., 1993, *Neural Networks : A Tutorial*, Prentice Hall, pp. 57~72.