
MFSFET 소자의 전기적 및 리텐션 특성

정윤근* · 강성준* · 정양희**

Electrical and Retention Properties of MFSFET Device

Yeun Gun Chung* · Seong Jun Kang* · Yang Hee Joung**

본 연구는 전남대학교 (구 여수대학교) 2004년도 교내연구지원비에 의하여 연구되었음.

요 약

본 연구에서는 field-dependent polarization 모델과 square-law FET 모델을 이용하여 Metal-ferroelectric-semiconductor FET (MFSFET) 소자의 특성을 연구하였다. 게이트 전압에 따른 드레인 전류특성에서 강유전체 박막의 항전압이 0.5와 1 V 일 때, 각각 1와 2 V의 메모리 창 (memory window) 을 나타내었다. 드레인 전류-드레인 전압 곡선에서 두 부분의 문턱전압에 의해 나타난 포화 드레인 전류차이는 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 각각 1.5, 2.7, 4.0, 5.7 mA 로 명확한 차이를 나타내었다. PLZT(10/30/70), PLT(10), PZT(30/70) 박막의 이력곡선 시뮬레이션과 리텐션 특성의 fitting 결과를 바탕으로 시간경과 후의 드레인 전류를 분석한 결과, PLZT(10/30/70) 박막이 10년 후에도 약 18%의 포화 전류가 감소하는 가장 우수한 신뢰성을 나타내었다.

ABSTRACT

In this study, the characteristics of metal-ferroelectric-semiconductor FET (MFSFET) device is investigated using field-dependent polarization and square-law FET models. From drain current with the gate voltage variation, when coercive voltages of ferroelectric thin film are 0.5 and 1V, the memory windows are 1 and 2V, respectively. When the gate voltages are 0, 0.1, 0.2 and 0.3V, the difference of saturation drain currents of the MFSFET device at two threshold voltages in ID-VD curve are 1.5, 2.7, 4.0, and 5.7mA, respectively. As a result of the analysis for drain currents after time lapse, which is based on the simulation for hysteresis loop and the fitting of retention properties of ferroelectric thin films such as PLZT(10/30/70), PLT(10) and PZT(30/70) thin film shows excellent reliability that the decrease of saturation current is about 18% after 10 years.

키워드

MFSFET, Ferroelectric thin film, Memory window, Drain current, Retention

I. 서 론

반도체 및 정보통신 산업의 급격한 발전으로 고기능

성을 갖는 재료 개발의 필요성이 절실히 요구되고 있다. 이러한 새로운 고기능 재료 중에서, 강유전체는 유전성, 압전성, 초전성 등의 우수한 전기적 특성과 독특한 광학

* 전남대학교 정보소재공학과
** 전남대학교 전기 및 반도체 공학과

적 특성을 가지고 있어, 메모리소자, 적외선 검출소자, 전기광학소자 등에 응용될 수 있다.[1-4] 특히, 강유전체 박막을 이용하여 외부전기장 없이 정보를 기억할 수 있는 비휘발성 메모리 소자인 MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자는 기존의 비휘발성 메모리인 EEPROM 이나 flash EEPROM 등에 비해 고집적도, 고속 구동, 고내구성, 내방사선성, 저소비전력화를 실현시킬 수 있어 이상적인 메모리로서 각광받고 있다. 또, MFSFET 소자는 셀 크기를 1T/1C 메모리 셀 보다 작게 할 수 있고, 정보를 읽어내는 순간 써놓았던 정보가 파괴되지 않는 NDRO (Non Destructive Read Out) 방식으로 동작한다는 장점을 가지고 있어 그 중요성이 더욱 증가하고 있다.[5-6] NDRO 형인 MFSFET 소자는 캐패시터에 저장된 전하가 아니라 분극의 방향으로 정보를 저장할 수 있다는 특성을 이용한 소자로서 비휘발성의 고속 스위칭이 가능한 기억소자, 고밀도 집적회로 등에 응용 가능성이 커서 상당한 주목을 받고 있다.

MFSFET 소자를 실용화 시키기 위해서는 드레인 전류 특성을 정량적으로 분석하고 모델링하는 것이 필수적인 일이다. 그러나, 강유전체는 독특한 분극특성을 가지고 있어 수치적으로 표현하기가 어렵기 때문에, 강유전체와 FET 소자 사이의 관계를 정량적으로 모델링하는 것에는 많은 문제점이 있다. 따라서, MFSFET 소자의 모델링에 대한 연구는 국내외 적으로 극히 미흡한 실정 이어서 MFSFET 소자의 개발이 늦추어 지고 있다. 또한, MFSFET 소자에서 장기적인 데이터 보존을 위한 메모리 리텐션 특성의 연구도 필수적이지만, 이에 대한 체계적인 연구보고 역시 거의 발표되고 있지 않다.

본 연구에서는 강유전체 박막의 field-dependent polarization^[7-8] 모델과 MOSFET 소자의 square-law FET^[9-11] 모델을 이용하여 효과적으로 MFSFET 소자의 드레인 전류를 시뮬레이션 하였다. MFSFET 소자의 분석은 드레인 전류 특성에 초점을 맞추어서, 메모리 소자로 활용이 가능한지를 알아보았다. 또, PLT(10), PLZT(10/30/70) 및 PZT(30/70) 등의 다양한 강유전체 박막을 제작해서, 본 모델을 적용하여 시간 경과에 따른 MFSFET 소자의 리텐션 특성을 조사하였다.

II. 실험방법

본 연구에서 MFSFET 소자의 신뢰성을 조사하기 위해 사용한 박막은 PLZT(10/30/70), PLT(10), PZT(30/70) 이다.

출발물질로는 $Pb(CH_3COO)_2 \cdot 3H_2O$ (Aldrich), $La(OOCCH_3)_3 \cdot 1.5H_2O$ (Strem), $Zr(OC_3H_7)_4$ (70 % in propopropanol) (Fluka), $Ti(O-iC_3H_7)_4$ (Alpha) 를 사용하였다. 용매와 안정화제로 acetic acid (Acros) 를 사용하였고, 점도 조절을 위해 n-propanol (Acros) 을 첨가하였다. 출발물질로 사용되는 알콕사이드는 공기중의 수분에 매우 민감하므로 이를 방지하기 위해 질소 분위기의 글로브 박스 (glove box) 내에서 조성에 해당하는 양을 칭량한 후, 청정 작업대 (clean bench) 내에서 용액을 제작하였다. 본 연구에서는 Pb, La, Zr, Ti 의 용액을 각각 제작하였으며, Pb 용액의 경우, Pb 부족 때문에 파이로클로르 (pyrochlore) 상이 생기는 것을 막기 위해 12.5 mol% 의 Pb 를 과량으로 첨가하였다. 개별적으로 제작된 각 용액을 조성에 맞게 혼합하여 0.4 M 의 코팅 용액 (coating solution) 을 제작하였다. 제작된 코팅 용액은 회전 도포시 0.2 μm filter (Gelman Science) 를 이용하여 걸러서 사용하였다. 박막은 청정 작업대 내에서 회전도포기 (ABLE, AM-4096) 를 사용하여 500 rpm 에서 5 초, 3000 rpm 에서 40 초간 회전시켜 Pt/TiO₂/SiO₂/Si 기판위에 코팅 후, 110 °C 와 400 °C 에서 각각 15 분, 5 분간 건조시키고 다시 코팅하는 방법을 사용하였다. 그 후, 650 °C 에서 30 분간 열처리하여 박막 제작을 완료하였다. 박막의 두께와 상부전극의 면적은 각각 5000 Å 과 $3.14 \times 10^{-4} cm^2$ 이었다. 이력곡선과 리텐션 특성은 RT66A standardized ferroelectric test system (Radiant technologies) 을 이용하여 측정하였다.

III. 모델링

강유전체 박막의 이력곡선은 식 (1) 의 field-dependent polarization 모델을 사용하여 효과적으로 시뮬레이션 할 수 있다.

$$P_d = P_s(1 + \alpha V) \cdot \tanh \left[\frac{(V \pm V_c)}{2V_o} \right] \quad (1)$$

$$V_O = \frac{V_C}{\ln \left(\frac{1 + \frac{P_R}{P_S}}{1 - \frac{P_R}{P_S}} \right)} \quad (2)$$

여기서, P_d 는 강유전체 박막의 분극 값, P_s 는 강유전체 박막의 자발분극, α 는 강유전체 분극의 전계 효과, V 는 강유전체의 인가 전압, V_c 는 항전압, P_r 은 강유전체의 잔류분극이다.

MFSFET 소자의 특성을 조사하기 위해 square-law FET 모델로부터 드레인 전류에 관한 식을 유도하면 다음과 같다.

$$I_D = \frac{Z}{L} \mu_n \left(\int_0^{V_{DS}} R V_F dV \right) + \frac{\epsilon_0}{d_f} \left[(V_G - 2\Phi_F - \Phi_{ms}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] - \frac{2}{3} \sqrt{2q\epsilon_0 \epsilon_s N_A} \left[(V_{DS} + 2\Phi_F)^{3/2} - (2\Phi_F)^{3/2} \right] \quad (3)$$

여기서, Z 는 채널의 너비, L 은 채널의 길이, μ_n 은 전자의 이동도, V_{DS} 는 소스와 드레인 사이의 전위, $P(V_F)$ 는 강유전체 분극, d_f 는 강유전체층의 두께, Φ_{ms} 는 강유전체와 반도체 사이의 일함수, ϵ_{Si} 는 실리콘의 유전상수, N_A 는 p-형 실리콘의 억셉터 농도, Φ_F 는 p-형 실리콘의 페르미 준위이다.

포화 드레인 전압 V_{Dsat} 은 다음식과 같이 표현할 수 있다.

$$V_{Dsat} = V_G - V_T \quad (4)$$

여기서, 문턱전압 V_T 는 $V_S = 2\Phi_F$ 일 때의 게이트 전압으로 다음과 같이 구할 수 있다.

$$V_T = \Phi_{ms} + 2\Phi_F + V_F(V_S = 2\Phi_F) \quad (5)$$

IV. 결과 및 고찰

그림 1은 V_{DS} 가 각각 0.1, 0.2, 0.3 V 일 때, 식 (3) 을 이

용해 나타낸 문턱전압 이상에서 게이트 전압에 따른 드레인 전류 특성을 나타낸 것이다.

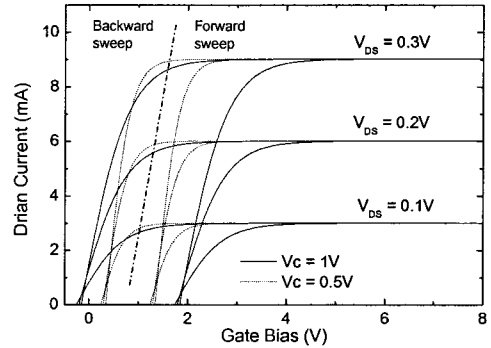


그림 1. 게이트 전압에 따른 MFSFET 소자의 드레인 전류

Fig. 1. Drain current of MFSFET device as a function of gate bias.

여기서, Z/L 은 2, μ_n 은 $1500.0 \text{ cm}^2/(\text{V}\cdot\text{s})$, N_A 는 $1.0 \times 10^{16} \text{ cm}^{-3}$, ϵ_{Si} 는 11.8을 사용하였다.

그림 1에서 보듯이, 드레인 전류는 드레인 전압을 크게 설정할수록 커지며, 게이트 전압의 증가에 따라 증가 영역과 포화영역으로 나뉜다. 문턱전압은 강유전체의 항전압이 1 V 일 때, forward sweep 와 backward sweep 분극방향에서 각각 1.8 V 와 -0.2 V 이고, 항전압이 0.5 V 인 경우는 각각 0.2 V 와 1.2 V 이다. 메모리 창 (memory window)은 항전압의 두 배한 값과 동일해 문턱전압 이상의 영역에서도 강유전체 박막의 특성에 따라 드레인 전류가 제어됨을 알 수 있다. 그렇지만, 강유전체의 항전압이 0.5 V 인 경우 분극 방향에 따라 문턱전압이 0.2 V 와 1.2 V 를 나타내어, 게이트 전압이 0 V 일 때 문턱전압 이상의 영역에서 드레인 전류는 분극방향에 상관없이 흐르지 않았다. MFSFET 의 메모리 정보를 읽을 때 게이트 전압을 0 V 로 설정할 경우, 게이트 전압의 인가에 따른 강유전체의 분극손실, 즉 정보 파괴의 가능성을 차단할 있다. 그러므로, 분극방향에 따라 문턱전압이 각각 “-” 와 “+” 값을 동시에 나타낼 수 있는, 강유전체의 항전압 1 V 인 경우에 보다 효율적인 메모리 정보관리가 가능함을 알 수 있다.

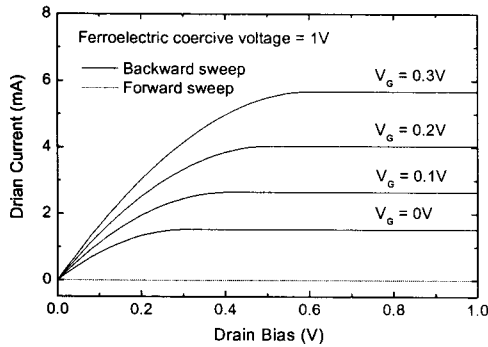


그림 2. 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 드레인 전압에 따른 MFSFET 소자의 드레인 전류
Fig. 2. Drain current of MFSFET device as a function of drain bias when gate voltage is 0, 0.1, 0.2, and 0.3 V.

그림 2는 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 식 (3)을 이용해 구한 드레인 전압에 따른 드레인 전류 특성을 나타낸 것이다. 그림 2에서 보듯이, 드레인 전류는 게이트 전압이 문턱전압 보다 큰 backward sweep 분극방향에서 발생하고 forward sweep 분극방향에서는 드레인 전류가 흐르지 않았다. 그림 2로부터, backward sweep의 포화 드레인 전압을 구하면 게이트 전압 0, 0.1, 0.2, 0.3 V에서 각각 0.34, 0.44, 0.54, 0.64 V이다. 분극방향과 문턱전압에 따른 포화 드레인 전류 차이는 게이트 전압 0, 0.1, 0.2, 0.3 V에서 각각 1.5, 2.7, 4.0, 5.7 mA이다. 이로부터 문턱전압 이상의 영역에서 드레인 전류가 분극방향에 따라 mA 범위의 확실한 차이를 나타내어 MFSFET 소자가 차세대 메모리로서 확실한 정보 구별이 가능함을 알 수 있었다.

강유전체의 분극방향에 따라 MFSFET 소자의 문턱 전압이 각각 1.8 V와 -0.2 V이므로, 게이트 전압을 각각 1, 3, 5 V 인가하여 문턱전압 이상에서 MFSFET 소자의 드레인 전류를 분석하였다. 그림 3에서 보듯이, forward sweep의 경우 문턱전압이 1.8 V이므로 게이트 전압 1 V에서 드레인 전류가 관찰되지 않은 반면 게이트 전압 3, 5 V 일 때는 forward sweep 분극상태에서도 드레인 전류가 관찰되었다. 강유전체 박막의 분극방향에 따른 포화 드레인 전류 차이는 게이트 전압 1, 3, 5 V에서 각각 22, 56, 54 mA로 분명한 차이를 나타내었다. 그러므로, 다양한 게이트 전압에서도 강유전체 박막의 분극에 의해 전류 제어가 가능하다는 사실을 추론할 수 있었다.

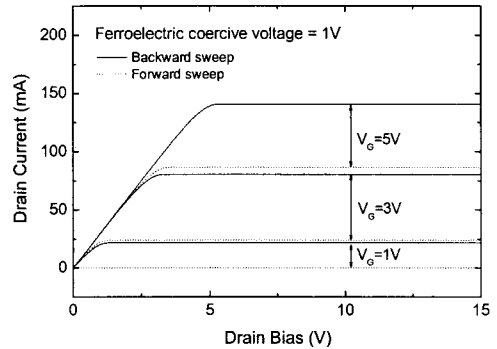


그림 3. 게이트 전압이 1, 3, 5 V 일 때, 드레인 전압에 따른 MFSFET 소자의 드레인 전류
Fig. 3. Drain current of MFSFET device as a function of drain bias when gate voltage is 1, 3, and 5 V.

그림 4는 강유전체 박막의 분극에 따른 MFSFET 소자의 특성을 분석하기 위해, RT66A를 사용하여 측정된 강유전체 박막의 이력곡선과 field-dependent polarization 모델에 의해 얻은 이력곡선을 함께 나타낸 것이다. 그림 4에서 MFSFET 소자의 동작에 가장 중요하게 작용하는 잔류분극 (Pr) 과 항전압 (Vc) 을 살펴볼 때, 그림 4(c)의 PZT(30/70) 박막이 MFSFET 소자 적용에 가장 유망한 물질임을 알 수 있다. 실제로 식 (3)에서 강유전체 분극 값이 드레인 전류를 조절하는 주요 인자임을 알 수 있고, 항전압의 경우는 강유전체의 분극 반전에 요구되는 지표 전압으로서, 항전압의 크기에 따라 메모리 창이 결정되므로, 항전압이 크고 안정적일수록 우수한 MFSFET 소자의 특성이 나타난다고 할 수 있다.

또, 그림 4에서 PLZT(10/30/70)와 PLT(10) 박막의 경우, 측정값이 field-dependent polarization 모델과 잘 일치하는 특성을 나타내어 순수한 쌍극자 (dipole)에 의해 강유전체 분극이 만들어졌음을 알 수 있다. 하지만 PZT(30/70)의 경우, 5 V 이상의 인가전압에서 분극의 포화현상이 아주 둔감하게 나타나고 시뮬레이션 값과의 차이도 심해 강유전체 분극이 순수한 dipole 외에도 각종 다양한 전하에 영향을 받아 형성되었다는 사실을 알 수 있다. 그러므로, 그림 4의 이력곡선 특성에서 나타난 분극크기들이 시간 지연에 따라 얼마나 유지되는가 하는 리텐션 특성에 대한 연구가 필수적이다.

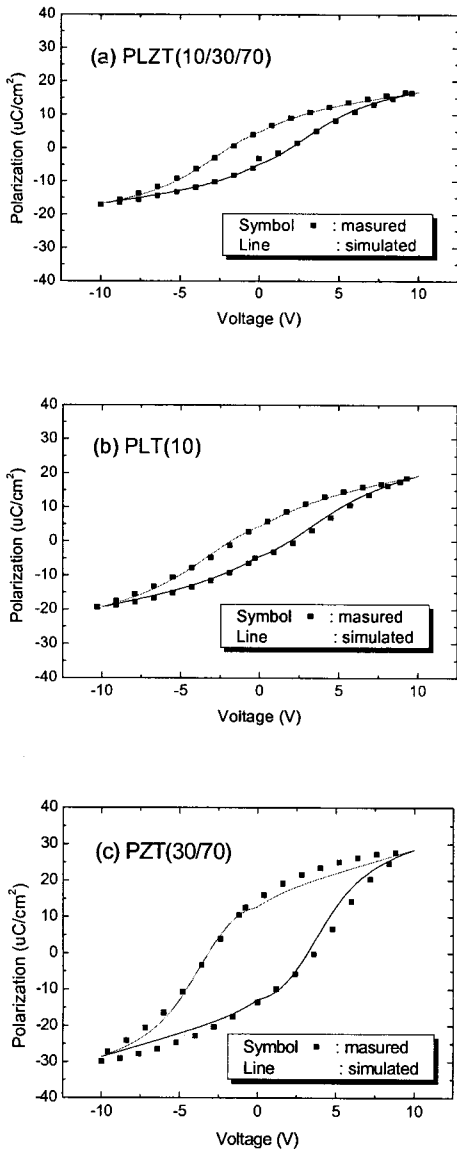


그림 4. RT66A 를 사용하여 측정된 강유전체 이력곡선과 시뮬레이션 곡선 : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70)
 Fig. 4. Hysteresis loops measured using RT66A and their simulated loops : (a) PLZT(10/30/70), (b) PLT(10) and (c) PZT(30/70).

그림 5 는 PLZT(10/30/70), PLT(10), PZT(30/70) 박막의 리텐션 특성을 나타낸 것이다. 그림 5 의 리텐션 특성

은 RT66A 을 이용하여, -5 V 의 'write' 사각펄스로 초기화하고 최종적으로 +5 V 와 -5 V 로 'read' 사각펄스를 인가하여 실험하였다. 이때 'write' 펄스폭과 'read' 펄스폭은 각각 8.6 μs 와 2 ms 이었으며, 'write' 펄스와 'read' 펄스 사이의 시간 지연을 리텐션 시간 (retention time) 으로 정하였다. 강유전체 박막의 리텐션 특성은 그 주된 기구 (mechanism) 가 아직 확실하게 밝혀지지 않았지만 현재 까지 보고되고 있는 분극 손실기구의 원인은 표면 공간 전하와 ferroelastic 에 따른 반전 분극 전계에 의한 것으로 알려져 있다.^[12]

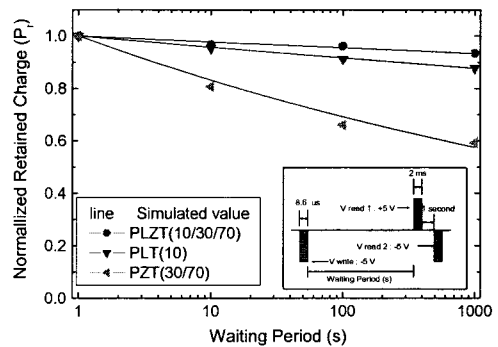


그림 5. 지연시간에 따른 강유전체 박막의 retention 특성과 fitting 곡선
 Fig. 5. Retention characteristics of ferroelectric thin films measured using RT66A and their fitting curves

그림 5 에서 PZT(30/70) 박막의 분극값은 10^3 초 후에 초기값 보다 37 % 감소한 반면, PLZT(10/30/70), PLT(10) 박막의 분극값은 10^3 초 후에 초기값 보다 각각 7, 12 % 감소하여 PZT(30/70) 박막의 리텐션 특성이 상대적으로 열악하게 나타났다. 이러한 시간에 따른 분극감소현상은 MFSFET 소자의 메모리 리텐션 특성에 영향을 주는 주된 요인으로 작용된다. 시간에 따른 강유전체 리텐션의 측정된 결과를 효율적으로 데이터화 하기 위해, 시간에 따른 지수함수 형태의 fitting 식을 아래와 같이 표현하였다.

$$P_r \propto t^{-\alpha} \tag{6}$$

여기서, α 는 시간에 따른 강유전체 분극의 감소를 나타내는 지수이다.

그림 5 에서 PLZT(10/30/70), PLT(10), PZT(30/70) 박막의 α 값은 각각 0.01, 0.02, 0.08 로 fitting 되어 실험값을 효율적으로 표현할 수 있었다.

본 연구에서는 이와 같은 fitting 결과로부터 얻은 시간에 따른 분극 값을 활용하여 MFSFET 소자에서 임의의 시간 경과 후, 드레인 전류를 분석하여 시간 경과에 따른 MFSFET 소자의 신뢰성을 조사하여 그림 6 에 나타내었다.

그림 6 은 강유전체 이력곡선 시뮬레이션과 리텐션 특성의 fitting 결과에서 얻은 시간 경과에 따른 분극 값으로부터, 시간 경과 후의 드레인 전류를 시뮬레이션 한 결과이다. 그림 4 로 부터 PLZT(10/30/70), PLT(10), PZT(30/70) 박막의 잔류분극은 각각 4.8, 4.5, 13 $\mu\text{C}/\text{cm}^2$ 이고, 항전압은 각각 2, 2, 3.2 V 였으며, 식 (3) 을 이용하여 시뮬레이션하면 그림 6 의 실선과 같은 드레인 전류를 구할 수 있다. 여기서, 게이트 전압 0 V 에서 forward sweep 분극 방향일 때는 모든 박막에서 문턱전압 이상의 영역에서 드레인 전류는 관찰되지 않은 반면, backward sweep 분극 방향인 경우, PLZT(10/30/70), PLT(10), PZT(30/70) 박막을 사용했을 때 포화 드레인 전류는 각각 7.8, 7.4, 47 mA 이었다. 이는 MFSFET 소자의 드레인 전류가 강유전체 박막의 분극과 항전압에 의해 주도된다는 것을 나타내는 것으로, 강유전체 박막의 분극과 항전압이 상대적으로 큰 PZT(30/70) 박막이 큰 드레인 전류를 나타냄을 알 수 있었다.

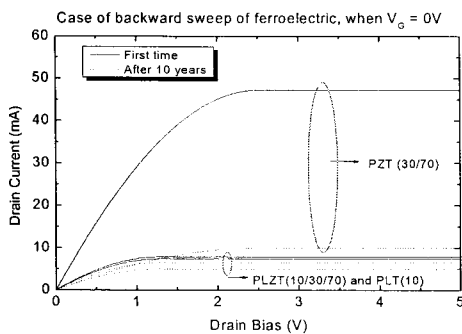


그림 6. 초기시간과 10 년 경과 후의 MFSFET 소자에서 드레인 전류

Fig. 6. Drain current of MFSFET as a function of drain bias in initial time and after 10 years.

다음으로, 식 (6) 을 사용한 fitting 결과로부터 10 년 후

의 드레인 전류를 유도하였는데 이는 그림 6 에서 점선으로 표시되었다. 위의 결과로부터 PZT(30/70) 박막의 경우 초기에 상대적으로 큰 드레인 전류를 가지지만, 10 년 후에는 80 % 이상의 포화 드레인 전류가 감소하여 메모리 응용을 위한 신뢰성에 큰 문제가 있음을 알 수 있었다. 그러나, PLZT(10/30/70) 와 PLT(10) 박막은 초기값에 비하여 10 년 후에 각각 약 18 % 와 32 % 의 포화 드레인 전류가 감소하여, PLZT(10/30/70) 박막을 MFSFET 소자에 적용할 경우, 우수한 신뢰성을 나타낼 것이라 예상할 수 있었다.

V. 결론

본 연구에서는 강유전체 박막의 field-dependent polarization 모델과 MOSFET 소자의 square-law FET 모델을 이용하여 MFSFET 소자의 드레인 전류 특성을 시뮬레이션 하였다.

첫 번째로 V_{DS} 가 각각 0.1, 0.2, 0.3 V 일 때, 문턱전압 이상에서 게이트 전압에 따른 드레인 전류를 조사하였다. 드레인 전류는 드레인 전압을 크게 설정할수록 커지며, 메모리 창은 항전압의 두 배한 값과 동일해 문턱전압 이상의 영역에서도 강유전체의 특성에 따라 드레인 전류가 제어됨을 알 수 있었다.

두 번째로 게이트 전압이 0, 0.1, 0.2, 0.3 V 일 때, 드레인 전압에 따른 드레인 전류를 조사하였다. 드레인 전류는 게이트 전압이 문턱전압보다 큰 backward sweep 분극 방향에서 발생한 반면 forward sweep 분극방향에서는 드레인 전류가 발생하지 않았다. 이로부터 문턱전압 이상의 영역에서 드레인 전류가 분극방향에 따라 확실한 차이를 나타내어 데이터의 구별이 가능함을 알 수 있었다.

세 번째로 게이트 전압이 1, 2, 3 V 일 경우, 드레인 전압에 따른 드레인 전류를 조사하였다. 드레인 전류는 강유전체 박막의 분극방향에 따라 분명한 차이를 보여 주어, 다양한 게이트 전압에서도 강유전체 박막의 분극에 의해 드레인 전류 제어가 가능하다는 사실을 알 수 있었다.

마지막으로 강유전체 박막의 이력곡선 시뮬레이션과 리텐션 특성의 fitting 결과에서 얻은 시간 경과에 따른 분극 값으로부터, 시간경과 후의 드레인 전류를 분석하였다. 분극 값과 항전압이 상대적으로 큰 PZT(30/70) 박막이 초기에는 큰 드레인 전류를 나타내었으나, 10 년

후에는 80 % 이상의 포화 드레인 전류가 감소하여 메모리 응용을 위한 신뢰성에 큰 문제가 있음을 알 수 있었다. 그러나, PLZT(10/30/70) 와 PLT(10) 박막은 초기값에 비하여 10년 후에 각각 약 18 % 와 32 % 의 포화 드레인 전류가 감소하여, PLZT(10/30/70) 박막을 MFSFET 소자에 적용할 경우, 우수한 신뢰성을 나타낼 것이라 예상할 수 있었다.

참고문헌

[1] Tingkai Li, Sheng Teng Hsu, Bruce Ulrich, Dave Evans, "Integration Processes and Properties of Semiconductive Oxide Memory Transistor", *Integrated Ferroelectrics*, **81**, pp. 27~36 (2006).

[2] Tian-Qi Shao, Tian-Ling Ren, Li-Tian Liu, Jun Zhu and Zhi-Jian Li, "Fabrication and Properties of Silicon-Based PLZT Thin Films for MFSFET Applications", *Integrated Ferroelectrics*, **61**, pp. 189~195 (2004).

[3] Yung Sup Yoon, "Dynamic Pyroelectric Effects in PZT Ceramics and LiTaO₃ Single Crystals", *J. Kor. Phys. Soc.*, **47**(2), pp. 321~327 (2005).

[4] F. Wang, V. Fuflyigin, and A. Osinsky, "Electro-optic Properties of Oxide Ferroelectrics Grown on GaN/Sapphire", *J. Appl. Phys.*, **88**(3), pp. 1701~1703 (2000).

[5] D. Chu, "A Novel Ferroelectric FET Based Memory Cell of Minimum Size and Non- Destructive Reading", *Integrated Ferroelectrics*, **61**, pp. 71~76 (2006).

[6] H. Ishiwara " Current Status of FET-Type Ferroelectric Memories", *Proc. 22nd International Conf. on Microelectronics*, **2**, pp. 423~427 (2000).

[7] J. A. Gonzalo, Effective Field Approach to Phase Transitions and Some Applications to Ferroelectrics: World Scientific Lecture Notes in Physics, vol. 25, World Scientific, New Jersey (1991).

[8] F. K. Chai, J. R. Brews, R. D. Schrimpf and D. P. Birnie III, "Relating Local Electric Field in a Ferroelectric Capacitor to Externally Measureable Voltages", *Proceedings of the 9th Int. Symp. on Applications of Ferroelectrics*, pp. 83~86 (1994).

[9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed., John Wiley & Sons, New York, Chapter 8 (1981).

[10] R. R. Pierret, Field Effect Devices, 2nd ed., Addison-Wesley Publishing Company, Inc., USA, Chapter 2-3 (1990).

[11] D. K. Schroder, Advanced MOS Devices, Addison-Wesley Publishing Company, Inc., USA, Chapter 1 (1987).

[12] J. J. Lee and S. B. Desu, "Retention and Imprint Properties of Ferroelectric Thin Films", *Phys. State. Sol.*, **151**, pp. 171~182 (1995).

저자소개

정 윤 근(Yeun-Gun Chung)



1983년 2월 중앙대 물리학과 졸업 (이학사)
 1985년 2월 중앙대 물리학과 졸업 (이학석사)

1988년 8월 중앙대 물리학과 졸업 (이학박사)
 현재 전남대학교 정보소재공학과 교수
 ※관심분야: 반도체 특성 분석 및 simulation

강 성 준(Seong-Jun Kang)



1989년 2월 인하대 응용물리학과 졸업 (공학사)
 1994년 8월 인하대 전자재료공학과 졸업 (공학석사)

1999년 2월 인하대 전자재료공학과 졸업(공학박사)
 현재 전남대학교 정보소재공학과 부교수
 ※관심분야: 반도체 공정 및 재료, 강유전체 박막

정 양 희(Ynag-Hee Joung)



1983년 2월 단국대 응용물리학과 졸업 (공학사)
 1985년 8월 인하대 응용물리학과 졸업 (공학석사)

1993년 8월 인하대 전자재료공학과 졸업(공학박사)
 1988-1995년 LG반도체 선임연구원
 1995-현재 전남대학교 전기공학과 부교수
 ※관심분야: VLSI 공정 및 반도체물성