
게이트전압에 따른 나노구조 이중게이트 MOSFET의 터널링전류 변화

정 학 기*

Gate Voltage Dependent Tunneling Current for Nano Structure Double Gate MOSFET

Hak Kee Jung*

요 약

본 연구에서는 단채널효과를 감소시키기 위하여 개발되고 있는 이중게이트 MOSFET의 게이트인가 전압에 따른 터널링전류의 변화를 관찰하고자한다. 소자가 나노단위까지 스케일링되면서 터널링전류는 매우 중요한 전류요소가 되었으며 특히 차단전류를 구성하고 있는 열방사전류와 비교하면 소자의 크기가 미세해질수록 급격히 증가하는 특성을 보이고 있다. 이를 감소시키기 위한 연구가 활발히 진행되고 있으며 본 연구에서는 이에 부응하기 위하여 게이트 인가전압에 따른 터널링전류의 변화를 고찰할 것이다. 게이트전압에 대한 터널링전류 변화를 관찰하기 위하여 전위분포함수를 유도하였으며 전위분포함수와 터널링확률의 관계로부터 차단전류변화를 유도하였다. 이와같이 유도한 전류는 열방사전류와 비교되었으며 터널링전류 감소를 위한 유효게이트전압에 대한 관계를 유도하였다.

ABSTRACT

In this paper, the deviation of tunneling current for gate voltage has been investigated in double gate MOSFET developed to decrease the short channel effects. In device scaled to nano units, the tunneling current is very important current factor and rapidly increases, compared with thermionic emission current according to device size scaled down. We consider the change of tunneling current according to gate voltage in this study. The potential distribution is derived to observe the change of tunneling current according to gate voltage, and the deviation of off-current is derived from the relation of potential distribution and tunneling probability. The derived current is compared with the thermionic emission current, and the relation of effective gate voltage to decrease tunneling current is obtained.

키워드

이중게이트 MOSFET, 터널링전류, 편구조, 문턱전압이하 전류, 포텐셜에너지분포

I. 서 론

세계 반도체산업협회에서는 향후 10년간 반도체 기술 발전에 대한 로드맵을 제시하였다.[1] 이 보고서에 따르면 소자의 미세화는 과거와 같이 매우 진보된 기술에 의하여 매 3년주기로 0.7배로 감소한다고 예견하였으며 2009년 70nm CMOS기술이 보편화될 것으로 기술하였

다. 그러나 70nm이하 소자의 한계를 극복하기 위하여 기술개발 뿐만이 아니라 기술투자를 위한 경제적 여건과 극복해야만 하는 물리적 개념등이 산적해 있다. 그중 소자물리학적 관점에서 가장 중요한 문제는 1.5nm이하의 게이트산화막 제작에 대한 한계를 어떻게 극복하는가이다. 즉, 이와같은 기술극복을 위하여 게이트산화막 대 게이트채널길이의 비를 줄여야만 한다. 이때 예상되는

* 군산대학교 전자정보공학부

문제는 70nm이하에서의 단채널효과이다. 이와 같은 문제점을 극복하기 위하여 개발되고 있는 소자가 SOI DG(Double Gate)MOSFET이다. DG MOSFET는 이중게이트로 채널을 감싸고 있어 드레인유기장벽감소 효과를 강하게 감소시킬 수 있으며 채널길이에 따른 문턱효과와의 민감도를 감소시킬 수 있다. 기존의 문턱칼로 시뮬레이션을 통하여 이미 5nm의 채널두께와 3nm의 게이트산화막 두께를 지닌 소자에서 채널길이가 30nm까지 무시할 수 있는 단채널효과를 보인다는 것을 입증하였다.[2] 이러한 관점에서 DG MOSFET의 연구개발은 매우 중요하며 특히 물리적인 개념의 정립은 매우 시급하다고 할 수 있다.

그러나 최근 삼성전자에서 40nm 공정을 이용한 낸드 플래시메모리 및 50nm MOSFET를 이용한 1G DRAM 등의 시제품을 발표함으로써 나노구조를 갖는 소자에 대한 관심이 높아지고 있다. 이는 그동안 문제가 되었던 단채널효과에 대한 해결책을 제시함으로써 향후 20nm이하 특히 10nm이하의 극미세소자 개발의 발판을 마련하였다고 사료된다. 10nm이하의 극미세소자 개발은 모든 반도체제작회사의 염원으로써 어느 회사가 이와같은 소자를 개발하느냐가 향후 반도체기술 및 시장을 선도해 나갈 경쟁에서 주도권을 차지하는 핵심요소가 될 것이다. 그러므로 삼성전자에서 이와같은 소자를 개발하였다는 발표는 매우 고무적이며 향후 단채널효과 해결의 실마리를 제공하였다고 생각된다.

문제가 되는 단채널효과로는 서브문턱스윙의 증가, 문턱전압의 변화 및 드레인유기장벽의 감소등 여러 가지가 있으며 이들 중 서브문턱스윙의 증가는 차단전류의 급격한 증가에 기인하는 것으로 판단되고 있다. 또한 서브문턱조건하에서의 차단전류의 급격한 증가는 서브문턱조건하에서 발생하는 열방사전류(thermionic current) 및 터널링전류(tunneling current) 중 터널링전류가 게이트전압 증가에 대하여 급격히 상승하고 있기 때문이다.[3] 본 연구에서는 이와같은 현상을 분석함으로써 이중게이트 MOSFET의 제작 및 실용화에 기여하고자 한다.

II. DG MOSFET의 구조

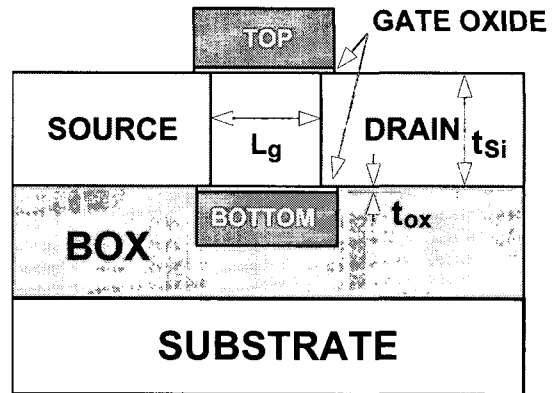


그림 1. DG MOSFET의 구조
Fig. 1. Structure of DG MOSFET

DG MOSFET의 구조는 수평형, 수직형, 핀(Fin)형 [4-5]등 3가지로 구분된다. 수평형은 단채널효과를 감소시킬 수 있으나 집적도에서 이익이 없다는 단점이 있다. 수직형은 집적도 문제를 해결하였으나 공정이 난해하다는 문제가 있다. 그러므로 최근 핀구조에 대한 연구가 활발히 진행되고 있다. 그러나 형태에 관계없이 기본 구조는 그림 1과 같다. 즉, 소스와 드레인사이의 채널을 두 개의 게이트산화막이 둘러싸고 있는 형태이다.

채널의 폭은 나노스케일로 초박막구조를 하고 있으며 채널길어도 100nm이하로 제작하여 고속/고주파동작용으로 제작하고 있다. 본 연구에서는 그림 1과 같이 대부분의 전자전송이 발생하는 채널영역에 대한 전류모델을 제시하고자 한다. 채널두께 t_{si} 와 게이트산화막두께 t_{ox} 그리고 채널길이 L_g 등을 변화시키면서 포텐셜 에너지분포 및 터널링전류를 분석할 것이다.

III. 문턱전압이하 전류모델

먼저 포텐셜분포 Ψ 를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \Psi(x, y) = qN_A / \epsilon_{Si} \quad (1)$$

여기서 N_A 는 채널내 도핑농도이며 ϵ_{Si} 는 실리콘의 유전율이다. 이때 열방사전류는

$$I_{th} = qn_m(d_{eff})v_{th}S/6$$

$$d_{eff} = \lambda_1 \cos^{-1} \left[\frac{\int_0^{t_{si}/2} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_{si}/2} n_m dy} \right] \quad (2)$$

으로 표현할 수 있다. 이때 S 는 단위시간당 전자가 드레인 종단에 도착하여 콘택으로 빠져나갈 수 있는 면적으로서 채널두께와 채널폭의 곱이며 $n_m = (n_i^2/N_A)e^{q\psi_{min}(y)/kT}$ 이다. 자유도에 의하여 전자의 1/6이 드레인에 도착하므로 1/6을 곱하였다. d_{eff} 는 유효채널로써 실제 전류가 흐르는 통로를 표현하며 채널의 중심으로부터의 거리로 나타낸다.

터널링전류는 WKB(Wentzel-Kramers-Brillouin) 근사를 이용하여 구하였다.[3]이때 터널링전류는

$$I_{tunn} = (qN_D S/6)(2T_i v_{th_i}/3 + T_i v_{th_i}/3) \quad (3)$$

와 같이 표현할 수 있으며 이때 종방향(transverse)으로 이동하는 전자는 2/3, 횡방향(longitude)으로 이동하는 전자는 1/3이다. v_{th_i} 와 v_{th_l} 은 각각 종방향과 횡방향의 열적 속도를 나타내고 있다.

이때 $T_{t,l}$ 은 다음과 같이 표현된다.

$$T_{t,l} = \exp \left[-2 \int_{x_1}^{x_2} \alpha_{t,l}(x) dx \right]$$

$$\alpha_{t,l}(x) = \sqrt{\frac{2m_{t,l} [q\psi(x, d_{eff}) - E_{fm}]}{\hbar}} \quad (4)$$

여기서 $\psi(x, d_{eff})$ 는 채널의 깊이방향을 x , 길이방향을 y 로 정의 하였을 때 $y = d_{eff}$ 에서 포텐셜분포로써 게이트전압에 따라 변화하게 되며 이는 터널링전류의 게이트전압의존성의 원인이 된다. 본 연구에서는 이와 같이 게이트전압의 변화에 따른 터널링전류의 변화를 고찰할 것이다.

IV. 결과 및 고찰

그림 2는 게이트길이 10nm, 게이트두께 3nm 일 때 계산한 포텐셜에너지분포이다. 그림에서 알 수 있듯이 소스에서 드레인까지는 포텐셜에너지 장벽이 존재하며 이 장벽 이상의 에너지를 가진 전자는 열방사전류에 기여할 것이다. 게이트 길이가 길다면 단지 열방사 메커니즘에 의한 전류만이 존재하겠지만 게이트길이가 20nm 이하로 작아진다면 포텐셜에너지 장벽의 높이에 관계없이 장벽을 뚫고 지나가는 전자 즉, 터널링되는 전자가 급격히 증가하여 터널링전류가 증가하게 된다. 이는 게이트길이가 작아지면 터널링될 확률이 증가하기 때문이다. 이러한 포텐셜에너지분포함수는 게이트전압에 따라 변화하므로 식(4)에서 알 수 있듯이 터널링 확률이 변화하여 터널링전류에 영향을 미치게 된다.[6]

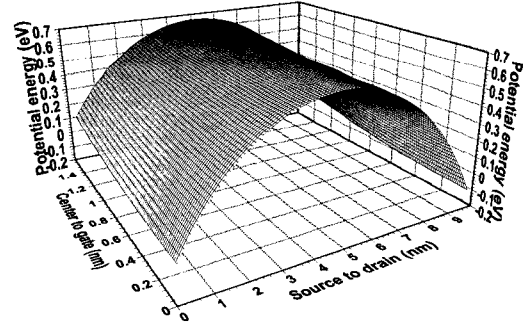


그림 2. 포텐셜에너지 분포함수
Fig. 2. Potential energy distribution

그림 3에 $t_{Si} = 3nm$, $L_g = 5nm$ 일 때, 채널내 각 위치에 대한 터널링 전류의 분포를 게이트 산화막 두께를 파라미터로 도시하였다. $t_{Si}/2$ 값이 0은 채널의 중심을 나타내며 증가할수록 게이트금속 단자에 접근하는 것을 나타낸다. 그림에서 알 수 있듯이 게이트금속단자 방향으로 증가할수록 터널링전류는 증가하며 게이트산화막의 두께가 증가할수록 터널링전류가 증가하는 것을 알 수 있다. 즉, 게이트산화막의 두께에 따라 터널링전류가 매우 큰 영향을 받는다는 것을 알 수 있다.

게이트산화막 두께가 다르면 유효채널 d_{eff} 도 변화하는데 이는 이차원 포텐셜에너지분포를 구하기 위하여 사용되는 파라미터인 캐패시턴스비 $r = \epsilon_{ox}t_{Si}/\epsilon_{Si}t_{ox}$ 가

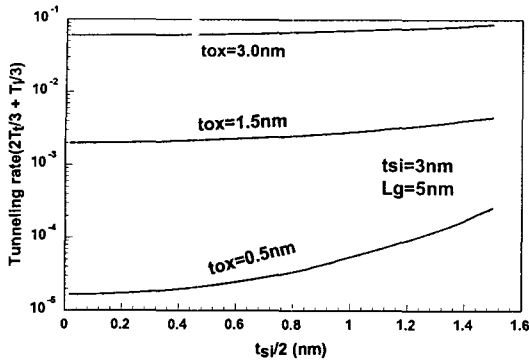


그림 3. 채널내 각 위치에 대한 터널링 전류의 분포
Fig. 3. Distribution of tunneling current for electron position in channel

다르기 때문이다.[7] r 이 변화하면 실제로 이차원 포텐셜에너지분포가 변화하며 게이트산화막 두께가 변하면 r 이 변하기 때문에 일정한 채널두께 및 게이트길이를 가진 이중게이트 MOSFET의 경우라도 그림 3과 같이 터널링 확률이 변하며 이는 서브문턱스윙을 변화시키는 원인이 된다.[7] 실제로 이는 게이트산화막 두께가 증가하면 d_{eff} 가 감소하며 이로 인하여 식(4)에서 알 수 있듯이 터널링 확률이 증가하기 때문에 그림 3의 결과가 유도되는 것이다.[8]

그림 4에 각기 다른 채널길이에 대한 드레인전류를 서브문턱영역에서 도시하였다. 채널길이는 터널링이 심하게 발생하는 10nm이하의 값을 사용하였으며 열방사전류와 터널링전류의 크기를 산화막두께 및 채널두께에 따라 비교하기 위하여 각기 다른 파라미터 값을 사용하여 계산하였다. 터널링전류가 포함된 경우 파라미터 값에 관계없이 항상 그래프의 기울기가 감소하는 것을 알 수 있다. 이는 서브문턱스윙을 증가시켜 전달특성을 저하시키는 원인이 된다. 즉 터널링전류에 의하여 전달특성이 저하되는 것을 알 수 있다. 채널두께와 게이트 길이가 감소할 때 터널링전류는 열방사전류와 비교하여 상대적으로 더 큰 영향을 미치고 있는 것을 알 수 있다. 그림 4(a)와 (c)를 비교해 볼 때, 게이트산화막 두께가 감소하면 유효채널 d_{eff} 가 변화하기 때문에 터널링전류가 감소하는 것을 알 수 있다. 그림 4(a)에서 터널링에 의한 차단전류는 게이트길이가 감소할 때 매우 증가하는 것을 알 수 있으며 특히 5nm정도로 감소하면 열방사전류보다 3승정도 큰 값을 보임을 알 수 있다. 그림 4(a)(b)(c)를 비교해 보면 10nm이하의 게이트길이를 가진

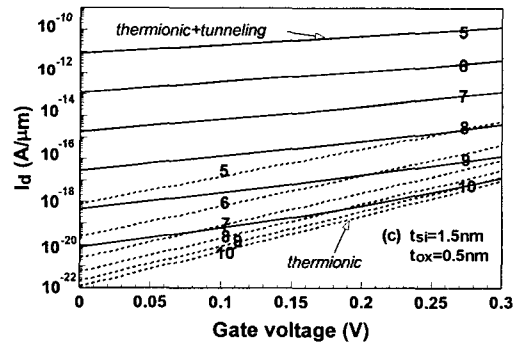
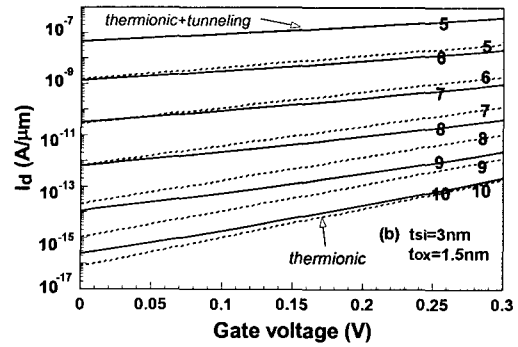
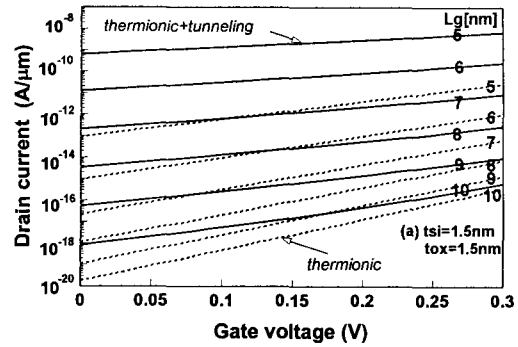


그림 4. 드레인전압이 0.1V에서 각기 다른 채널길이에 대한 드레인 전류
Fig. 4. Drain current at drain voltage 0.1V for different channel lengths.

이중게이트 MOSFET 소자에서는 게이트산화막 두께 및 채널두께의 변화에 드레인전류는 게이트길이가 1nm증가할 때, 약 2승정도 전류가 감소하는 것을 알 수 있다. 그러나 열방사전류만을 고려해 본 그래프(점선)에서는 게이트산화막 두께 및 채널두께의 변화에 드레인전류가 크게 변화함을 알 수 있다. 이는 전술한 바와같이 게이트산화막 두께 및 채널두께의 변화에 따라 캐패시턴스비가 변화하며 결국 포텐셜에너지분포가 변하기 때문이다.

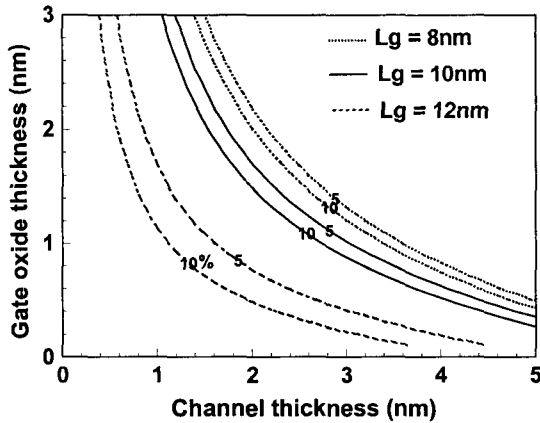


그림 5. 채널의 크기 변화에 따른 터널링전류의 점유율
Fig. 5. Occupation of tunneling current according to dimension of channel

그림 5는 채널의 크기 변화에 따른 차단전류에서 터널링전류의 점유율을 도시한 것이다. 즉, 게이트산화막 두께는 1.5nm, 게이트전압과 드레인 전압이 공히 0.1V인 서브문턱영역에서 차단전류에 대한 터널링전류의 비를 나타낸 것이다. 그림에서도 알 수 있듯이 크기가 작아질수록 터널링전류의 점유율이 급속히 증가함을 알 수 있으며 특히 게이트길이가 8nm이하에서는 게이트산화막 두께와 채널두께가 작아지면 매우 커다란 영향을 미치는 것을 알 수 있었다. 각 게이트길이의 그래프를 비교해 보면 게이트길이가 8nm일 때가 12nm일 때보다 5%에서 10%로 증가하는 간격이 매우 좁다는 것을 알 수 있다. 이는 게이트길이가 감소하면 매우 급격히 터널링전류의 점유율이 상승함을 나타낸다. 단채널효과를 증가시키는 터널링전류의 점유율을 감소시키기 위해선 게이트길이가 감소할 때 게이트산화막 및 채널두께가 임계값 이상을 유지하여야만 한다는 것을 알 수 있다. 일반적으로 게이트산화막 두께는 채널두께보다 작게 제작하므로 일정한 게이트산화막 두께에서는 채널두께를 크게 하여야만 터널링전류를 감소시킬 수 있다. 이와같이 단채널 효과를 감소시키기 위해선 채널두께, 게이트길이 및 게이트산화막 두께의 관계를 정확히 유지하여야만 한다.

그림 6은 게이트길이가 5nm일 때, 게이트 전압에 대한 터널링전류의 변화를 도시한 그래프이다. 게이트전압이 증가할수록 터널링전류는 증가하며 채널의 크기 즉, 채널두께가 증가하면 역시 터널링전류의 크기가 증가함을 알 수 있다. 이는 전체 전류가 전달되는 소스/드레

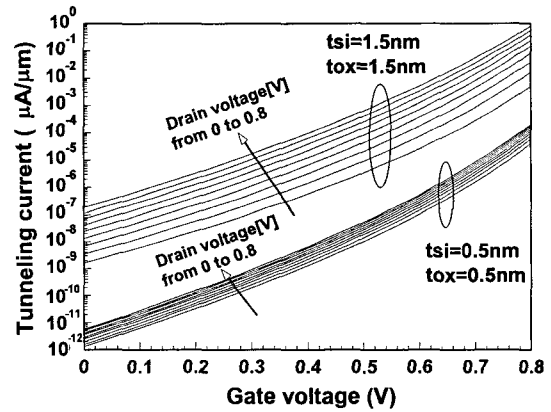


그림 6. 게이트전압에 따른 터널링전류의 변화
Fig. 6. Tunneling current for gate voltage

인면적이 증가하기 때문이다. 그러나 그림 5와 그림 6에서도 알 수 있듯이 채널두께가 증가할 때, 터널링전류의 크기가 증가할 지라도 차단전류에서 터널링전류가 차지하는 점유율은 감소함을 알 수 있다. 또한 드레인전압의 증가는 터널링전류의 증가를 초래한다. 이는 드레인전압과 함께 차단전류도 증가하며 게이트길이가 5nm에서 차단전류의 대부분을 터널링전류가 차지하므로 터널링전류도 함께 증가하는 것이다. 이와같이 터널링전류는 게이트전압에 따라 단조증가함수로 변화함을 알 수 있다. 또한 $t_{si} = t_{ox} = 1.5nm$ 일 때와 $t_{si} = t_{ox} = 0.5nm$ 일 때를 비교해 보면 알 수 있듯이 채널의 두께 및 게이트산화막의 두께가 감소하면 드레인 전압에 대한 영향이 줄어들 뿐만 아니라 터널링전류도 감소함을 알 수 있다. 그러나 전술한 바와같이 그림 4와 그림 5에서 알 수 있듯이 차단전류에서 터널링전류의 점유율은 상승할 것이다.

V. 결론

본 연구에서는 게이트전압의 변화에 따른 터널링전류의 변화를 고찰하였다. 게이트전압이 변화하면 채널내 포텐셜분포가 변화하며 이로 인하여 터널링전류가 변화하게 된다. 특히 채널의 크기 즉, 채널두께, 채널길이 및 게이트산화막의 두께 등 소자의 크기요소에 따라 게이트전압에 대한 터널링전류의 영향력이 변화함을 알 수 있었다. 터널링전류의 상대적인 점유율 즉, 차단전

류에서 열방사전투와 터널링전류의 비는 소자의 크기, 즉 채널의 크기가 감소할수록 급격히 증가하여 차단전류의 대부분을 차지하는 것으로 관찰되었다. 또한 게이트전압이 증가할수록 터널링전류는 증가하며 채널의 크기 즉, 채널두께가 증가하면 역시 터널링전류의 크기가 증가함을 알 수 있다. 다시 말하면 채널의 크기가 작아지면 터널링전류의 점유율은 상승하나 전류크기는 감소하는 상호 유기적인 관계가 있으므로 이중구조 MOSFET 설계 시 매우 유의하여야 할 것이다. 특히, 터널링전류는 게이트전압에 대한 드레인전류의 증가율 즉, 서브문턱스윙의 증가를 유발시켜 온-오프동작이 완벽해야만 하는 디지털소자응용에 문제가 발생하게 된다. 그러므로 게이트전압의 조정뿐만이 아니라 소자크기도 적당히 조정하여 터널링전류를 억제하여야만 할 것이다.

저자소개



정 학 기(Hak Kee Jung)

1983. 아주대학교 전자공학과(BS)
1985. 연세대학교 전자공학과(MS)
1990. 연세대학교 전자공학과(Ph.D)
1995. 일본 오사카대학 객원연구원

2004. 호주 그리피스대학 객원연구원
2006. 한국해양정보통신학회 편집이사
2007. 한국해양정보통신학회 상임이사
※ 관심분야: 반도체소자설계 및 시뮬레이션, 몬테카르로 시뮬레이션

참고문헌

- [1] The National Technology Roadmap for Semiconductors, Semiconductor Industry Assoc., San Jose, CA, 1995
- [2] D.J.Frank et. al, "Monte Carlo simulation of a 30nm dual-gate MOSFET", IEEE Electron Device Lett., vol.13, pp. 658-659, 1992.
- [3] 정학기, "나노구조 이중게이트 MOSFET에서 터널링이 단채널효과에 미치는 영향", 한국해양정보통신학회 논문집, 제10권 3호, pp479-485, 2006.
- [4] D.Hisamoto et al, "FinFET-A Self- Aligned Double-Gate MOSFET Scalable to 20nm", IEEE Trans. Elec. Devices, Vol.47, No.12, pp.2320-2325, 2000.
- [5] X.Huang et al, "Sub-50nm P-Channel FinFET", IEEE Trans. Elec. Devices, Vol.48 No.5, pp.880-885, 2001.
- [6] 정학기, "20nm이하 FinFET의 크기변화에 따른 서브문턱스윙분석", 한국해양정보통신학회 논문집, 제10권 10호, pp1815-1821, 2006.
- [7] Q.Chen, B.Aqrawal and J.D.Mein, "A Comprehensive analytical subthreshold swing(S) model for double-gate MOSFET", IEEE Trans. Electron Devices, vol. 49, no.6, pp. 1086-1090, 2002.
- [8] H.K.Jung and S.Dimitrijev, "Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET," IEEE Trans. Electron Devices, vol. 53, no.4, pp. 685-691, 2006.