동작온도에 무관한 Frequency-to-Voltage 변환 회로

최진호* · 유영중*

Temperature Stable Frequency-to-Voltage Converter

Jin-Ho Choi* · Young-Jung Yu*

요 약

본 논문에서는 CMOS 공정을 이용하여 동작온도에 무관한 FVC(Frequency-to-Voltage Converter) 회로를 제안한다. FVC는 FLL(Frequency Locked Loop)의 핵심 회로로서 주파수 신호를 전압신호로 변환하는 회로이다. FLL 회로는 PLL(Phase-Locked Loop) 회로 같이 고정된 주파수 신호를 생성하는 회로지만, PLL과는 달리 위상비교기, charge pump, 저역 필터 등이 필요치 않아 간단히 회로를 구성할 수 있다. FVC 회로의 설계는 0.25㎛ CMOS 공정을 이용하였다. 설계되어진 회로의 입력 주파수는 70MHz에서 140MHz를 사용하였다. 회로의 시뮬레이션 결과 동작 온도가 0℃에서 75℃까지 변화할 때 변환된 출력 전압의 변화는 상온에 비하여 ±2%이내였다.

ABSTRACT

In this work, temperature stable frequency-to-voltage converter is proposed. In FVC circuit input frequency is converted into output voltage signal. A FLL is similar to PLL in the way that it generates an output signal which tracks an input reference signal. A PLL is built on a phase detector, a charge pump, and a low pass filter. However, FLL does not require the use of the phase detector, the charge pump and low pass filter. The FVC is designed by using 0.25㎛ CMOS process technology. From simulation results, the variation of output voltage is less than ±2% in the temperature range 0℃ to 75℃ when the input frequency is from 70MHz to 140MHz.

키워드

Frequency Locked Loop, Phase Locked Loop, Frequency-to-Voltage Converter

Ⅰ. 서 론

PLL(Phase Locked Loop) 회로는 입력 신호와 출력 신호의 위상차를 검출하고, 전압제어발진기를 제어하여 정확하게 고정된 주파수 신호를 생성하는 회로이다. PLL 회로는 위상 비교기, charge pump, 전압제어발진기, 저역필터 등으로 구성되며, 통신 시스템, 레이더, 텔레메틱스 등의 여러 분야에서 응용되어진다[1, 2].

최근 PLL과 유사한 개념의 FLL(Frequency Locked Loop)에 대한 연구가 많이 진행하고 있다[3, 4]. 이는 입력 신호의 주파수에 따른 출력 신호를 생성하는 회로로서 PLL과는 달리 위상 비교기, charge pump, 저역 필터 등이 필요하지 않다.

FLL의 경우 위상 비교 대신에 주파수 비교를 하므로 2개의 FVC(Frequency-to-Voltage Converter)와 전압제어발진기가 회로의 주요 요소이다[5, 6]. 그러므로 PLL에 비해 회로의 응답속도가 빠른 장점이 있다. FLL을 사용하는 응용시스템에서 시스템의 주변온도가 변화하면, FLL의 출력주파수가 변화하여 시스템의 안정도에 영향을 미치게 된다. 그러므로 시스템의 동작온도에 따라 안

* 부산외국어대학교 컴퓨터공학부

접수일자 : 2006. 12. 18

정된 주파수 특성을 얻기 위해서는 동작온도에 무관한 FVC 및 전압제어발진기가 요구된다[7]. 본 논문에서는 FLL의 주요 부품인 FVC를 동작온도에 무관한 특성을 가지도록 설계하였다.

논문의 구성은 먼저 2장에서 FLL 및 FVC의 개념 과 동작을 살펴보고, 3장에서는 동작온도에 무관한 FVC 회로를 설계한다. 그리고 4장에서는 상온에서 설계되어진 FVC의 동작 및 온도 변화에 따른 FVC의 출력 특성을 살펴보고 마지막으로 결론을 제시한다.

II. FLL 및 FVC

2.1. FLL의 동작

그림 1은 FLL 회로의 블록 다이어그램이다. 입력 기준 신호의 주파수 F_{REF}는 N으로 나누어진 다음, FVC1에 의해 전압 V1으로 변환된다. 그리고 전압제어발진기의 출력 주파수 F_{OSC}는 M으로 나누어진 다음, FVC2에 의해 전압 V2로 변환된다. V1과 V2 전압의 차는 OPAMP에 의해 증폭된 다음 VCO의 출력 주파수를 제어한다. V1과 V2 전압은 각각 주파수 신호 F_{REF}와 F_{OSC}에 해당하며, V1과 V2 전압을 비교하는 OPAMP는 주파수를 비교하는 것과 같다. 그러므로 F_{OSC}의 주파수가 F_{REF}와 다르면 V1-V2의 전압 크기가 변화하여 F_{REF}와 같아지도록 회로는 동작하게 된다[3].

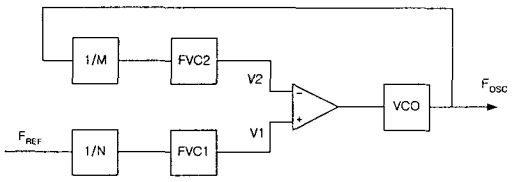


그림 1 FLL 블록 다이어그램
Fig. 1. Block diagram of FLL

2.2. FVC의 동작

그림 2는 본 논문에서 설계하고자하는 FVC의 개략도와 스위치 제어 신호이다.

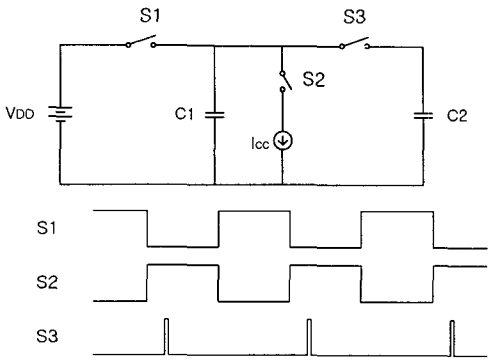


그림 2 FVC 개략도와 스위치 제어신호
Fig. 2. Block diagram of FVC and switch control signals

먼저, S1이 on 일 때 커패시터 C1은 VDD 전압으로 충전된다. 그리고 S1이 off 되고 스위치 S2가 on 되면 C1의 전하는 전류원 ICC에 의해서 일정하게 방전된다.

C1의 방전시 전압 V_{C1}은 식 (1)과 같다.

$$V_{C1} = V_{DD} - \Delta V = V_{DD} - \frac{\Delta Q}{C1} = V_{DD} - \frac{I_{CC}}{C1}\Delta T \quad (1)$$

여기서 ΔQ는 커패시터 C1에서 방전된 전하이며, ΔT는 스위치 S2가 on 되어있는 시간이다. 스위치 S3가 on 되면 C1의 전압은 C2로 전달되어진다. 이때 스위치 S3를 on 시키기 위한 펄스 신호는 듀티가 짧은 펄스 신호이다.

스위치 S3가 on 됨에 따라 C2의 전압 VC2는 식 (2)와 같이 표현된다.

$$V_{C2} = \frac{1}{m}V_{C1} + \frac{1}{m^2}V_{C1} + \cdots\cdots + \frac{1}{m^N}V_{C1} \quad (2)$$

여기서 N은 스위치 S3의 on 횟수와 같으며, $m = (C1 + C2)/C1$이다. 식 (2)를 다시 표현하면 식 (3)과 같다.

$$V_{C2} = V_{C1}\left(\frac{1-(1/m)^N}{m-1}\right) \quad (3)$$

그리고 전압 VC1과 VC2의 차는 식 (4)와 같다.

$$\triangle V = |V_{C2} - V_{C1}| = V_{C1}|\frac{m-2+(1/m)^N}{m-1}| \quad (4)$$

식 (4)에서 C1과 C2의 크기가 동일하다면 m은 2이고, 이 경우 식 (4)는 식 (5)와 같이 표현된다.

$$\triangle V = |V_{C2} - V_{C1}| = \frac{1}{2^N} V_{C1} \quad (5)$$

식 (5)에서 N=7이면 즉, S3의 스위치가 7번 on/off이 되었을 때 V_{C2}의 전압은 V_{C1}의 전압에 대해 약 0.78%의 차이가 있다. 그리고 N=8이면, 0.39% 정도의 차이를 나타낸다. 수식 (4)에서 m이 2보다 작아지면 V_{C2}의 응답속도는 더욱 빨라진다.

온도 변화에 따라 일정한 V_{C2}를 얻기 위해서는 식 (2)에서 알 수 있듯이 △T가 일정할때, 온도 변화에 따라 I_{CC}가 일정하도록 제어하여야 한다.

Ⅲ. FVC 회로 설계

그림 3은 BiCMOS를 이용한 기준전압회로이다. 그림 3에 사용된 바이폴라 트랜지스터는 CMOS 공정에서 공정의 추가없이 제작 가능한 수직형 바이폴라 트랜지스터를 이용하여 구성할 수 있다. 그림 3에서Q1과 Q2의 에미터 면적이 Q3, Q4, Q5, Q6의 에미터 면적에 비해 1/n 일 때 V_{BG1}과 V_{BG2}는 식 (6)과 식(7)처럼 표현된다[7].

$$V_{BG1} = V_{DD} - V_{BE} - (R2/R1)(2V_T \ln n) \quad (6)$$
$$V_{BG2} = V_{DD} - V_{BE} - (R5/R1)(2V_T \ln n) \quad (7)$$

V_{DD}는 공급전압이며, V_{BE}는 바이폴라 트랜지스터의 베이스-에미터 간의 전압이다. 그리고 V_T는 kT/q인 열전압이다. V_{BE}는 온도에 따라 네가티브 온도계수를 가지며 열전압은 포지티브 온도계수를 가진다. 그러므로 수식 (6)에서 저항 R1과 R2, 에미터의 면적비 n을 조절한다면 온도 변화에 따른 원하는 기준 전압 V_{BG1}을 얻을 수 있다. 그리고 또한 수식 (7)에서 저항 R5의 값을 조절하면 온도 변화를 고려한 원하는 기준 전압 V_{BG2}를 얻을 수 있다.

V_{BG1}의 전압은 FVC 동작시 온도 변화에 따라 스위치 S3의 일정한 on 펄스폭을 얻기 위한 기준 전압으로 사용하였으며, V_{BG2}의 전압은 C1의 방전시 일정한 전류 방전을 위한 기준 전압으로 사용하였다.

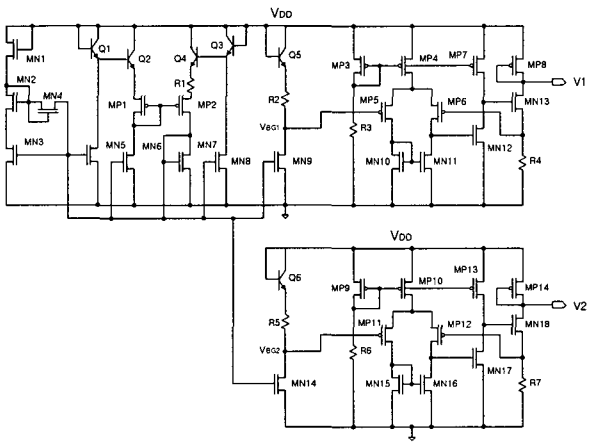
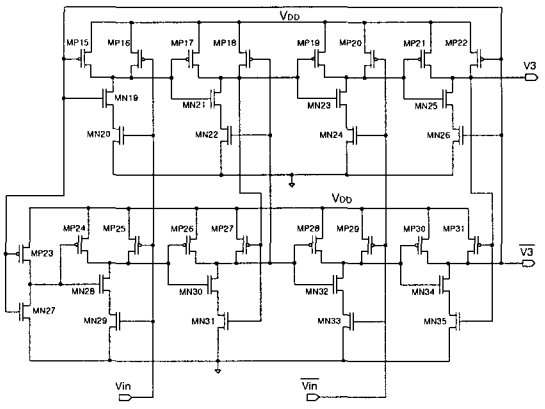


그림 3 기준 전압회로
Fig. 3. Voltage reference circuit

그림 4는 입력신호 Vin의 주파수를 1/2로 생성하기 위한 플립플롭 회로와 입·출력파형이다. 그림 4에서 (b)는 입력신호 Vin이며, (c)는 출력신호 V3이다. 그림 5는 Vin, V1, V3의 신호를 이용하여 짧은 듀티를 가지는 펄스 신호를 생성하는 회로와 출력파형이다.



(a)

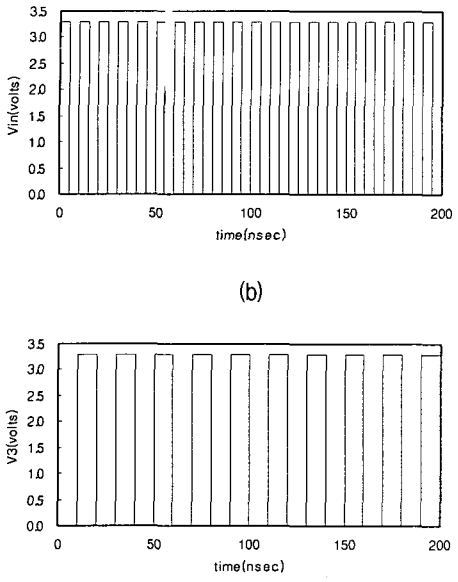


그림 4. 플립플롭회로와 입·출력 파형 (a) 플립플롭회로 (b) Vin파형 (c) V3파형
Fig. 4. Flip Flop circuit and input and output signals (a) Flip Flop Circuit (b) Vin signal (c) V3 signal

그림 5(a)의 회로는 그림 3의 V1 전압과 그림 4의 V3 전압을 이용하여 V4 펄스폭을 온도에 무관하도록 설계한 것이다. 그림 5(b)는 V4의 파형으로서 스위치 S3를 제어하기 위한 짧은 듀티를 가지는 펄스 신호이다.

그림 6은 주파수 신호를 전압신호로 변환하기 위한 최종 출력회로 부분이다. Vin 신호가 high인 경우 MN50과 MP46은 on 되고 이때 커패시터 C1은 V_{DD} 전압으로 충전된다. Vin의 신호가 low가 되면 스위치 MN53과 MP48이 on되고, 커패시터는 MP47, MN51, MN52로 구성된 전류원에 의해 방전한다. 커패시터 C1의 방전 전압은 온도에 따라 변화가 없도록 그림 3의 V2 전압에 의해 제어된다. 커패시터가 방전하는 동안 V4의 전압 신호에 의해 스위치 MP49와 MN54는 아주 짧은 시간 on 되어 C1의 전압과 C2의 전압은 동일한 값으로 된다.

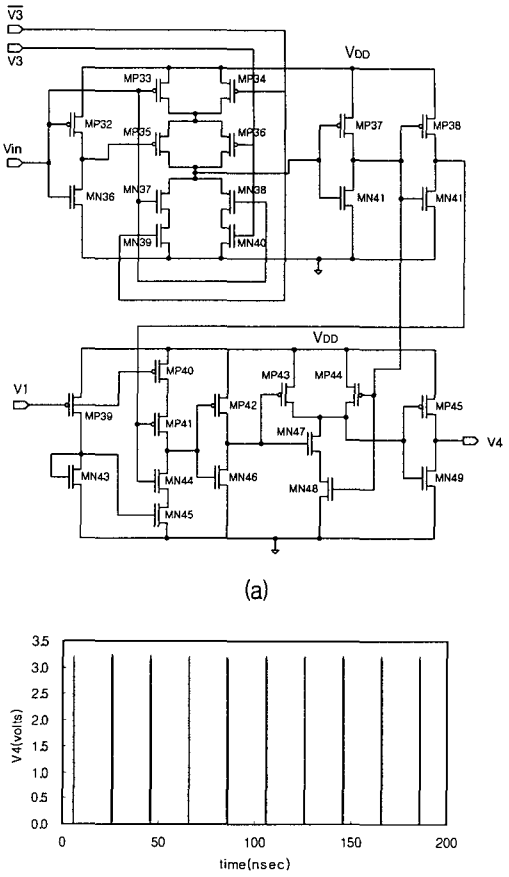


그림 5. 짧은 듀티 생성회로 및 출력파형 (a) 짧은 듀티 펄스 생성 회로 (b) 출력파형
Fig. 5. One shot pulse generation circuit and output signal (a) One shot pulse generation circuit (b) output signal

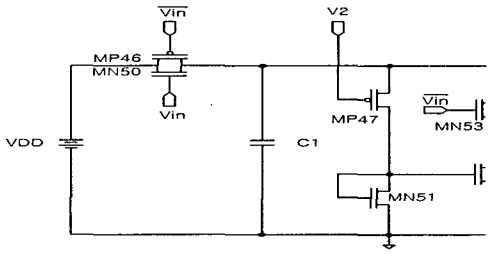


그림 6. 주파수-전압 변환 회로
Fig. 6. Frequency-to-voltage conversion circuit

Ⅳ. FVC 회로 simulation

설계된 FVC 회로의 시뮬레이션은 HSPICE를 이용하였으며, 모델파라미터는 MOSIS사의 0.25㎛ 트랜지스터를 사용하였다. 그림 7과 그림 8은 주파수-전압 변환회로인 그림 6에서 커패시터 C1과 C2의 전압 파형이다. 커패시터 C1은 50pF이며, C2는 5pF이다. 커패시터 C1의 전압 V_{C1}은 V_{DD}까지 충전하였다가 입력신호 Vin이 low가 되면 전류원 MN52에 의해 선형적으로 방전한다. 그리고 방전 중 전압 V4가 high가 되면 C1의 전압은 C2로 전달되어 진다.

그림 8로부터 MN54와 MP49가 5번 정도 on이 되면 커패시터 C2는 정상상태에 도달함을 알 수 있다.

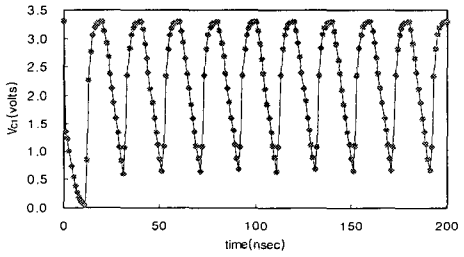


그림 7. 커패시터 C1의 전압 파형
Fig. 7. Voltage waveform of capacitor C1

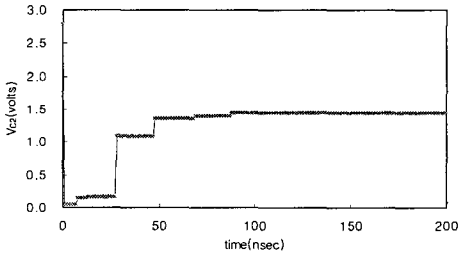


그림 8. 커패시터 C2의 전압 파형
Fig. 8 Voltage waveform of capacitor C2

그림 9는 상온에서 입력주파수가 60MHz에서 140MHz로 변화할 때 입력 주파수에 따른 출력특성이다. 이와 같은 특성은 수식 (1)과 수식(3)으로부터 입력주파수가 증가하면 V_{C2}의 전압도 증가함을 알 수 있다. 그리고 그림 10은 입력 주파수가 60MHz에서 140MHz로 변화하고, 동작온도가 0℃에서 75℃까지 변화할 때 온도 변화에 따른 출력 전압의 에러 특성이다. 각 주파수에서 에러는 식 (8)을 이용하여 계산하였다.

$$Error(\%) = \frac{V_{C2}(temp.) - V_{C2}(25℃)}{V_{C2}(25℃)} \times 100 \qquad (8)$$

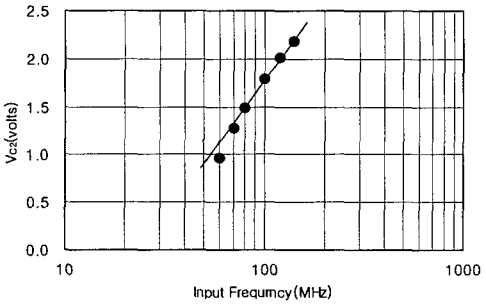


그림 9. 입력주파수에 따른 VC2 전압
Fig. 9. VC2 voltage with input frequency

입력 주파수가 140MHz 이상이 되면 커패시터 C1 충전시 V_{DD} 전압까지 충전이 되지 않아 입력주파수는 140MHz 이하로 제한하였다. 그리고 그림 10에서 보듯이 입력주파수가 60MHz 이하가 되면 온도 변화에 따른 출력전압의 에러가 5% 이상 증가하였다. 이상의 결과를 정리하면, 입력 주파수가 70MHz에서 140MHz로 변화하고, 동작온도가 0℃에서 75℃까지 변화할 때 온도 변화에 따른 출력 전압의 에러는 ±2% 이내였다. 온도변화에 따른 에러의 값의 변화는 동작온도에 따라 변화하는 기준전압의 미세한 비선형에 따른 것으로 판단된다.

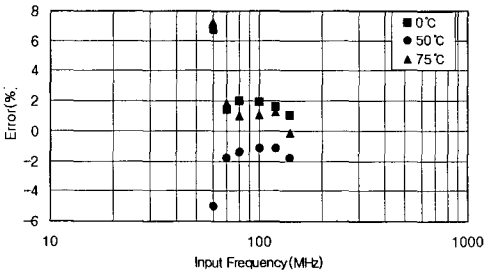


그림 10. 동작온도 변화에 따른 에러
Fig. 10. Error with operating temperature

V. 결 론

FLL 회로 구성시 위상 비교기, charge pump, 저역필터 등의 회로가 필요치 않으므로 PLL 회로에 비해 응답속도가 빠르고 one-chip화가 가능한 장점이 있다. 본 논문에서는 온도 변화에 따른 FLL 회로의 특성 향상을 위하여 동작온도에 무관한 FVC 회로를 제안하였다. 설계된 FVC 회로는 CMOS 공정을 이용하였으며, 동작온도에 무관한 특성을 가지도록 설계하였다. 이를 위하여 동작온도에 무관한 기준전압과 동작온도에 따라 원하는 기울기를 가진 기준 전압회로를 사용하였다. 설계되어진 회로의 특성은 동작온도가 0℃에서 75℃까지 변화하더라도 상온에서의 출력 값과의 차이는 ±2% 이내의 우수한 특성을 보여주었다.

참고문헌

[1] R. E. Best, Phase-Locked Loops: Theory, Design and Applications, New York: McGraw-Hill, 1984.

[2] V. V. Kaenel, D. Aebischer, C. Piguet and E. Dijksta, "A 320MHz, 1.5mW @1.35V CMOS PLL for microprocessor clock generation," IEEE J. Solid-State Circuits, vol. 31, pp.1715-1722, Nov. 1996.

[3] A. Djemouai, M. Sawan and M. Slamani, New circuit techniques based on a high performance frequency-to-voltage conversion," Proceedings of IEEE Int. Conf. Electronics Circuits and Systems, pp. 13-16, 1999.

[4] A. Djemouai, M. Sawan and M. Slamani, "A 200MHz frequency-loocked loop based on new frequency-to-voltage converters approach," IEEE Int. Sym. Circuits and Systems, vol. 2, pp. 89-92, 1999.

[5] A. Djemouai, M. Sawan and M. Slamani, "New frequency-locked loop based on CMOS frequency-to-voltage converter: Design and Implementation," IEEE Trans. on Circuits and Systems II:Analog and Digital signal processing - vol. 48, no. 5, pp. 441-449, 2001.

[6] A. Djemouai, M. Sawan and M. Slamani, "High performance integrated CMOS frequency-to-voltage converter," Int. conference Microelectronics, pp. 63-66, 1998.

[7] 최 진호, "밴드갭 기준전압을 이용한 CMOS 전압제어발진기의 설계," 대한전기학회 52C권 10호, pp.425-430, 2003.

저자소개

최 진 호(Jin Ho Choi)

1985년 부산대학교 전자공학과 (공학사)
1987년 한국과학기술원 전기 및 전자공학과(공학석사)
1992년 한국과학기술원 전기및전자공학과(공학박사)
1992년~1996년 현대전자 책임연구원
1996~부산외국어대학교 컴퓨터공학부 교수
※관심분야 : VLSI 설계

유 영 중(Young-Jung Yu)

1996년 부산대학교 전자계산학과 (이학사)
1998년 부산대학교 전자계산학과 (이학석사)
2002년 부산대학교 전자계산학과 (이학박사)
2002~부산외국어대학교 컴퓨터공학부 조교수
※관심분야 : 컴퓨터그래픽스, 애니메이션, 시뮬레이션