

# 소형화된 Ka-대역 주파수 합성기 모듈 설계 및 제작

## Design and Fabrication of a Compact Ka-Band Synthesizer Module

김현미 · 양승식 · 이만희 · 염경환

Hyun-Mi Kim · Seong-Sik Yang · Man-Hee Lee · Kyung-Whan Yeom

### 요 약

본 논문에서는 복합 소형화된 Ka-대역 주파수 합성기 모듈을 제작하였다. 본 논문을 통하여 소형화 구성시 배치 방법과 체계적인 검증 방법을 제시하였다. 제작된 주파수 합성기는 X-대역 전압 제어 발진기(VCO: Voltage Controlled Oscillator)의 주파수를 3배하여 구성하였으며, 제작된 모듈은 500 MHz 주파수 가변 범위와 약 14 dBm의 출력 전력, 그리고 100 kHz 오프셋 주파수에서 -96.17 dBc/Hz의 위상 잡음 특성을 보여주고 있다.

### Abstract

In this paper, we designed and fabricated a Ka-band synthesizer module. In addition, the systematic layout procedure and the test procedure were presented for the construction of compact synthesizer. To implement the Ka-band synthesizer, X-band VCO is employed as VCO and its frequency was multiplied by 3 with frequency tripler. The fabricated frequency synthesizer shows a frequency tuning range of 500 MHz, output power of about 14 dBm, and a phase noise of -96.17 dBc/Hz at the 100 kHz offset frequency.

Key words : Frequency Synthesizer, Phase Locked Loop

### I. 서 론

전파 스펙트럼 중 Ka-주파수 대역은 대기 중에서 감쇄가 작아<sup>[1]</sup>, 밀리미터파 통신 시스템이나 레이더에 널리 사용된다. 따라서 Ka-주파수 대역의 주파수 합성기는 레이더 및 이 주파수 대역을 활용한 관련 통신에 사용될 것으로 예상된다. 특히 송수신 시스템에서는 빈번하게 두 개의 이격된 주파수 원이 필요하게 되는데, 본 논문에서는 이것이 가능하도록 최소의 시스템 복잡도를 가지며, 소형인 주파수 합성기를 제작하였다.

PLL(Phase Locked Loop)을 사용하는 Ka-대역의 주파수 합성기 구성에서 고려할 사항은 Ka-대역에서의 전압 제어 발진기(VCO: Voltage Controlled Oscillator), 위상 검출기(phase detector) 등이 될 것이다.

Ka-대역에서 직접 발진하는 VCO의 경우는 일반적으로 같은 방식으로 구성된 X-대역의 발진기를 채택한 것보다 위상잡음이 나쁘며, 주파수 조정폭도 좁다. 또한 직접 발진으로 얻어지는 발진기의 주파수는 일반적인 위상 검출기에 사용되기에는 무리가 있다.

직접적으로 이 주파수에서 위상비교를 하기 위해서는 그림 1(a)와 같이 SRD(Step Recovery Diode)를 사용하여 기준 발진기의 주파수를 이 근처까지 채택하고, 이를 Schottky diode로 위상 비교하는 방식이 가능하나<sup>[2]</sup>, 일반적으로 수백 MHz인 기준 발진기를 통상의 SRD를 이용 Ka-대역까지 채택하기 어려운 점이 있다<sup>[3]</sup>. 주목할 것은 이 방식에서는 주파수 합성기를 구성할 경우, 주파수 합성기는 기준 발진기의

「본 연구는 한국과학기술원 전파탐지특화연구센터를 통한 국방과학연구소의 연구비 지원으로 수행되었습니다.」

「본 연구는 동국대학교 ERC 센터인 밀리미터파 신기술 연구 센터의 지원에 의하여 수행되었습니다.」

\*충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20070124-011

· 수정완료일자 : 2007년 5월 3일

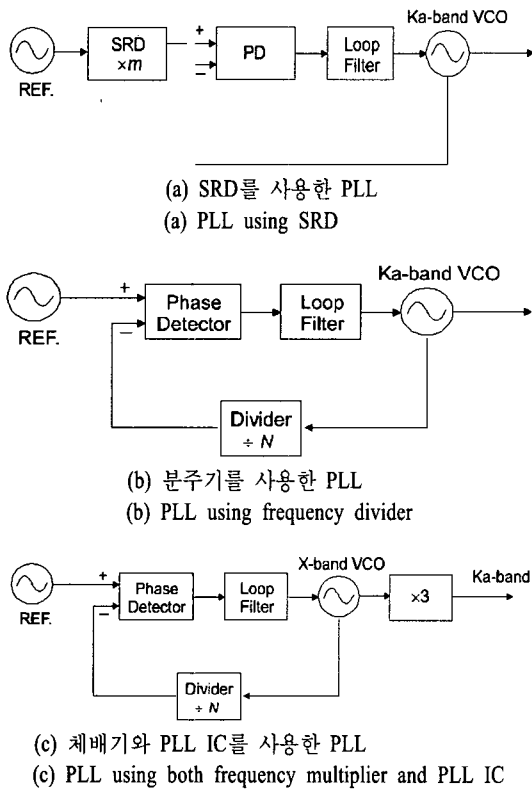


그림 1. Ka-대역 주파수 합성기를 위한 여러 가지 블록도  
 Fig. 1. Block diagrams for Ka-band synthesizer.

주파수로 결정되는데(기준 발진기 주파수의  $n$ 배가 가능하다), 원하는 채널 주파수가 낮을 경우 이에 따라 기준 주파수는 낮아져야 하며, 이 경우 높은 주파수까지 체배하는 것은 문제가 있게 된다. 다른 하나의 문제점은 이러한 방식은 잠금 시간(lock time)이 보통 시스템에 응용될 수 없을 만큼 길어지기 때문에 주파수 잠금을 위해서는 보조 회로(aiding)가 필요하며, 이 보조 회로는 기준 발진기의 주파수가 변하는 주파수 합성시에는 아직까지 잘 알려지지 않았다. 따라서 이 방법은 대부분 고정 주파수 합성에 이용되고 있다.

또한 그림 1(b)에 보인 것처럼 발진기의 주파수를 분주하여 낮춘 후 이것을 이용하여 위상 비교하는 방법이 있으나, 현재까지 보고되고 있는 분주기의 경우 18 GHz까지 상용화되어 이것 또한 어렵게 된다<sup>[4]</sup>. 따라서 현재까지의 부품 상황과 발진기의 성능을 비교할 때, 현실적인 구성 방법은 체배수를 최소

화하기 위하여 그림 3(a)와 같이 X-대역에서 주파수 합성기를 구현하고 이것을 3-체배하는 방식의 구성이 현실적인 안이 될 것이다.

이러한 주파수 합성기의 기존 연구로서는 국내의 경우 FMCW 레이더를 구성하기 위한 X-대역 주파수 합성기<sup>[5]</sup>, sub-harmonic injection locking 방식을 이용한 X-대역 국부 발진기<sup>[6]</sup>, 2체배 방식을 이용한 26 GHz의 LMDS(Local Multi-point Distribution Service)용 주파수 합성기가 보고된 바 있다<sup>[7]</sup>. 그리고 국외의 연구로는 분주기와 체배기를 이용한 16.2 GHz 주파수 합성기<sup>[8]</sup>, 2-칩 MMIC(Monolithic Microwave Integrated Circuit)를 이용한 Ku-대역 주파수 합성기<sup>[9]</sup>, DDS(Direct Digital Synthesizer)를 이용한 방식의 bread-board 형으로 구성된 10 GHz 주파수 합성기들이 보고된 바 있다<sup>[10]</sup>. 그러나 이들의 구성은 참고문헌 [5]를 제외하고는 bread-board형이며, 소형화의 노력은 배제되어 있다.

본 논문에서는 X-대역 발진기를 이용, 이것을 3-체배하여 Ka-대역의 주파수 합성기를 구성하는 방식을 제시하고, 또한 대부분의 기존 연구가 원리적인 측면을 강조하여 bread board 형 또는 윗면만 이용하여 구성한 것을 개선하여, 소형화를 위한 부품 배치와 이것들의 상호 연결의 체계적 방법을 제시하였다. 또한 이에 따른 소형화하기 위한 부품 배치와 체계적으로 각부의 검증을 위한 측정점의 삽입을 통한 복잡한 시스템 구축 방법을 제시하였다. 제작된 주파수 합성기는 수신과 송신시 기준 발진기 주파수로 이격되는 가능성을 제시하며, VCO의 경우 위상 검출기의 최대 출력보다 큰 전압을 요구하기에 능동형 루프 필터를 사용하였다. 제작된 주파수 합성기는 Ka-대역에서 500 MHz 이상의 조정 대역폭을 가지며, 위상 잡음은 100 kHz 오프셋 주파수에서 -96.17 dBc/Hz의 특성을 보였다.

## II. 주파수 합성기의 설계 및 제작

### 2-1 블록(Block) 구성 및 부품 선정

본 논문에서 제작하려고 하는 주파수 합성기 모듈의 설계 목표를 표 1에 나타내었다. 또한 이러한 Ka-대역 주파수 합성기를 위해 그림 2와 같이 블록을

표 1. Ka 대역 주파수 합성기 모듈 설계 목표  
Table 1. The specification of the Ka band synthesizer module.

파라미터	설계 목표
중심 주파수	35 GHz
대역	500 MHz
채널 간격	약 8 MHz
채널 수	64
출력 파워	>10 dBm

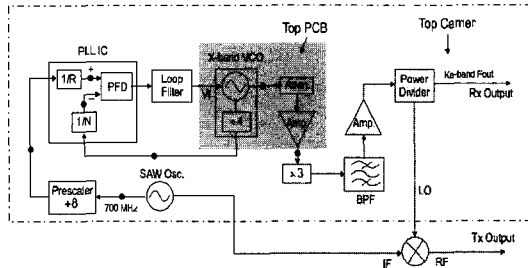


그림 2. 주파수 합성기 구성도(점선 친 부분까지 본 논문에서 제작되었다. 이의 처리를 위해 전력 이분기의 한쪽 출력은 50 ohm에 연결되었다.)

Fig. 2. The block diagram of the frequency synthesizer (The block diagram inside the dashed line is fabricated in this paper. So one of the power divider output is terminated by 50 ohm).

구성하였다.

그림 2에 보인 바와 같이 VCO의 4-분주된 출력 신호(주파수 3 GHz 이하)는 PLL IC의 N-분주기를 거쳐 PFD(Phase Frequency Detector)에 입력되며, 이는 기준 발진기를 R-분주한 채널 신호와 비교되어진다. 이때 두 신호의 위상차에 해당되는 펄스가 PFD 출력에 나타나며, 이 신호는 루프 필터(loop filter)를 통과하게 되며, 이 전압이 VCO를 구동하여 두 신호의 주파수가 같아질 때까지 VCO 조정 전압을 변화시키게 되어, 궁극적인 위상 잠금을 달성하게 된다. 이렇게 위상 잠금된 VCO의 출력은 감쇄기와 증폭기 그리고 3체배기를 통하여 원하는 Ka-대역 출력을 얻게 된다. 또한 이 출력은 혼합기의 국부 발진기(LO) 입력으로 사용되게 되고, 기준 발진기 입력과 혼합되어 두 개의 합성된 주파수 원을 제공하게 된다.

이러한 블록을 구현하는 부품들에 대하여, VCO의

경우, X-대역에서 발진하며 InGaP HBT로 구성된 Hittite사의 MMIC, HMC514LP5를<sup>[11]</sup> 선정하였다. 이것은 표면실장형으로 되어 있으며, MMIC 내부에 4-분주기를 내장하고 있다. 발진 주파수는 11.17~12.02 GHz의 조정폭을 가지고 있으며, 이 때 조정 전압은 2~13 V가 된다. 또한 위상 잠음 특성은 주파수 100 kHz offset에서 -100 dBc/Hz이다. 이것의 출력은 약 5~10 dBm으로 주파수 3-체배기를 구동하기에는 다소 출력이 부족한 상태이다.

주파수 3-체배기를 구동하기 위해서 전력 증폭기가 삽입됐으며, 이것 또한 표면실장형으로 제작되어 있으며, 출력은 관심 대역에서 21.5 dBm의 포화 전력을 갖는다<sup>[12]</sup>. 주파수 3-체배기는 pHEMT 공정을 기반으로 한 Triquint사의 MMIC, TGC-1430G-EPU를 선정하였다<sup>[13]</sup>. 이의 출력은 상당한 고조파를 포함하고 있어, 설계된 대역 여파기에 의해 원치 않는 고조파가 억제된 후, 증폭기<sup>[14]</sup>를 통하여 충분한 출력을 가지게 된다. 이 때 출력의 일부는 혼합기의 국부 발진기 입력으로 사용되어, 기준 발진기의 입력이 있을 경우 별도의 출력을 제공할 수 있도록 하였다.

VCO에서 4-분주된 출력은 널리 사용되는 PLL IC의 입력으로 인가되며, 이 때 PLL IC는 National사의 LMX2433을 선정하였다<sup>[15]</sup>. 그리고 기준 발진기는 송, 수신 주파수 이격에 따라 결정되었으며, 700 MHz SAW 발진기를 선정하였다<sup>[16]</sup>. 이러한 기준 발진기의 높은 주파수는 위상 검출기 입력으로 사용되는데 문제를 야기하게 된다. 따라서 이 기준 발진기의 주파수는 별도의 디지털 IC를 통하여 주파수를 낮추게 된다. 이러한 디지털 IC로는 Motorola사의 MC12093 8-분주기를 이용하였다<sup>[17]</sup>. 주목할 것은 PLL IC의 PFD 출력은 2.75 V가 최대값이고, 이는 VCO의 조정 전압 폭보다 낮아, PFD의 출력을 증폭시키기 위해 능동형 루프 필터를 사용 구성할 필요가 있게 된다.

## 2-2 선정 부품 배열 구성

선정된 부품의 형태는 chip 또는 package 상태로 다양하며, 일부 부품의 경우 주파수가 극히 높고, 일부 부품의 경우 사용 주파수는 낮으며, 납땜으로 구성하는 것이 용이한 것이 있다. 또한 소형화를 기하기 위하여 하우징(housing)의 위와 아래를 동시에 사용

할 경우, 이들은 적절하게 배치될 필요가 있다.

따라서 이러한 기준으로 Ka-대역에서 동작하는 MMIC들은 1차적으로 윗면에 배치하고, 금 도금된 KOVAR 캐리어(carrier)위에 조립되도록 구성하였으며, 두 번째로 X-대역 부품들 즉 VCO 및 X-대역 전력 증폭기는 표면실장형이어서, 고주파에서 사용되는 Ultram<sup>[18]</sup> 기판을 사용 동일한 평면에 배치되었다. 이들은 서로간의 간섭을 막기 위하여 금속 벽으로 격리되었다. 그리고 PLL에 사용되는 기타 부품들의 경우, 사용 주파수가 3 GHz 이하로 낮기 때문에 하우징의 아래 면을 사용하고 FR4 다층 기판을 사용 배치되었다.

이와 같이 구성할 경우, 윗면과 아래면의 연결이 필요하게 되는데, 이 때 RF 신호(3 GHz 이하의 주파수)는 그림 3과 같이 50 ohm feedthru를 사용하여 연결하게 되고, 또한 저주파 신호의 경우는 feedthru 커패시터<sup>[19]</sup>(커패시턴스가 100 pF임)를 이용하여 연결하게 된다. 이와 같이 연결할 경우, VCO에 연결되는 주파수 조정 단자에는 PLL에 사용되는 루프 필터가 연결되기 때문에, 이것은 영향을 고려해야 된다. 따라서 루프 필터 설계시 feedthru 커패시터의 영향을 고려 계산할 필요가 있게 된다. 또한 윗면과 아래면의 연결시 그림 3에 나타낸 것처럼 KOVAR 캐리어에 연결되는 부분은 윗면의 경우 리본을 통하여 epoxy로 연결되며, 아래 면은 납땀으로 연결되게 된다. 그리고 고주파 표면실장형 부품과 아래 면에 있는 PCB간의 연결은 모두 납땀으로 연결하면 될 것이다.

이와 같이 윗면과 아래면을 50 ohm feedthru로 연결할 경우, 동작주파수 범위를 확인하기 위하여 그림

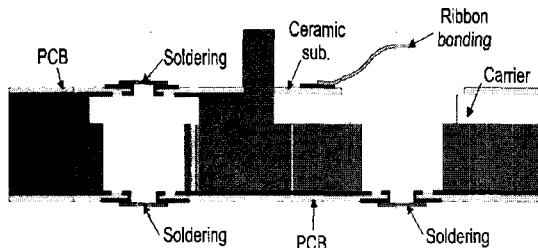
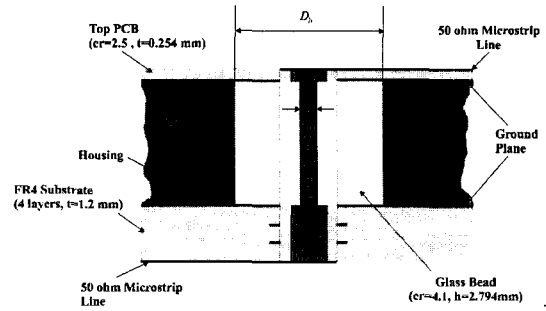
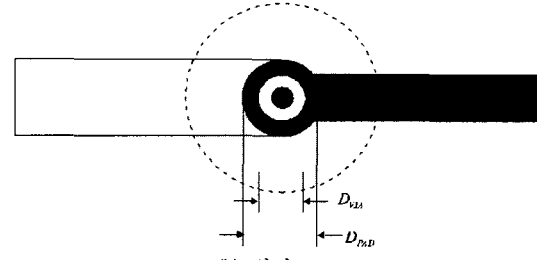


그림 3. Feedthru를 이용한 housing 윗면과 아래면의 연결

Fig. 3. The connection method between top and bottom planes of the housing with feedthru.



(a) 단면도  
(a) Sectional view



(b) 윗면도  
(b) Top view

그림 4. 50 ohm feedthru를 통한 윗면과 아래면의 연결  
Fig. 4. The connection between the top and bottom with 50 ohm feedthru.

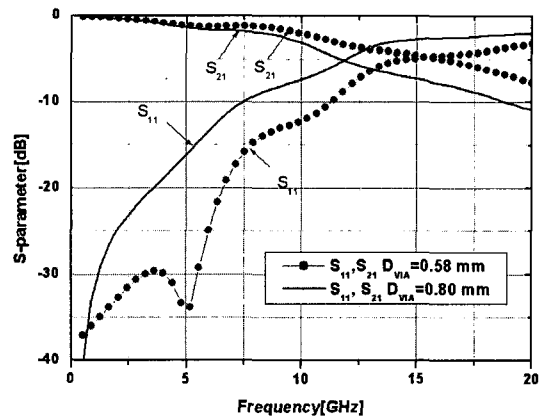


그림 5. 그림 4 구조의 HFSS 시뮬레이션 결과  
Fig. 5. The HFSS simulation.

4와 같이 윗면과 아래면의 50 ohm 선로를 50 ohm feedthru로 연결할 때 주파수 특성을 HFSS로 조사하였다. 이때 PCB의 via 직경은 50 ohm feedthru의 pin 보다 커야 하기 때문에 0.8 mm로 설정하였으며, 그리고 pin이 뺄 되는 pad의 직경은 1.2 mm로 하였다. Via 직경이 커질수록 pad 직경도 커지게 되며, 이것들의

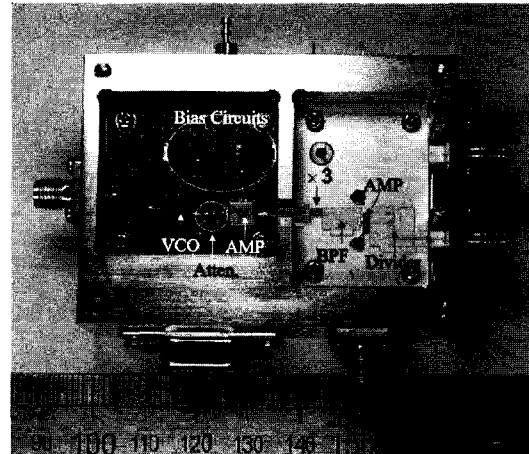
차이는 일정하게 하였다.

시뮬레이션 결과는 via 직경에 따라 다소 달라지며 동작 주파수 영역은 다소 확장될 수 있는 것을 그림 5의 결과를 보고 알 수 있다. 이 결과에서 제작시 사용된 via 직경( $D_{VIA}=0.8\text{ mm}$ )의 경우, 10 dB 반사 손실을 고려하면 약 7.5 GHz까지 사용 가능하나, 삽입 손실이 커서(약 2 dB) 실제적으로는 이 주파수까지는 사용 곤란할 것으로 보인다. 이러한 50 ohm feedthru를 통해서 전달되는 최대주파수는 약 3 GHz이기 때문에 반사 손실 20 dB, 삽입 손실 1 dB 이하의 양호한 결과를 주는 것을 알 수 있다. 따라서 논문에서 사용된 배치 방법은 별도의 문제를 야기시키지 않고 사용될 수 있음을 알 수 있다.

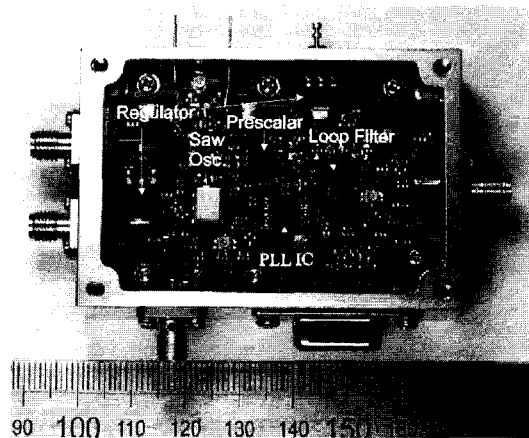
그림 6에는 이와 같이 조립된 주파수 합성기의 위, 아랫면 사진을 보였다. 크기는  $69\times 50\text{ mm}^2$ 를 가지며, 하우징은 알루미늄으로 가공되었고 금 도금으로 처리되었다. 앞서 설명한 바와 같이 그림 6(a)는 모듈의 윗면을 그림 6(b)는 아랫면을 나타내고 있다. 그림 6(a)의 왼쪽은 바이어스 회로를 포함한 VCO, X-대역 증폭기와 칩 저항으로 구성된  $\pi$ 형 2 dB 감쇄기가 PCB에 조립되었고, 오른쪽은 KOVAR 캐리어 위에 조립된 체배기 및 Ka-대역 증폭기 MMIC와 이들의 연결을 위한 alumina 기판 및 월킨슨 분배기가 실장되었다. 전력 이분기의 한쪽 출력은 50 ohm 저하에 연결되어 있다. 이 두 부분은 하우징의 격리벽을 두어 신호의 간섭을 방지하였다. 그림 6(b)에는 주파수 합성기의 주 부품인 PLL IC, 기준발전기인 SAW 발진기, 그리고 이 주파수를 분주하는 prescalar 및 루프 필터와 각 소자의 전원 공급을 위한 voltage regulator가 4층 FR4 기판에 조립된 사진을 보이고 있다. 또한, 주목할 것은 이들의 동작 여부를 확인하기 위하여 측정점의 삽입이 필요하게 된다. 이를 위해 소형 표면실장형 동축 커넥터<sup>[20]</sup>를 그림 2에 보인 측정점(그림 2에 ●로 표시되어 있음)들에 삽입하였다. 따라서 이들의 출력은 스펙트럼 분석기로 측정 가능하게 되며, probe로 직접 측정이 가능한 곳에는 배제하였다.

### 2-3 루프 필터 및 대역 여파기 설계

그림 2의 루프 필터의 형태는 그림 7과 같다. 그림 7의 연산 증폭기의 (-) 단자는 PLL IC의 위상 검출



(a) 윗면  
(a) Top plane



(b) 아랫면  
(b) Bottom plane

그림 6. 제작된 주파수 합성기 모듈사진  
Fig. 6. Photos of the fabricated frequency synthesizer of the housing.

기 출력의 연결점이고, (+) 단자는 PLL의 공급 전원을 1/2로 분배한 전압이 인가되어진다.  $C_1, R_2, C_2$ 는 루프 필터의 기본형을 구성하고,  $R_3, C_3$ 는 기준 발진기에 의한 불요파(spurious)를 추가적으로 억제하기 위해 삽입된 것이다.

이때 루프 필터 설계시 고려해야할 요소들은 위상잡음, 기준 발진기에 의한 불요파, lock time이다. 루프대역폭을 좁게 할 경우, 기준 발진기에 의한 불요파는 감쇄되지만 lock time이 증가하게 된다. Lock time의 문제가 없으면 기준 발진기에 의한 불요파는 간단히 루프 대역폭을 좁게 하여 2차 루프 필터로

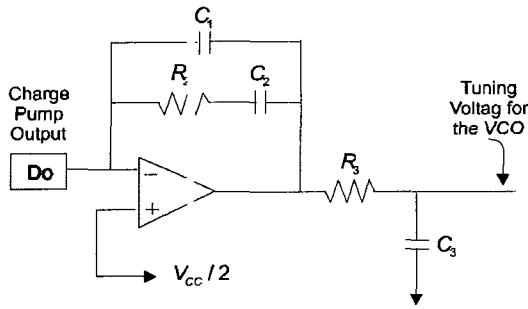


그림 7. 3단 능동 루프 필터  
Fig. 7. Third order active loop filter.

해결할 수 있으나, 그렇지 않은 경우 고차의 루프 필터를 사용해야 할 것이다. 3차 이상의 루프 필터를 사용할 경우 PLL은 불안정해질 수 있다. 이것에 대한 방법으로 위상 여유(phase margin)를 제공하여 발진을 억제한다.

이러한 요소들을 고려하여 루프 대역폭은 10 kHz 이고, 위상 여유는 45°의 전달 특성을 가지는 3단 능동형 루프 필터를 설계하였으며, 회로 소자 값은 참고문헌 [22] 방법에 의해 계산하였다. 결정된 소자 값은  $C_1$ 은 1.8 nF,  $C_2$ 는 18 nF,  $C_3$ 는 680 pF,  $R_2$ 는 2.2 k $\Omega$ ,  $R_3$ 는 3.9 k $\Omega$  이 되었다. 여기에서  $C_3$ 는 feedthru 커패시터를 고려하여, 계산된 커패시턴스에서 feedthru 커패시터 값 100 pF를 뺀 수치이다. 이렇게 결정된 소자 값으로부터 루프 필터의 계산된 open loop gain은 그림 8에 보였다. 그림 8에서 보인 바와 같이

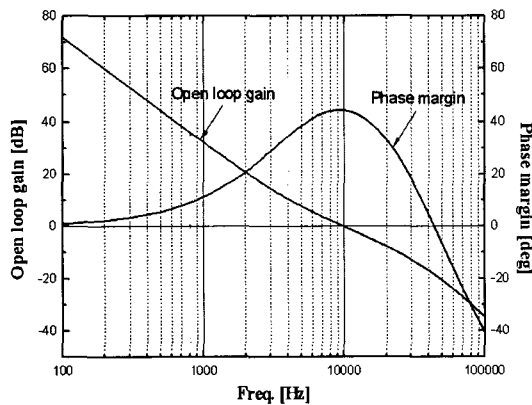


그림 8. 설계된 루프 필터의 loop bandwidth와 위상여유  
Fig. 8. The loop bandwidth and phase margin of the designed loop filter.

대역폭(루프 이득이 1이 되는 곳)은 10 kHz이고 그 주파수에서의 위상 여유는 45°임을 알 수 있다. 따라서 설계한 값과 동일한 결과를 주는 것을 확인할 수 있다.

그림 2의 VCO 출력 주파수를 3-체배했을 경우, 3-체배된 주파수 이외의 다른 불요파 성분들이 출력에 나타나게 되고, 이 성분들을 억압시키기 위한 여파기가 필요하다. 이러한 여파기 설계에서 특이한 점은 차단하고자 하는 고조파의 억압 정도가 중요하게 된다. 이 때 대역폭은 결정된 단수에 따라 중심 주파수에서 삽입 손실이 최소가 되도록 선정되게 된다. 이러한 방법은 참고문헌 [21]에 있으며, 본 논문에서는 이에 준하여 설계하였다.

따라서 VCO를 3-체배하여 얻어지는 주파수에서 최소의 삽입 손실을 가지고 2-체배 고조파 성분에서 30 dB 이상의 감쇄량을 가지도록 설계하였다. 기본파의 경우, 여파기 감쇄 특성으로 인해서 VCO의 2차 고조파보다 더 감쇄되기 때문에, 이것에 대해서는 설계단계에는 고려하지 않았다. 이러한 차단 주파수의 억압 정도가 주어졌을 때, 원하는 주파수에서 손실을 최소화하는 단수와 대역폭을 결정하였다<sup>[21]</sup>. 이러한 방법으로 설계된 여파기의 최적의 단수는 3단이 되며, 리플 0.047 dB, 규격화된 대역폭은 11%가 되었다. 또한 여파기 형태로는 PCLF(Parallel-Coupled Line Filter)를 선정하였다.

이로부터 Chebyshev 기준형 값을 결정한 후 이로부터 PCLF의 값들을 결정하였다. 설계된 PCLF는 미지의 fringing capacitance 및 step 불연속 효과로 인해 왜곡된 여파기의 응답 특성이 일어났다. 이를 조정하기 위해 이를 개별 공진기로 분해한 후, Momentum을 통하여 각각의 개별 공진기를 조정하고, 이 결과로 얻어진 개별 공진기를 취합함으로써 여파기를 설계하였다.

이를 바탕으로 제작된 7×4.4 mm<sup>2</sup>의 크기를 가지는 여파기의 사진은 그림 9와 같다. 여기에서 사용된 기판은 세라믹 기판으로 thin film 기법으로 제작되었으며, 이것의 유전율은 9.6, 기판의 두께는 10 mil이다.

이렇게 제작된 PCLF는 Wiltron사의 test fixture를 이용 TRL calibration 후, 커넥터 장착 없이 회로망 분석기로 측정할 수 있었다. 그림 10은 조정 후의 모멘

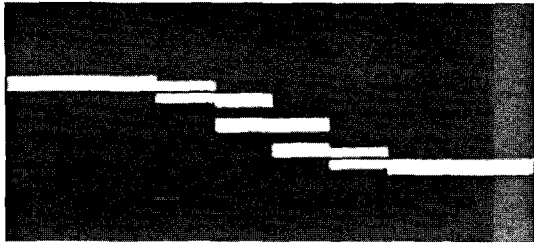


그림 9. 제작된 여파기 사진  
Fig. 9. A photo of the fabricated filter.

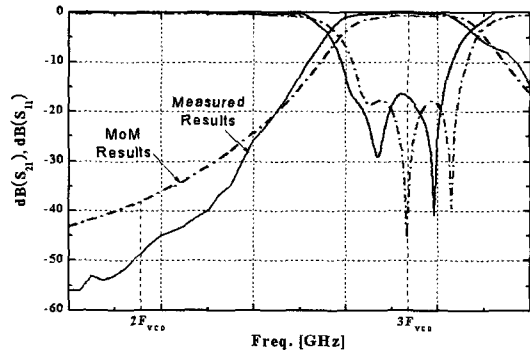


그림 10. Ka-대역 대역 여파기의 모멘텀 시뮬레이션과 측정 결과 비교  
Fig. 10. The comparison of the Momentum and measured results for Ka band BPF.

텀 시뮬레이션 결과와 측정 결과를 나타낸 것으로서, 대역폭의 경우 거의 일치된 결과를 보이나, 감쇄 특성은 다소 차이를 보이고 있다. 또한 차단 주파수인 2차 고조파에서 46 dB의 감쇄를 보였다. 따라서 채택된 X-대역 VCO의 두 번째 고조파 성분을 약 30 dB 이상 억압되어 설계 목표에 만족하는 결과를 얻었다.

## 2-4 제작 및 측정 결과

### 2-4-1 X 대역 VCO 특성 측정

PLL을 구성하기에 앞서 4분주된 VCO의 전압에 따른 주파수 변화 및 출력 특성을 그림 11에 나타내었다.

그림 11에서 보는 바와 같이 4분주된 VCO의 출력과 주파수 특성을 나타냈다. 주파수는 2.6 GHz에서 3.05 GHz까지 변화하고 있으며, 관심 주파수인 2.9 GHz에서의 tuning sensitivity는 약 34.6 MHz/V이며, 이는 루프 필터의 소자 값 계산에 사용되었다. 또한 전력 특성은 약 -11 dBm으로 변화폭은 일정하였으

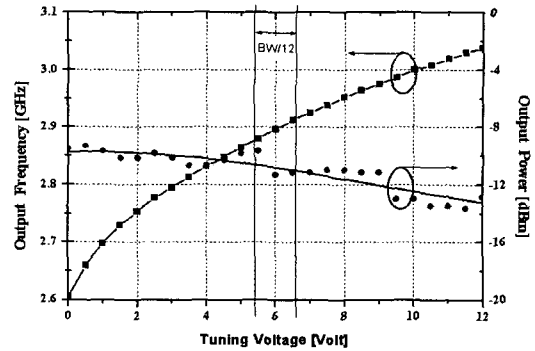


그림 11. X-대역 VCO의 4분주된 출력의 전압에 따른 주파수 변화 및 전력  
Fig. 11. The frequency divided output of the X-band VCO for DC tuning voltage.

며, 이것은 PLL IC의 RF 입력 전력 레벨 -15~0 dBm을 만족하므로 PLL IC의 정상적 동작이 가능함을 알 수 있다.

또한 Ultralm 기관 상에 조립된 X-대역 VCO와 증폭기의 출력 특성을 측정하였다. 이를 통하여 채택기에 입력되는 전력 값을 알 수 있고, 이에 따라 채택기의 적정 입력 전력이 되도록, 그림 2에 삽입된 저항 3개로 구성된  $\pi$ 형 감쇄기를 계산하여 조정할 수 있게 된다. 이 측정 결과는 그림 12에 보였다. 이 결과는 2 dB인  $\pi$ 형 감쇄기를 추가하여 측정된 결과

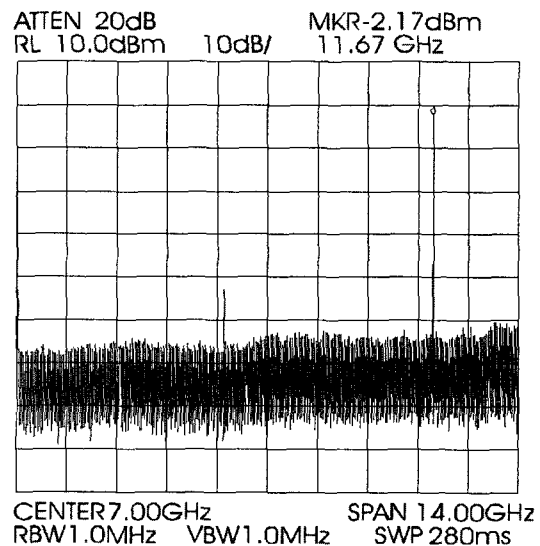


그림 12. 채택기 입력 전의 X-대역 VCO 모듈의 특성  
Fig. 12. The characteristics of the X-band VCO module before frequency multiplier.

이다. 스펙트럼 분석기 직전에 20 dB 감쇄기를 삽입하였으며, 이 때 사용된 케이블의 손실은 2.17 dB로 측정되었다. 따라서 이것으로부터 제작된 VCO 모듈의 출력은, 체배기의 적정 입력인 18 dBm을 만족하여 체배기의 구동을 가능하게 함을 확인하였다.

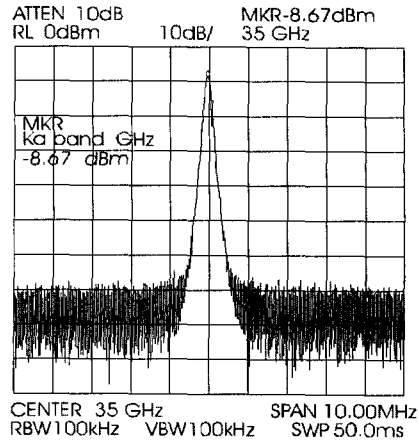
2-4-2 Ka-대역 주파수 합성기 특성 측정

제작된 주파수 합성기는 스펙트럼 분석기를 이용하여 측정하였다. 그림 13(a)는 위상 잠금이 되었을 때 20 dB 감쇄기를 통과한 단일 스펙트럼으로서, 35 GHz 대역의 주파수를 가지고 있다. 측정시 사용된 케이블의 손실(Ka-대역에서 약 2.3 dB) 및 감쇄기(20 dB)의 손실을 고려하면 약 14 dBm의 출력이 얻어지는 것을 알 수 있다. 그림 13(b)는 그림 13(a)의 단일 스펙트럼을 PLL IC의 N을 프로그램으로 변화시키면서, 그에 따른 스펙트럼을 보인 것이다. 출력 주파수는 일정한 채널 주파수 간격으로 변하여 약 500 MHz의 대역폭을 가지고 위상 잠금이 되며, 그 출력 변동은 거의 없는 것을 알 수 있다. 결과에는 나타나지 않았지만, 대역폭은 500 MHz를 상회하는 값을 얻었다.

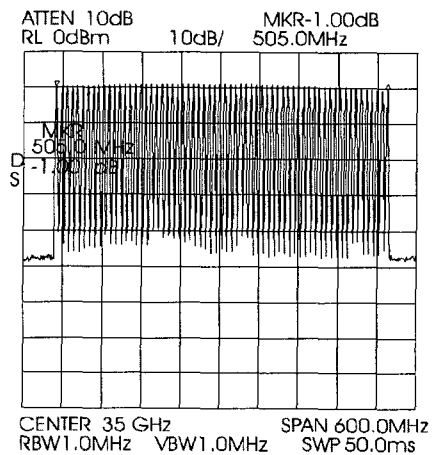
또한, 그림 13(c)는 위상 잠금이 완성된 단일 스펙트럼의 위상 잡음을 측정된 결과로 100 kHz offset 주파수에서 -96.17 dBc/Hz임을 알 수 있다. 이는 Ka-대역의 주파수 합성기임을 감안하면 다른 문헌의 결과에 손색이 없는 결과임을 알 수 있다. 이것을 정리

표 2. 100 kHz offset 주파수에서의 위상 잡음 비교  
Table 2. The comparison of a phase noise at the 100 kHz offset frequency.

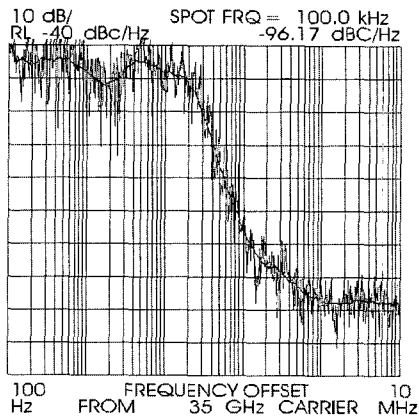
참고 문헌	주파수 [GHz]	위상잡음 [dBc/Hz]	35 GHz 등가 위상잡음	비고
[5]	10	-108	-97.12	ILO
[6]	11	-80.61	-70.56	VCO
[7]	26	-90	-87.42	VCDRO
[8]	16.2	-87	-80.31	10 kHz offset
[9]	13	-70	-61.40	MMIC VCO
[10]	9.5	-110	-98.67	HBT VCO
[22]	21	-96	-91.52	MESFET DRO
Ours	35	-96	-96.00	MMIC VCO



(a) 단일 주파수 특성  
(a) Single spectrum



(b) 주파수 대역 확인  
(b) Frequency tuning range



(c) 위상잡음  
(c) Phase noise

그림 13. 위상 고정되었을 때 제작된 주파수 합성기  
Fig. 13. The performances of the fabricated synthesizer in lock state.



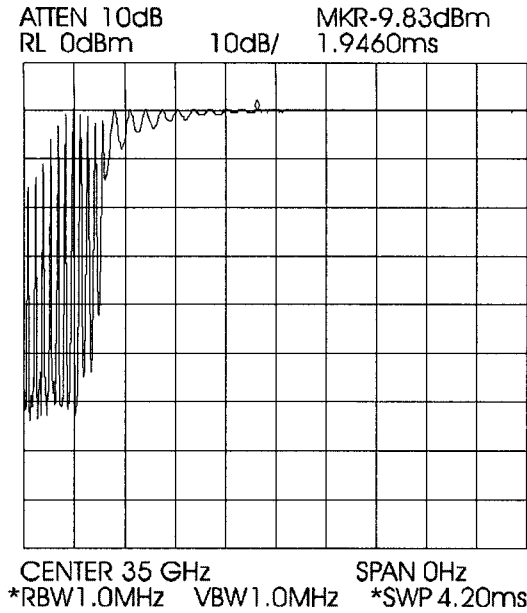


그림 14. 인접 주파수로 변환시 lock time 특성  
Fig. 14. The lock time characteristic to move to near channel frequency.

하여 표 2에 보였다. 다른 논문의 주파수 합성기는 주파수가 각각 달라서 이를 35 GHz로 통일시킨 뒤 계산하였다. 이 때 계산 방법은 이상적으로  $n$ 체배시 위상 잡음이  $n^2$ 로 나빠진다는 것을 이용하여 계산하였다.

그림 14는 스펙트럼 분석기의 SPAN을 0으로 하고 스펙트럼 분석기에 trigger pulse를 인가하여 인접 주파수로 천이되는 lock time 측정 결과를 보여준다. 그림에서 보는 바와 같이 1.94 ms의 lock time을 가지는 것을 알 수 있다.

표 3에는 언급된 참고 문헌의 종합적인 성능을 비교하였다. 참고문헌 [5]와 [22]의 경우, 고정 주파수 원이어서 비교시 다소 문제가 있다. 또한 channel 간격은 프로그램에 의해 변동될 수 있음을 주목해야 할 것이다. SPAN 범위는 VCO와 밀접한 관계가 있어 중요한 비교사항은 되지 않으며, spurious의 경우 시스템의 특성을 나타내게 되는데 다른 결과에 비해 우수함을 알 수 있다. 출력 주파수는 참고문헌 [10]과 유사한 동작 영역을 가지나, 참고문헌 [10]의 경우 9.5 GHz를 4체배한 bread board 형태인 것으로 주파수 합성기의 38 GHz에서의 동작 특성은 잘 언급되어 있지 않아 실제적인 비교가 어려운 점이 있었다.

표 3. Synthesizer간 성능 비교  
Table 3. The comparison of the performances of synthesizers.

참고 문헌	주파수 [GHz]	출력 [dBm]	Span	Channel 간격	Spurious [dBc]	비고
[5]	10	4.53	-	-	-	고정 주파수
[6]	11	7	1 GHz	1.6 MHz	-	
[7]	26	-1	49.6 MHz	24.8 MHz	-23 @13 GHz	
[8]	16.2	0	730 MHz	96.43 MHz	-18@ 8.1 GHz	
[9]	13	3	1.5 GHz	-	-40@ 16.5 GHz	
[10]	38	-	-	-	-	
[22]	21	-	-	109.375 MHz	-38@ 42 GHz	고정 주파수
Ours	35	-8	>500 MHz	8 MHz	-43@ 17.5 GHz	

### III. 결 론

본 논문에서는 Ka-대역 주파수 합성기의 설계 및 제작 과정을 보였다. 특히 부품의 형태를 고려한 배치 방법과 체계적으로 각부의 검증을 위한 측정점의 삽입 등을 통한 복잡한 시스템을 제작하는 기본적인 절차를 제공하였다. 또한 다른 논문과는 달리 소형화에 노력하여 크기 69×50 mm<sup>2</sup>를 가지는 복합 소형화된 모듈을 제작하였다. 제작된 주파수 합성기의 측정 결과는 500 MHz 이상의 주파수 가변 범위와 약 14 dBm 이상의 균일한 출력 전력, 그리고 100 kHz 오프셋 주파수에서 -96.17 dBc/Hz의 위상 잡음 가지는 만족스러운 결과를 얻었다. 이러한 Ka-대역 주파수는 유도 무기, 레이더, 통신 시스템 등에 편리하게 사용될 수 있을 것으로 보인다.

### 참 고 문 헌

[1] D. M. Pozar, *Microwave Engineering*, Second Edition, John Wiley & Sons, Inc., pp. 685-489, 1998.  
[2] A. Brillant, "Understanding phase-locked DRO design aspects", *Microwave J.*, pp. 22-42, Sep. 1999.

- [3] *Sampling Phase Detectors SPD1101-111, SPD-1102-111, SPD1103-111*, Skyworks Solutions, Inc., Available: <http://www.skyworksinc.com>
- [4] *Frequency dividers*, Hittite Microwave Corporation, Available: <http://www.hittite.com>
- [5] 김지혜, 윤상원, "Subharmonic injection locking 방법을 이용한 X-band 주파수 합성기 설계", 한국전자과학회논문지, 15(2), pp. 152-158, 2004년 2월.
- [6] 박동국, 이현수, "레이더 송수신기용 X 밴드 주파수 합성기에 관한 연구", 한국마린엔지니어링학회지, 30(3), pp. 444-448, 2006년 5월.
- [7] 주한기, 정용주, 안동식, 임성준, "26 GHz 대 주파수 합성기 제작에 관한 연구", 추계 마이크로파 및 전파학술대회 논문집, 20(2), 1997년 9월.
- [8] T. A. Bos, F. Bayer, and U. Lott, "A low cost 16.2 GHz Phase noise locked oscillator for wireless LAN", *IEEE MTT-S Digest*, vol. 53, no. 9, pp. 1395-1398, 1997.
- [9] T. Ohira, M. Muraguchi, T. Hirota, K. Osafune, and M. Ino, "Dual-chip GaAs monolithic integration Kubnad phase-locked-loop microwave synthesizer", *IEEE Trans. Microwave Theory and Tech.*, vol. 38, no. 9, pp. 1204-1209, Sep. 1990.
- [10] M. Piloni, A. G. Milani, and M. Gaggioli, "A new millimeter-wave synthesizer for point to point radio supporting high data rates using complex modulation formats".
- [11] *HMC514LP5/514LP5E MMIC VCO*, Hittite Microwave corporation, Available: <http://www.hittite.com>
- [12] *HMC441LH5, Amplifier*, Hittite Microwave Corporation, Available: <http://www.hittite.com>
- [13] *20-40 GHz Frequency Multiplier TGC1430G-EPU*, Triquint Semiconductor, Available: <http://www.triquint.com>
- [14] *19-38GHz Medium Power Amplifier TGA4036*, Triquint Semiconductor, Available: <http://www.triquint.com>
- [15] *LMX2430/LMX2433/LMX2434 PLL IC*, National Semiconductor, Available: <http://www.national.com>
- [16] *3.3V UHF LV-PECL New SAW Oscillator EG2102 CA-P*, Seiko Epson corporation, Available: <http://www.epsondevice.com>
- [17] *MC12093 /2/4/8 1.1 GHz Low Power Prescaler*, Motorola, Inc., 1997, Available: <http://www.motorola.com/sps/>
- [18] *ULTRALAM 2000 Woven Glass Reinforced Microwave Laminate*, Rogers corporation, Available: <http://www.rogerscorporation.com>
- [19] *Thunderline CapFeeds*, Thunderlinez, Available: <http://www.thunderlinez.com>
- [20] *Coaxial Micro Plugs(CMP) upto 7 GHz*, Available: Gigalane <http://gigalane.com>
- [21] 김현미, 양승식, 염경환, 공덕규, 김소수, "국부 발진기 고조파제거를 위한 대역여파기 설계 및 제작", 추계 마이크로파 및 전파학술대회 논문집, 29(2), pp. 290-293, 2006년 9월.
- [22] J. Perez, P. Dorta, and F. Silerra, "A comparison of the performance of three different phase locked oscillators fabricated at 21 GHz", *IEEE MTT-S Digest*, pp. 305-308, 1992.

김 현 미



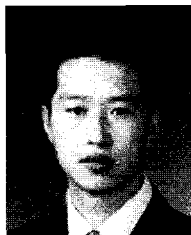
2005년 2월: 충남대학교 전기전자전  
과과 (공학사)  
2005년 3월~현재: 충남대학교 전  
과공학과 석사과정  
[주 관심분야] 초고주파 회로설계  
및 시스템

이 만 희



2007년 2월: 충남대학교 전기정보  
통신공학부 (공학사)  
2007년 3월~현재: 충남대학교 전  
자전과정보통신공학과 석사과정  
[주 관심분야] 초고주파 회로설계  
및 시스템

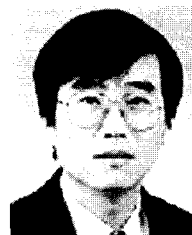
양 승 식



및 시스템, MMIC 설계

2003년 2월: 충남대학교 전과공학  
과 (공학사)  
2005년 2월: 충남대학교 전과공학  
과 (공학석사)  
2005년 3월~현재: 충남대학교 전  
과공학과 박사과정  
[주 관심분야] 초고주파 능동회로

염 경 환



1976년~1980년: 서울대학교 전자  
공학과 (공학사)  
1980년~1982년: 한국과학기술원 전  
기 및 전자과 (공학석사)  
1982년~1988년: 한국과학기술원 전  
기 및 전자과 (공학박사)  
1988년 3월: 금성전기(주) 소재부품  
연구소 선임연구원 (MIC팀 팀장)  
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원  
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원  
1991년 8월: (주) LTI  
1999년 10월~현재: 충남대학교 전과공학과 교수  
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계