

전자 패키징의 플립칩 본딩 기술과 신뢰성

윤정원 · 김종용 · 구자명 · 하상수 · 노보인 · 문원철 · 문정훈 · 정승부

Flip-chip Bonding Technology and Reliability of Electronic Packaging

Jeong-Won Yoon, Jong-Woong Kim, Ja-Myeong Koo, Sang-Su Ha, Bo-In Noh, Won-Chul Moon,
Jeong-Hoon Moon and Seung-Boo Jung

1. 서 언

IT (Information Technology) 산업의 급속한 발전과 새로운 서비스 요구로 인해, 최근 반도체는 무게와 크기 측면에서 기존 반도체에 비해 더욱 작고 가벼운 방향으로 진화하고 있으며, 다양한 데이터의 처리 및 멀티미디어 기능을 구현하기 위해 한 개의 패키지 내에 복수의 소자 또는 칩을 통합시키는 새로운 방식의 반도체 패키징 기술의 수요가 증가되고 있다. 특히, 크기와 무게가 작은 패키지를 요구하는 휴대용 통신기기 및 멀티미디어 기기 시장의 급격한 증가는 고집적의 새로운 반도체 패키지 기술의 수요가 비약적으로 증가될 것임을 보여준다.

전자·정보통신 산업이 이렇게 발전함에 따라 카메라, 게임기, 전화, PDA (Personal Digital Assistants) 등과 같은 멀티미디어 시스템 전자 제품들이 휴대전화로 빠르게 융합화 되고 있다 (Fig. 1참조). 이러한 전자 제품의 진화에 따라 빠른 신호처리가 가능한 고성능 반도체 칩의 개발 및 칩과 칩 또는 칩과 다른 주변 장치들간의 상호 신호전달을 위한 전자패키징 (electronic packaging) 기술의 발전 또한 요구되고 있다. 특히, 전자 및 반도체 패키징 분야에 있어서 재료, 부품, 기판 및 모듈 (module)의 고성능화 (high performance), 고집적화 (high density integration), 다기능화 (multi functionality) 및 소형화 (miniaturization)에 대한 요구가 점차 증대되고 있다. 기술적인 측면에서 90년대 중반까지의 패키징은 칩의 물리적인 보호와 보드와 칩 간의 전기적 연결을 제공하는 것이 중요한 문제였으나, 최근 들어 칩의 고성능화뿐만 아니라 다기능화와 칩 성능의 최적화, 발열처리 문제 등에서 패키징의 역할이 더욱 중요해지고 있다. 최종 시스템에서 패키지의 역할은 IC 칩들이 동작할 수 있도록 파워 (power)와 시그널

(signal)을 전달하며 다른 시스템과 전기적 연결이 가능하도록 채널을 공급하여 인터페이싱 (interfacing)이 가능하도록 하는 동시에, 전체 시스템을 물리적으로 보호하여 신뢰성을 보장하는 역할을 수행한다. 최근 전자 제품의 성능은 칩 자체보다는 패키징 구조에 의한 신호 지연에 의해 결정되고 있으며, 전체 신호지연의 약 50% 가량을 차지하고 있다. 따라서 패키징 기술 개발의 발전이 점차 중요한 문제로 대두되고 있으며, 이를 개선하기 위해서 많은 연구들이 진행되고 있다.

본 고에서는 최신 마이크로 시스템 패키징 분야에서 주목받고 있는 플립칩 (Flip-chip) 본딩의 기술 및 종류, 집착체를 이용한 플립칩 본딩, 초음파를 이용한 플립칩 본딩, 플립칩 패키지의 일렉트로마이그레이션 (electromigration) 현상, 3차원 실장 (3 Dimensional Packaging) 기술 및 금-주석 (Au-Sn) 솔더를 이용한 패키징기술에 대해서 간략히 소개하고자 한다.

2. 플립칩 (Flip Chip) 패키징 기술

칩 제조 분야에서도 칩 자체의 미세화, 집적화가 진행되고 있으며, 이와 함께 패키지 분야에서는 경박단소화(輕薄短小化)된 새로운 패키지의 실장 방법이 개발되어 왔다¹⁻⁵⁾. 부품에 있어 패키지 타입의 변화는 과거의 QFP (Quad Flat Package), BGA (Ball Grid Array)로부터 CSP (Chip Scale Package) 및 플립칩 (Flip Chip) 패키지의 형태로 발전해 오고 있다^{1,2)}. 플립칩 기술

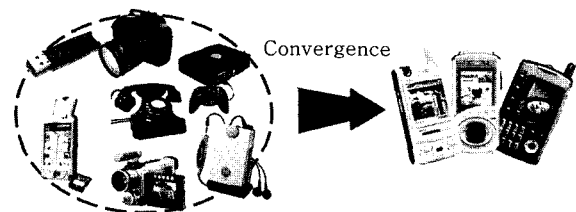


Fig. 1 전자제품의 융합화

이러한 다양한 재료 (solder bump, conductive polymer film and paste 등) 및 방법 (deposition, plating, ball, screen printing 등)을 이용한 접속 (interconnection)을 통하여 칩의 표면이 기판을 향하도록 하여 (face-down) 칩을 기판에 실장하는 기술이다¹⁾. 기존의 와이어 본딩 (wire-bonding) 은 주변정렬 (peripheral array) 방식으로 면정렬 (area array) 방식인 플립칩에 비해 입력 (input)/출력 (output) 신호의 제약이 크다 (Fig. 2 참조).

또한 플립칩 패키지는 소자와 기판 사이의 연결을 최단거리를 이용하여 접합하기 때문에 외부 노이즈 (noise), 캐패시턴스 (capacitance) 및 인덕턴스 (inductance) 값이 기존의 패키지에 비하여 월등히 작기 때문에 고주파 소자 (radio-frequency device)의 패키지에 적합하다.

플립칩 기술은 범프의 재질과 형상 및 접속방식에 따라 주로 다음의 세 가지로 구분된다.

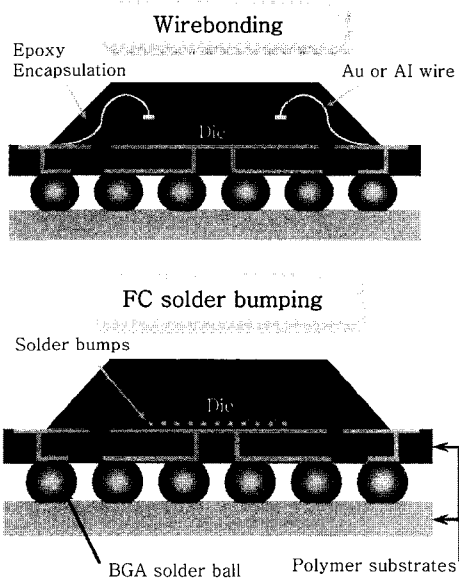


Fig. 2 와이어 본딩과 플립칩 본딩의 비교

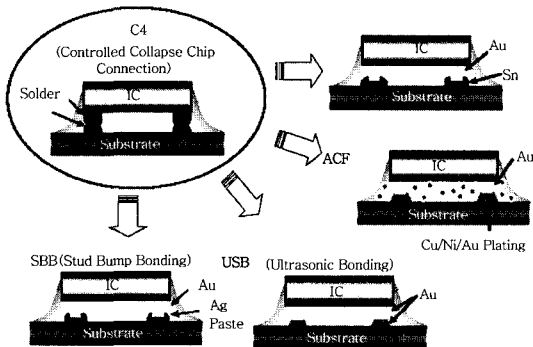


Fig. 3 다양한 플립칩 본딩 방법

- 솔더범프 (Solder bump)를 이용한 플립칩 본딩 기술
- 골드-골드(Au-Au)범프 접속 플립칩 본딩 기술
- 접착제를 이용한 플립칩 본딩 기술

범프 형성 방법은 정류기를 사용하여 금속을 석출하는 전해도금 (electroplating) 방식과 환원제를 사용하여 금속을 석출하는 무전해도금 (electroless-plating) 방식이 있으며, 사용되는 재료에는 골드 (금, Au)와 솔더 등이 있다. 골드를 이용한 범프형성은 골드 전해도금과 골드 스타드 (Au stud) 범프 방법 (Fig. 4참조)이 있으며, 솔더범프를 이용한 플립칩 본딩 방법은 대표적으로 진공 증착 (evaporating), 전해도금법, 스텐실 프린팅 (stencil printing)법, 로봇틱 볼 플레이스

Table 1 골드와 솔더 범프의 특성 비교

	골드 범프	솔더 범프
제조 방법	전해도금법 스타드법	전해도금법 스텐실 프린팅법 진공증착법 Robotic ball placement
특성	- 고밀도 접속 가능 - 환경친화적 재료 - 경박단소 가능 - 기존 SMT 기술과 호환성이 떨어짐 - 주로 Film tape 기판 사용	- 면 배열 방식을 통해 고밀도 가능 - 제작기술이 복잡 - 고주파 및 열적 특성 우수 - 기존 SMT 기술과 호환 - 모든 패키지 방식에 적용가능
적용 분야	PFD 구동회로, 카드형태의 응용 (Smart card, RFID-Tag)	모든 분야에 응용가능
시장 현황	휴대기기용 디스플레이	다양한 응용분야에 사용되므로 시장 규모가 큼

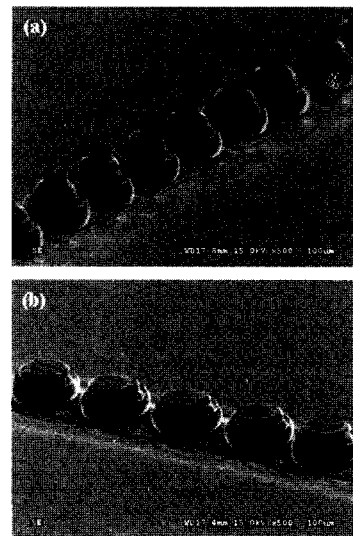


Fig. 4 골드 스타드 범프: (a) 레벨링(leveling) 전, (b) 레벨링 후

먼트 (Robotic ball placement) 방법 등이 있다.

접착제 및 골드-골드 (Au-Au)범프를 이용한 플립칩 본딩 기술에 관하여는 다음절에서 더욱 세부적으로 설명하기로 한다.

2.1 접착제를 이용한 플립칩 본딩

COG (Chip on Glass) 실장공정은 LCD (Liquid Crystal Display) 패널의 유리 기판에 구동 IC 칩을 직접 실장하는 방법이다. COG 실장 공정에서는 IC칩의 점유 면적을 최소화시킬 수 있어 평판 디스플레이의 소형화와 박판화가 가능하고, IC칩과 평판 디스플레이 패널간의 거리 감소에 따른 신호전달 속도의 증가로 해상도의 향상이 가능하다. 현재까지 개발된 COG 기술 중에서 신뢰성 있는 기술로는 이방성 전도성 필름 (ACF, Anisotropic Conductive Film)을 이용하는 방법과 솔더 범프의 리플로우를 이용하는 방법이 있다⁶⁾.

접착제를 사용한 플립칩 본딩기술은 골드범프를 형성한 후, 이방성 전도성 필름 또는 이방성 전도성 접착제 (ACA, Anisotropic Conductive Adhesive) 등의 접착제를 사용하여 접속하는 기술로 주 적용 분야는 디스플레이(display) 분야이다. 디스플레이 구동 칩 (Drive IC)을 유리판넬 (이 경우, COG) 또는 연성회로기판 (이 경우, COF, Chip on Film)상에 실장시 사용한다.

이방성 전도성 필름을 이용한 방법은 폴리머 기지에 금 (Au), 은 (Ag), 니켈 (Ni)등의 금속입자 또는 Au/Ni를 코팅한 플라스틱 입자와 같은 전도성 입자 (conductive particle)가 들어있는 이방성 전도성 필름을 IC 칩과 평판 디스플레이 패널 (COG) 혹은 연성 인쇄회로기판 (COF) 사이에 넣고 열 압착시켜 IC 칩을 실장시키는 방법이다. 이때 도전성 입자를 접착제 매트릭스에 분산시킨 이방성 전도성 필름을 접속을 원하는 두 소자 사이에 삽입한 후 열과 압력을 가하면 접착제에 의해 두 소자는 접착이 되고 동시에 상하 전극 사이에 도전입자가 끼어 통전점을 만들고, 반면 좌우 전극 간에는 매트릭스 수지가 절연체로 작용하여 절연이 유지된다 (Fig. 5와 6 참조).

이방성 전도성 필름의 본딩 프로세스는 1단계로 접합하고자 하는 회로 기판을 로딩 (loading)하고 이때 발생하는 로딩 에러 (loading error)를 비전 (vision)을 이용하여 측정하거나 다음공정에서 보정하며, IC 칩 프리-본딩 (pre-bonding) 공정은 60-90℃에서 압력은 0.3-1MPa로 하며 3-5초간 본딩한 후, 최종 본딩 공정에 150-200℃에서 30-100MPa정도의 압력하에서 본딩을 수행한다.

이방성 전도성 필름을 사용하는 플립칩 본딩 기술에

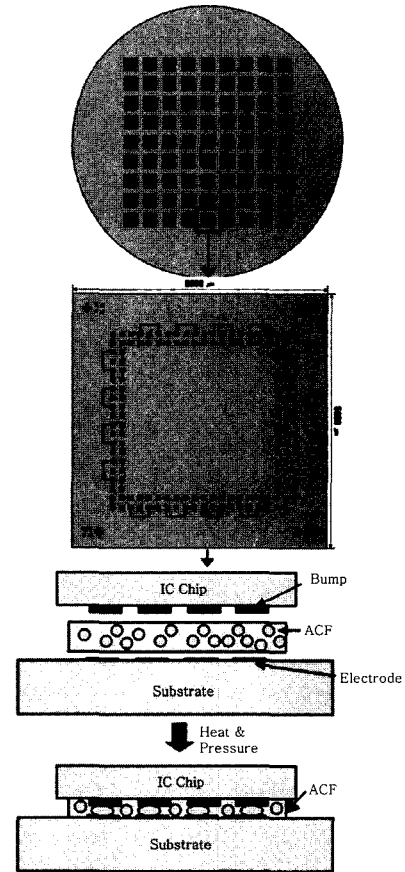


Fig. 5 이방성 전도성 필름(ACF)을 이용한 플립칩 본딩의 모식도

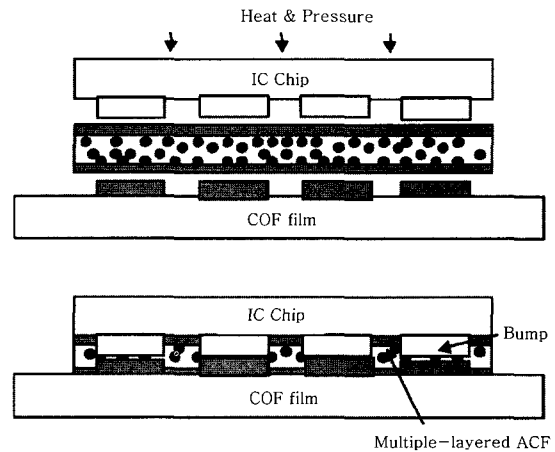


Fig. 6 이방성 전도성 필름을 이용한 COF 본딩의 모식도와 접합 후 COF모듈의 외관 사진

서는 평판 디스플레이 패널 및 기판 전극의 패드와 IC 칩의 범프 사이에 압착된 전도성 입자의 기계적 접촉에 의해 전기가 통하므로 접촉저항이 커서 LCD나 유기 EL 디스플레이 패널의 성능이 저하될 수 있으며, 사용 중에 시간이 지남에 따라 접촉저항이 계속 증가하여 신뢰성 저하가 발생하는 문제점이 지적되고 있다. 또한 열압착 (thermo-compression) 공정 중에 LCD 패널이 응력을 받아 깨질 수 있으며, 접합시 IC 칩의 범프와 평판 디스플레이 패널 및 기판의 패드 사이에 정렬 (alignment) 오차가 발생하여도 자체 정렬 (self-alignment)이 어렵기 때문에 50 μ m이하의 미세 피치를 갖는 IC 칩의 실장에는 적용하기 어려운 단점이 있는 것으로 알려져 있다⁶⁾. Fig. 7과 8에 각각 칩에 패터닝된 골드 범프의 형상과 이방성 전도성 필름을 이용하여 플립칩 본딩된 접합부의 단면 사진을 나타내었다.

2.2 초음파(Ultrasonic)를 이용한 플립칩 본딩

수정 (quartz)과 같은 물질에 기계적인 압력을 가하면 물질 내부에 자장의 변화가 일어나게 되고, 역으로 전기를 가하면 기계적인 변화에 의해 진동이 일어나는 성질이 있다. 이러한 성질을 압전성 (piezoelectricity)이라 하고 압전성 수정 (piezoelectric crystal)에 초당 20,000번의 전기적 스파크 (spark)를 가하면 압전

성 수정은 초당 2만 번의 진동이 일어나게 된다. 즉, 20kHz 주파수(frequency)의 진동이 발생하게 된다. 이러한 압전성 물질은 전기적 에너지를 기계적 에너지로 전환시켜주는 것인데 초음파 시스템 (ultrasonic system) 내에서 이러한 장치를 컨버터 (converter)라 부른다. 이 컨버터에서 발생한 기계적 에너지(진동 에너지)는 혼 (horn)을 따라 지나면서 진동의 세기 (amplitude)가 증폭된다. 금속의 초음파 접합은 높은 주파수의 진동이 사용되며, 고정되어있는 기판위에 칩등을 위·아래 혹은 좌·우로 진동시켜 접합이 이루어진다 (Fig. 9와 10 참조). 초음파에너지에 의해 금속 원자들이 확산 되어 섞이게 되는데, 이때 용융되지 않은 상태에서 반응하여 접합이 되기 때문에 상온접합이 가능하다⁸⁾.

초음파방식에 의한 골드-골드 (Au-Au) 접속 플립칩 본딩기술은 주로 스타드 (stud) 범핑 방법이나 전해도금방법으로 골드 범프를 형성한 후, 패키지의 골드 패드와 초음파로 직접 접속하는 기술로, 주적용 분야는 표면탄성과 필터 (SAW Filter, Surface Acoustic Wave Filter), 온도 보상형 수정 발진기 (TCXO, Temperature Compensation Crystal Oscillator) 등 이동통신 소자에 주로 이용되고 있다.

초음파를 이용한 플립칩 본딩기술은 미세피치 대응이 가능하며 1초 이내의 짧은 시간에 본딩이 가능하고 기계적 및 전기적 특성이 우수한 장점을 가지고 있다. 또

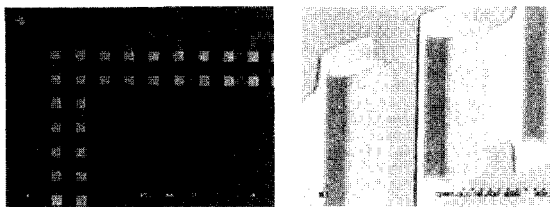


Fig. 7 Au 범프 형상과 패터닝된 범프의 외관 사진

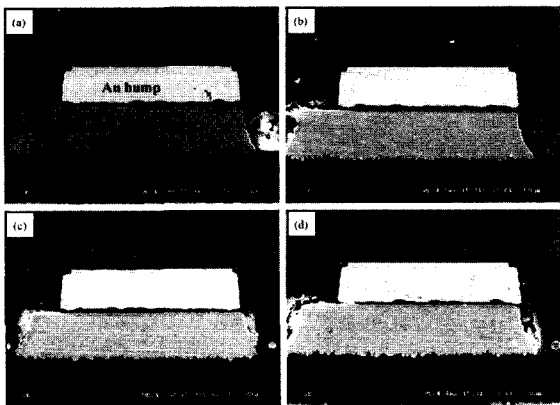


Fig. 8 다른 압력하에서 이방성 전도성 필름(ACF)을 이용하여 본딩된 COF 패키지의 단면사진: (a) 45N, (b) 55N, (c) 65N, (d) 75N⁷⁾

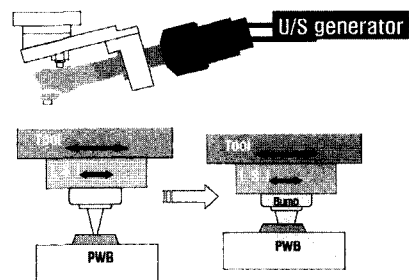
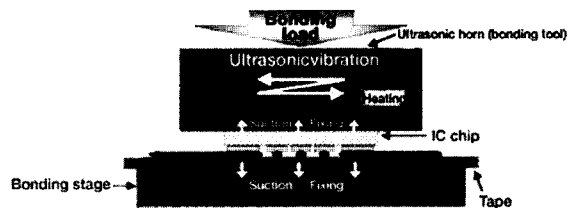


Fig. 9 초음파 플립칩 본딩 모식도

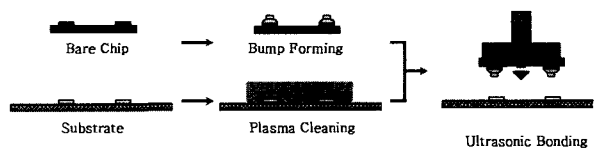


Fig. 10 초음파 플립칩 본딩 공정 모식도

한 열원을 사용하지 않기 때문에 저에너지 및 환경친화적 본딩이 가능하며, 공정 단가가 낮은 장점이 있다. Table 2와 Fig. 11에 다양한 플립칩 본딩방법의 비교와 초음파 본딩법의 장점을 나타내었다. 또한 Fig. 12는 골드 범프가 형성된 CIS (CMOS Image Sensor) 칩과 골드가 도금된 기판을 초음파를 이용하여 플립칩 본딩한 시편의 외관 및 단면사진을 보인 것이다.

한편, COC (Chip on Chip) 구조로 칩을 서로 접속하는 SiP (System in Package)의 양산이 본격화되기 위해서는 비용과 하중이라는 2가지의 해결이 중요하다. 문제는 와이어 본딩에 비해 저렴한 비용과, 칩을 서로 무하중 또는 저하중으로 접속할 수 있는 플립칩 기술이 필요한데, 여기에 바로 저비용과 저하중을 해결하는 기술로 초음파를 사용하는 접합기술이 부상하고 있다⁶⁾. 초음파를 이용하면 와이어 본딩 이하로 비용을 줄일 수 있으며, 수백 개의 범프를 1초 이하의 단시간에 일괄 접합하므로 하나씩 하는 와이어 본딩에 비해

Table 2 다양한 플립칩 본딩법의 비교

	플립칩본딩-솔더	ACA/NCA 플립칩 본딩	초음파 본딩
본딩시간 (sec)	Long (>120sec)	Medium (>10sec)	Short (<1sec)
본딩 온도 (°C)	High (>230°C)	Medium (>150°C)	Low (R.T)
핀 수	>1,000 pin	>700 pin	>700 pin
기계적·전기적 특성	Excellent	Bad	Good
재료비용	High	High	Very low
공정비용	High	Low	Very low
신뢰성	Excellent	Bad	Good

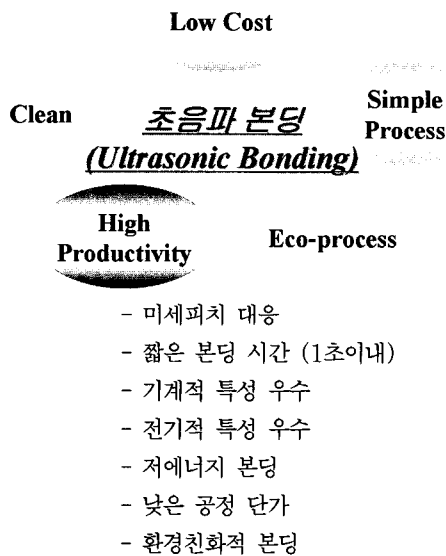


Fig. 11 초음파 플립칩 본딩의 장점

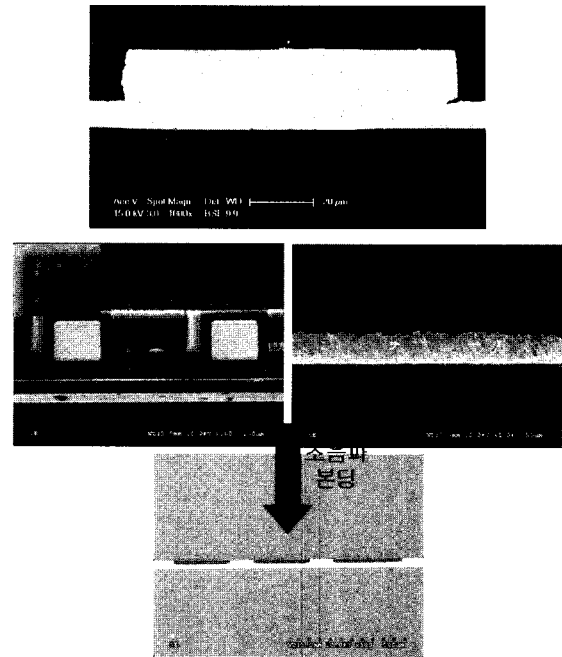


Fig. 12 초음파 플립칩 본딩 단면사진(Au 플립칩 범프/Au 기판)

전체 접합 속도도 빠르고 저하중으로 접합을 할 수 있다.

3. 플립칩 패키지의 일렉트로마이그레이션 (electromigration)현상

일렉트로마이그레이션의 원인은 AI배선 또는 솔더범프 내에 높은 밀도의 전류가 흐를 때, 전계에 의해 가속되어 일정 방향으로 이동하는 수많은 전자들이 금속 원자 또는 이온에 충돌하여 발생하는 운동량에 의해 금속원자 또는 이온이 이동하는 확산현상이다. 직류전원에 의해 금속배선에 인가된 전계 (electric field)는 원자나 이온을 일정방향으로 이동하도록 하는 구동력 (driving force)으로 작용하게 된다. 금속 배선을 통한 금속원자의 이동은 정전기력과 전자풍력으로서 설명되어 질 수 있다. 가전자를 잃고 이온으로 남아 있는 원자에 작용하는 것이 정전기력 (electrostatic force)이다. 즉, 전계는 양전하를 지닌 금속원자를 특정방향으로 가속시킬 수 있는 힘으로서 전류방향과 같은 방향으로 작용한다. 이에 반하여, 전자풍력 (electron wind force)은 전계에 의해 가속되어 운동하는 수많은 전자들이 금속원자에 충돌하여 그들의 운동량을 금속원자에 전달하여 금속원자를 움직이게 한다. 따라서, 금속원자들의 이동은 전자의 이동방향과 같은 방향으로 움직이게 된다.

일렉트로마이그레이션은 이 전자풍력에 의해 발생하게 되는 것이다. 즉, 전류의 방향과 반대방향으로 움직

이는 금속원자들은 양극에서는 금속원자들의 축적이 발생하고 음극에서는 금속원자의 이동으로 인해 공공이 발생하게 되는 것이다. 금속원자의 축적은 이웃하는 배선과의 단락을 발생시킬 수 있는 근본적인 원인이 된다. 또한, 금속원자의 이동으로 발생하는 공공의 발생의 경우에는 공공의 밀집을 유발하고 결국 크랙(crack)을 형성한 후 계면을 따라 성장하여 결과적으로는 회로판단이 야기되어진다 (Fig. 13참조).

일렉트로마이그레이션으로 인한 결함은 충분한 국부 공공의 과포화하에서 공공의 핵형성으로부터 시작된다. 공공이 어느 정도 크기에 이르게 되면 공공 주변의 국부적인 영역에서는 줄열 (Joule heating)로 인해 온도가 상당히 증가하고, 따라서 결함형성 속도를 더욱 가속화시키게 된다. 금속원자의 축적으로 인하여 발생하는 힐락 (hillock) 형태의 결함형성은 원자의 국부적인 축적과 함께 공공에 의한 결함형성 과정과 유사한 방법으로 발생하게 된다. 결국 공공과 힐락의 성장과 연결은 금속배선에서 void-often 또는 hillock-short로 인한 영구적인 결함을 일으키게 된다. 특히 힐락은 금속 배선 외부로 돌출하여 인접한 도체나 다층구조 내 상하 금속배선에서의 단락을 발생시킨다.

플립칩이나 BGA등 전자 패키지에서 전류의 흐름은 솔더 범프를 통하여 전류가 흐르기 때문에 평균 전류 밀도보다 높아지거나 낮아졌다하는 변화가 심하다. 따라서 솔더 범프와 금속 패드 (UBM, under bump metallization)에 국부적인 부분에 전류가 집중되는 커런트 크라우딩 (current crowding) 현상이 발생하게 된다. 미세피치 플립칩의 경우는 높은 전류밀도에서 접합부의 평균 전류밀도보다 높은 커런트 크라우딩이 발생하고 이러한 커런트 크라우딩은 일렉트로마이그레이션 현상이 야기되기 쉽게 더 큰 힘을 발휘하게 되고,

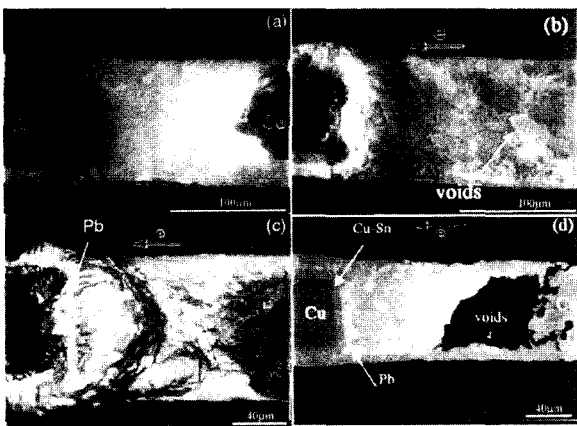


Fig. 13 공정 Sn-Pb 와이어 솔더 표면의 주사 전자 현미경 사진 ($2.8 \times 10^5 \text{A/cm}^2$, 150°C): (a) 전류인가 전, (b) 4일, (c) 8일, (d) (c)시편을 $10\mu\text{m}$ 연마 후 이미지⁹⁾

국부적인 영역에 줄열을 발생시키거나 국부적인 UBM의 용해 (dissolution)를 발생시킨다. Fig. 14와 15는 각각 플립칩 패키지에서 발생하는 일렉트로마이그레이션 현상과 테스트 시편의 모식도를 나타낸 것이다. 또한 Fig. 16은 Sn-37Pb 솔더 범프를 150°C 에서 $2.5 \times 10^4 \text{A/cm}^2$ 의 전류 밀도를 인가한 후 파괴가 일어난 시편을 관찰한 주사 전자 현미경 사진이다.

4. 3차원 실장 (3D Packaging)

급속히 발달하는 반도체 패키징 기술은 시스템의 고기능화, 신호처리의 고속화, 경박단소화 및 휴대화의 요구에 따라 종래의 평면적인 2차원 실장으로부터 부품간의 배선길이를 단축해 실장부품의 면적효율을 극대화하는 3차원 적층 (3D stacked) 실장으로 발전하였다. 3차원 적층형 전자 회로장치는 칩 기능이 다양하고 복잡해짐에도 불구하고 더욱 빠르고 값싼 고밀도 시스템을 개발하는 쪽으로 기술이 진화하고 있다. 기존의 패

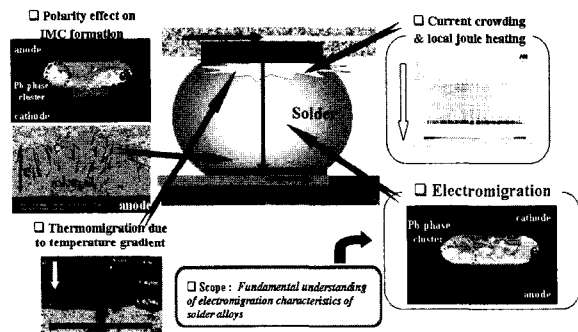


Fig. 14 플립칩 패키지에 있어서 일렉트로마이그레이션 현상

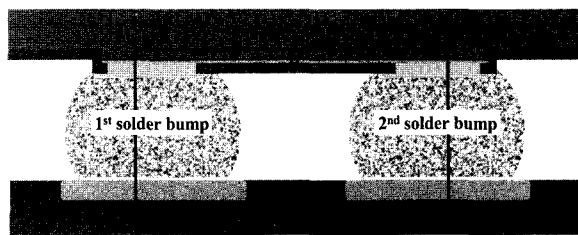


Fig. 15 일렉트로마이그레이션 테스트 시편의 모식도

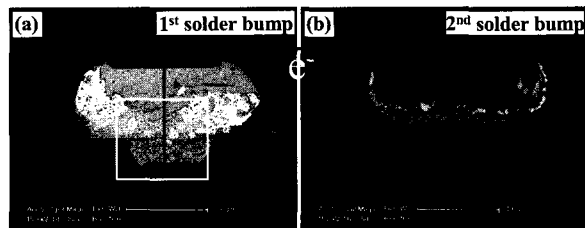


Fig. 16 전류 인가 후 Sn-37Pb 플립칩 솔더 범프의 주사 전자 현미경 이미지 ($2.5 \times 10^4 \text{A/cm}^2$, 150°C)¹⁰⁾

키지가 칩의 크기보다 보통 두 배 이상의 크기를 갖고 있기 때문에 보드 장착 면적이 컸으나, CSP는 1.2배 정도로 낮출 수 있었으며, 단일 칩에서 멀티 칩 패키지 (Multi Chip Package, MCP) 및 단일 칩 패키지와 같은 크기의 라미네이트 (laminate) 기판을 사용해 몇 개의 칩을 적층하는 3차원 적층 패키지의 형태로 발전하고 있다³⁾. 이 패키징 기술은 시스템 인 패키지 (SiP) 기술과도 맞물려 있으며, 향후에는 광통신 부문과도 접목될 것으로 전망된다.

기기 메이커에서의 칩 소형화 요구를 반도체 메이커는 칩의 다층화 기술로 해결해 나가고 있다. 문제는 다양한 종류의 칩을 적층할 수 있도록 칩과 기판의 접속 방식을 확립하는 것이다. 메모리를 적층한 현재의 CSP에서는 와이어 본딩을 사용하여 칩과 기판을 접속하고 있어서 이 기술을 그대로 사용하는 것은 불가능하고, 이를 해결하기 위해 칩을 관통함으로써 서로 간에 접속을 하는 Si 관통전극 구조를 제안하고 이를 메모리뿐만 아니라 논리회로의 SiP에 적용하려는 노력을 경주하고 있다. Fig. 17은 이러한 Si 관통전극 구조의 모식도 및 실제 Cu filling 후 관통전극을 보여준다¹¹⁾.

이 기술을 이용하면 Si 웨이퍼에 홀을 가공하여 관통부에 전극을 형성시킬 경우, Si 웨이퍼의 전면과 후면을 전기적으로 접속할 수 있게 되므로 이른바 3D 패키지의 기초를 확립할 수 있게 된다. 즉, Si 칩을 적층하여 3D 패키지를 형성시킬 때 서로 다른 층에 있는 칩을 관통홀을 통하여 전기적으로 접속시킴으로써 접속에 필요한 물리적 공간을 최소화시킬 수 있게 되고 접속 길이 또한 최소화시킬 수 있게 되는 것이다.

기존의 칩 적층은 칩끼리의 접합은 에폭시 수지 등으로 이루고 전기적 접속은 기존의 본딩법을 이용하여 구현하여 왔는데, 이렇게 할 경우 여러 칩으로부터 접속

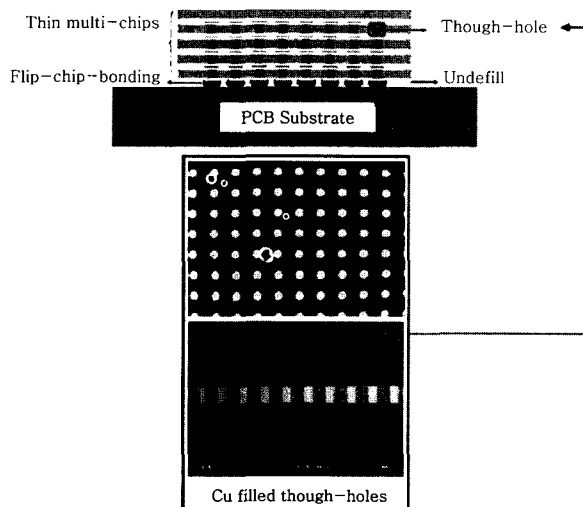


Fig. 17 Cu 관통전극을 이용한 3D 패키지

되는 많은 와이어 때문에 쇼트 (short)가 일어날 확률이 커지고, 또한 와이어 본딩 부분이 차지하는 부피 때문에 패키지의 크기 또한 커질 수밖에 없게 되었다. 이를 해결하기 위하여 개발된 기술이 Si 웨이퍼에 홀을 가공하여 홀 안에 전극을 형성시킴으로써 전기적 접속을 이루어내는 3D 패키징 기술이다¹²⁻¹⁴⁾.

이러한 기술은 이미 인쇄회로기판(PCB) 기판에 via를 형성시켜 3차원으로 전기적 접속을 이루게 하는데 적용된 적이 있지만, Si은 인쇄회로기판과 달리 홀을 가공하기가 상당히 어렵기 때문에 바로 적용되지 못하였다. 하지만 최근 개발된 여러 건식 Si 식각법은 굉장히 향상된 식각 효율과 특유의 이방성으로 인해 홀을 가공하는데 어려움이 없을 정도로 발전되었다. Fig. 18은 ASET (Association of Super-Advanced Electronic Technologies) 연구 그룹에서 메모리 칩에 관통전극을 형성하여 칩간 배선장의 극단화를 피한 초고밀도 3D 칩 적층기술 개발의 모식도와 실제 칩 적층 모듈의 이미지를 나타낸 것이다¹⁵⁾.

5. 전자 패키징에 사용되는 Au-Sn 솔더^{16,17)}

최근 정보 기술의 빠른 발전과 함께, 옵토일렉트로닉 패키지 (optoelectronic package)의 사용이 빠르게 증가하고 있다. 이들 패키지에서, 레이저 다이오드 (laser diode)와 같은 능동소자 (active device)를 패키지 기판과 접합하기 위해서 솔더합금이 일반적으로

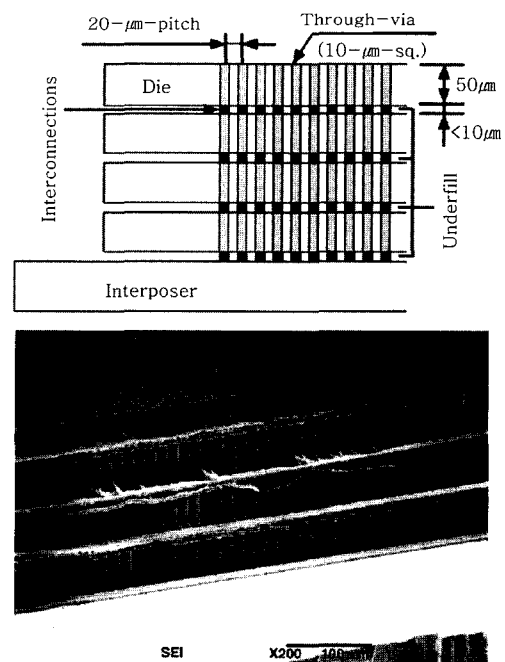


Fig. 18 3D LSI 칩 적층 구조 모식도와 실제 3D 칩 적층 모듈 이미지¹⁵⁾

사용된다. 이러한 광패키지 모듈의 솔더 접합부는 열방산 (heat dissipation), 전기적 접속 (electrical connection), 자기 정렬 효과 (self-aligning effect) 등과 같은 일반적인 기능들뿐 아니라, 사용동안에 레이저 다이오드와 웨이브 가이드 (waveguide) 사이의 정확한 정렬을 유지하게 한다. 따라서 이들 모듈에 사용되는 솔더합금은 열응력 (thermal stress)에 의해 야기되는 크립 변형 (creep deformation)에 대해 우수한 저항성을 가지고 있어야만 한다.

옵토일렉트로닉 패키지에서 본딩을 위해 사용되는 솔더합금은 용점에 따라 소프트 (soft) 솔더와 하드 (hard) 솔더로 나눌 수 있다 (Table 3 참조). 그러나 공정 솔더 (Sn-37wt.%Pb)와 같은 소프트 솔더는 하드 솔더보다 열피로 신뢰성이 떨어지는 특성을 가지고 있다. 다양한 하드 솔더 가운데 특히 Au-20Sn솔더는 비교적 낮은 용점, 낮은 탄성 계수, 높은 열전도도 및 높은 강도로 인해 세라믹 패키지의 Hermetic sealing, 플립칩 범핑, 다이 어태치 (die attachment), 웨이퍼 본딩 (wafer bonding), 실리콘 기판과 광섬유 (optical fiber)의 어셈블리 등 다양한 분야에서 널리 사용되고 있으며 앞으로 그 사용의 증가가 예상된다. (Fig. 19 와 20참조).

■ 공정 금-주석 (Au-20wt.%Sn) 합금의 특성

- 무플럭스 솔더링 (Fluxless soldering)
- Hard솔더중 비교적 낮은 용점
- 낮은 탄성 계수
- 높은 열전도도
- Hermetic seal 생성
- 우수한 기계적·전기적 특성
- Ni, Pd, Pt와의 느린 금속간화합물 생성 속도

6. 결 론

본 고에서는 전자 패키징 기술에 있어서 플립칩 본딩 기술의 종류와 특성, 접착제를 이용한 플립칩 본딩, 초

Table 3 소프트 (Soft) 솔더와 하드 (Hard) 솔더의 비교

소프트 (Soft) 솔더	하드 (Hard) 솔더
- Sn이나 In 합금	- Au-Sn(278℃) - Au-Si(363℃) - Au-Ge(356℃)
- 낮은 용점	- 높은 용점
- 낮은 항복강도	- 높은 항복강도
- 낮은 크립(creep) 저항성	- 뛰어난 열적 안정성
	- 우수한 장기 신뢰성

Hermetic sealing

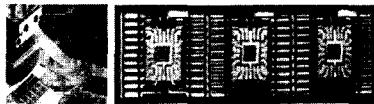


Flip chip bumping

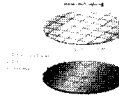


Die attachment

- GaAs/Au-Sn/Alumina



Wafer bonding or die bonding



Optical subassembly

- Optical fiber bonded to Si substrate



Fig. 19 Hermetic sealing이 적용된 세라믹 패키지

Au-Sn Flip chip bumping

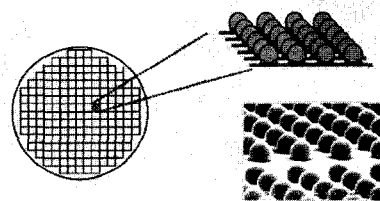


Fig. 20 Au-Sn 솔더를 이용한 플립칩 범핑

음파를 이용한 플립칩 본딩 및 최근 플립칩 패키지의 신뢰성분야에서 이슈화되고 있는 일렉트로마이그레이션 현상, 3D 패키징, 전자 패키징에 사용되는 Au-Sn 솔더 등 최근의 마이크로 시스템 패키징 기술 동향을 간략히 소개하였다. 패키징에 있어서 회로 선폭 및 피치, 칩 크기의 감소, 적층화 및 경박단소화의 추세에 따라 패키징에 대한 기계적·전기적·열적 신뢰성 요구 및 새로운 접합법에 대한 요구가 증대되고 있다. 패키징은 재료와 공정을 망라하는 종합학문으로서, 패키징 자체 뿐만 아니라 전체 공정에 있어서 계획 및 설계·디자인, 조인트 공정 및 성능과 신뢰성 또한 감안되어야 할 것이다. 패키징 기술은 반도체 후 공정으로서, 반도체 산업에서 우위를 차지하고 있는 국내 기반을 근거로 한다면 차세대 성장 동력 및 새로운 cash cow로서의 역할을 담당할 수 있을 것으로 기대된다.

후 기

본 연구의 일부는 과학기술부 기초과학연구사업 (R01-2004-000-10572-0)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

참 고 문 헌

1. J.H. Lau : Low Cost Flip Chip Technologies, McGRAW HILL BOOK Co., 2001, 1-17, 27-90
2. J.H. Lau : Solder Joint Reliability of BGA, CSP, Flip Chip, and Fine Pitch SMT Assemblies, McGRAW HILL BOOK Co., 1997, 1-9
3. J.W. Yoon, W.C. Moon and S.B. Jung: Core technology of electronic packaging, Journal of KWS, **23-2** (2005), 116-123 (in Korean)
4. J.W. Kim, D.G. Kim, W.C. Moon, J.H. Moon, C.C. Shur and S.B. Jung: Application of MEMS technology in microelectronic packaging, Journal of KWS, **24-2** (2006), 142-149 (in Korean)
5. T. Velten, H. Heinrich Ruf, D. Barrow, N. Aspragathos, P. Lazarou, E. Jung, C.K. Malda, M. Richter, J. Kruckow, and M. Wackerle : Packaging of Bio-MEMS: Strategies, Technologies, and Applications, IEEE Transactions on Advanced Packaging, **28** (4), (2005), 533-546
6. 전자부품연구원 전자정보센터 (web site:eic.re.kr)
7. J.W. Kim and S.B. Jung : Effect of bonding force on the reliability of the flip chip packages employing anisotropic conductive film with reflow process, Materials Science and Engineering A, **452-453**, (2007) 267-272
8. O.V. Abramov : High-Intensity Ultrasonics, Theory and Industrial Applications, Gordon and Breach Science Publishers, 1998, 604-625
9. Q.T. Huynh, C.Y. Liu, C. Chen, and K.N. Tu : Electromigration in eutectic SnPb solder lines, Journal of Applied Physics, **89** (2001), 4332-4335
10. S.S. Ha: Master degree thesis, Sungkyunkwan University, (2006)
11. D.G. Kim, J.W. Kim, S.S. Ha, J.P. Jung, Y.E. Shin, J.H. Moon, and S.B. Jung: Fabrication of through-hole interconnect in Si wafer for 3D package, Journal of KWS, **24-2** (2006), 172-178 (in Korean)
12. Y.K. Tsui and S.W. Ricky Lee : Design and fabrication of a flip-chip-on-chip 3-D packaging structure with a through-silicon via for underfill dispensing, IEEE Transactions on Advanced Packaging, **28** (2005), 413-420
13. K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. Yokoyama, and M. Fukazawa : Optimization for chip stack in 3-D packaging, IEEE Transactions on Advanced Packaging, **28** (2005), 367-376
14. B. Morgan, X. Hua, T. Iguchi, T. Tomioka, G.S. Oehrlein, and R. Ghodssi : Substrate interconnect technologies for 3-D MEMS packaging, Micro-electronic Engineering, **81** (2005), 106-116
15. K. Takahashi, M. Umemoto, N. Tanaka, K. Tanida, Y. Nemoto, Y. Tomita, M. Tago, and M. Bonkohara : Ultra-high-density interconnection technology of three-dimensional packaging, Microelectronics Reliability, **43** (2003), 1267-1279
16. J.W. Yoon: Ph.D degree thesis, Sungkyunkwan University, (2006)
17. J.W. Yoon, H.S. Chun and S.B. Jung : Reliability analysis of Au-Sn flip-chip solder bump fabricated by co-electroplating, Journal of Materials Research, **22** (5), (2007)



- 윤정원(尹貞元)
- 1977년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, 패키지 신뢰성
- e-mail : jwy4918@skku.edu



- 구자명(具滋銘)
- 1978년생
- 성균관대학교 신소재공학과
- 전자 패키징, 초음파 접합
- e-mail : dolmory@empal.com



- 김종웅(金鍾雄)
- 1978년생
- 성균관대학교 신소재공학과
- 전자 패키징, RF 패키징
- e-mail : wyjd@skku.edu



- 하상수(河相守)
- 1978년생
- 성균관대학교 신소재공학과
- 전자 패키징, 일렉트로마이크레이션
- e-mail : abba888@skku.edu



- 노보인(盧寶仁)
- 1976년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, 패키지 신뢰성
- e-mail : nohbi@skku.edu



- 문정훈(文貞勳)
- 1956년생
- 수원과학대학 기계공학과
- 전자 패키징, 초음파 접합
- e-mail : jhmoon@ssc.ac.kr



- 문원철(文元鐵)
- 1967년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 나노 패키징, 실리콘 MEMS
- e-mail : wcmoon@skku.edu



- 정승부(鄭承富)
- 1959년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, 패키지 신뢰성, 마찰교반접합
- e-mail : sbjung@skku.ac.kr