

위성 DMB 중계기용 클럭 재생 모듈 설계 및 제작

Design and Fabrication of Clock Recovery Module for Gap Filler of Satellite DMB

홍 순 영 · 신 영 섭 · 홍 성 용

Soon Young Hong · Yeoung Seop Shin · Sung Yong Hong

요 약

위성 DMB용 중계기는 위성으로부터 수신된 2.304 MHz의 기준 신호를 이용하여 10 MHz의 클럭 신호를 재생하여 시스템 동기 신호로 사용한다. 본 논문에서는 기준 신호가 잡음에 의해 흔들리거나 끊기더라도 안정된 신호를 재생할 수 있는 클럭 재생 모듈을 제안하였다. 제안된 모듈은 기존 방식에 비해 저가로 구현이 가능하며, 정기적인 주파수 조정이 필요 없는 장점이 있다. 본 논문에서는 클럭 재생용 IC를 CPLD를 이용하여 구현하였고, lock time을 짧게 하면서 동시에 출력 주파수의 hold over 시간을 늘리기 위해 새로운 루프 필터를 적용하였다. 제작된 모듈은 출력 주파수의 안정도가 0.01 ppm 이내일 경우 hold over 시간이 11초, 출력 전력은 -0.66 dBm, 위상잡음은 100 Hz 오프셋에서 -113 dBc/Hz로 측정되었다.

Abstract

The clock recovery module of gap filler for satellite DMB is proposed. Proposed module sustains the output frequency of 10 MHz whether the received signal from the satellite is unstable or cut off within 0.5 sec. The advantages of this module is without frequency tuning at regular interval and low material cost. This module is fabricated by using CPLD as clock recovery IC and new type of loop filter for satisfying the fast lock time and long hold over time simultaneously. The measured performance of the fabricated module has a holdover time of 11 sec at frequency stability less than 0.01 ppm, and phase noise of -113 dBc/Hz at 100 Hz offset.

Key words : S-DMB, Gap Filler, Clock Recovery Module, Hold Over, PLL, Gap Filler

I. 서 론

위성 DMB는 이동통신 단말기를 이용하여 TV 시청이 가능한 서비스로, 이동통신과 마찬가지로 음영 지역에서 수신이 가능하도록 중계기(gap filler)를 사용한다. 최근 서비스되고 있는 위성 DMB 시스템의 전체 구성도를 그림 1에 나타내었다. 먼저 방송국에서 영상 및 음성 신호를 13.824~13.884 GHz 대역으로 주파수 상향한 후 TDM 방식으로 위성으로 송신한다. 위성에서는 수신된 신호를 12.214~12.239

GHz 대역의 TDM 신호와 2.63~2.655 GHz 대역의 CDM 신호로 바꾸어 지상으로 송신한다. 이때 CDM 신호는 단말기에서 직접 수신을 한다.

그리고 TDM 신호는 중계기에서 CDM 신호로 변환된 후 음영 지역의 단말기로 전송된다. 따라서 어느 지역에서나 선명한 화질의 TV 시청이 가능하기 위해서는 다수의 중계기를 설치하여 음영 지역을 제거해야 한다.

그림 2에 위성 DMB 중계기의 구성도를 나타내었다. 중계기는 위성 안테나에서 Ku 대역 신호를 LNB

충남대학교 전파공학과(Dept. of Electrowave Engineering, Chungnam National University)

· 논문 번호 : 20070104-004

· 수정완료일자 : 2007년 3월 14일

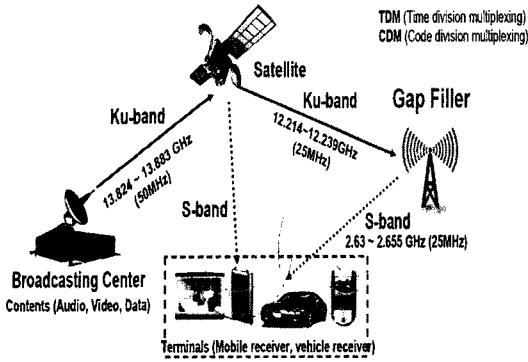


그림 1. 위성 DMB 시스템
Fig. 1. Satellite DMB system.

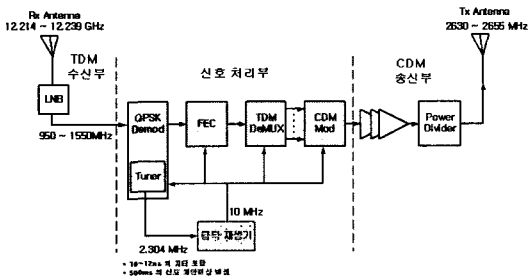


그림 2. 위성 DMB 중계기 구성도
Fig. 2. Block diagram of gap filler.

를 이용하여 950~1,550 MHz 대역으로 바꿔주는 TDM 수신부와 TDM 신호를 CDM 신호로 변경하는 신호 처리부, CDM 신호를 증폭하고 송신 안테나를 통해 음영 지역으로 송신하는 CDM 송신부로 구성된다. 이때 중계기는 전체 시스템의 동기 신호인 10 MHz가 필요하다. 현재 신호 처리부의 QPSK 복조기에서 출력되는 2.304 MHz 기준 신호와 10 MHz VCO를 PLL로 locking시켜 10 MHz 동기 신호를 만드는 방법을 사용하고 있다^[1]. 그러나 위성에서 수신된 2.304 MHz 구형파 신호는 10~12 ns의 심한 지터가 포함되어 있으며, 약 0.5 sec 동안 ± 20 kHz 정도 변동하거나 불규칙하게 신호가 끊기는 현상이 발생한다. 이러한 신호를 PLL의 기준 신호로 사용할 경우, PLL의 lock이 풀리거나 주파수가 흔들리는 등 문제점이 발생한다. 이 경우 기준 신호가 끊긴 시간 동안 0.01 ppm 이내의 주파수 안정도를 갖는 VCO를 사용하면 lock이 풀리는 현상을 방지할 수 있다. 그러나 주파수 안정도가 매우 높은 VC-OCXO는 매우

고가이며, 정기적으로 주파수를 조정해야 하는 단점이 있다.

따라서 본 논문에서는 불안정한 기준 신호에서도 저가의 VC-TCXO를 사용하여 안정된 10 MHz 클럭 신호를 발생하는 새로운 방식을 제안하였다. 제안된 회로는 기본적으로 PLL 방식을 사용하였다. 먼저 2.304 MHz의 PLL 기준 신호가 심하게 변동하거나 끊겼을 경우에도 10 MHz의 출력 신호가 가능한 길게 유지하기 위하여 루프 필터의 차단 주파수를 낮추었다. 다시 기준 신호가 안정되어 입력되면 10 MHz 출력 주파수와 위상이 일치하는 시점에서 루프 필터를 연결시켜 다시 정상적인 PLL 회로가 동작하도록 구성하였다. 그러나 루프 필터의 차단 주파수를 낮추기 위해 캐패시터의 용량 값을 크게 하면 충전 시간이 길어져 초기 lock time이 느려지는 문제가 발생한다. 따라서 본 논문에서는 캐패시터에 기준 전압을 인가하여 충전 시간을 줄임으로써 이 문제를 개선하였다.

II. 클럭 재생 모듈 설계

본 논문에서는 그림 3과 같이 클럭 재생 모듈을 구성하였다.

클럭 재생 모듈은 클럭 재생 IC(CPLD, ATF1504-AS), Charge Pump, 스위치, 루프 필터, 버퍼, VC-TCXO로 구성된다. 클럭 재생 IC에서는 위상 비교를 위해 기준 신호와 발진기 출력은 분주기를 통해 같은 주기의 펄스인 16 kHz로 만든다. 출력된 신호는 두 개의 위상비교기(PD1, PD2)를 통해 비교된 펄스를 출력한다. PD1은 모든 edge에서 비교된 펄스를 출력시키며, 클럭 재생 IC 내부의 제어 회로를 구동

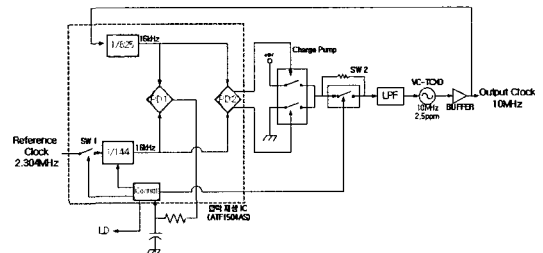


그림 3. 클럭 재생 모듈 구성도
Fig. 3. Block diagram of clock recovery module.

한다. PD2는 rising edge에서만 펄스를 비교하고 charge pump와 연결되어 VC-TCXO를 제어할 수 있는 전압 펄스로 출력된다. 기준 신호가 변동하거나 입력되지 않을 때 PD의 출력과 루프 필터를 끊도록 클럭 재생 IC에서 스위치 2를 제어한다. 그리고 스위치 2의 출력 신호는 루프 필터를 거쳐 VC-TCXO를 제어한다. 이 과정을 반복하여 발진기 출력 신호의 위상이 기준 신호와 같도록 만든다. 클럭 재생 모듈이 안정된 후 기준 신호가 변동하거나 끊어졌을 때 PD1은 고속으로 변동된 신호를 검출하여 제어 회로에 알려 즉시 스위치 1과 스위치 2를 차단한다. 이때 루프 필터의 캐패시터에 충전된 전압으로 VC-TCXO의 제어 전압을 유지하며, 기준 신호인 2.304 MHz가 안정되면 제어 회로는 기준 신호의 카운터를 초기화하고 1초 후에 10 MHz의 카운터 출력 신호가 변동하는 순간(위상이 10 MHz와 2.304 MHz가 일치하는 순간) PD2와 스위치 1의 기능은 정상화 되고 스위치 2는 차단되어 작은 충전 전압이 루프 필터로 인가되게 한다. 그리고 charge pump가 동작을 시작한 1초 후에 스위치 2를 연결한다. 이러한 과정을 통해 PD2의 출력은 거의 0이 되어, 클럭 재생 모듈은 안정된 10 MHz의 신호를 유지하게 된다. 그림 4에 클럭 재생 모듈의 타이밍 도를 나타내었다.

2-1 클럭 재생 IC

그림 5에 ATF1504AS를 이용한 클럭 재생 IC의 구성도를 나타내었다. 클럭 재생 IC는 R 카운터와 N 카

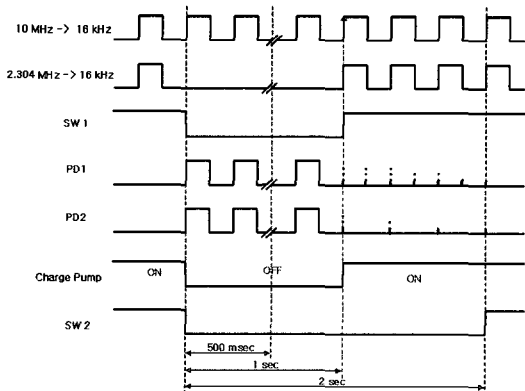


그림 4. 클럭 재생 모듈의 타이밍도
Fig. 4. Timing diagram of clock recovery module.

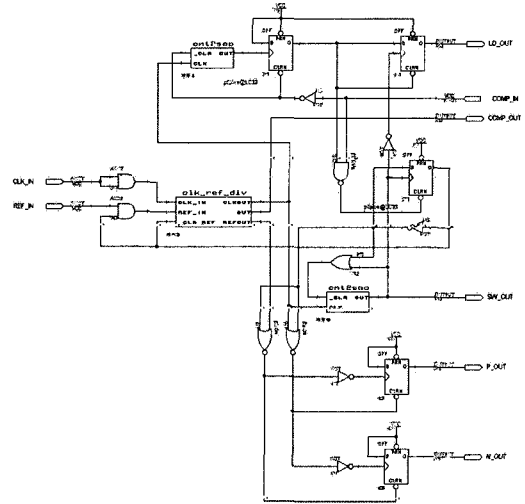


그림 5. ATF1504AS를 이용한 클럭 재생 IC의 구성도
Fig. 5. Block diagram of clock recovery IC.

운터의 위상을 비교하기 위한 위상 비교기와, lock/unlock을 확인하여 스위치를 on/off 하기 위한 제어부로 구성된다. 클럭 재생 IC에서는 먼저 기준 신호 2.304 MHz를 R 카운터, feedback 신호인 10 MHz를 N 카운터를 이용하여 분주하여 16 kHz로 일치시킨다. 이때, R카운터는 144, N카운터는 625이다. 16 kHz는 두 신호의 최대공약수로서 위상 비교가 가능한 주파수 중 가장 높은 주파수이다. 비교 주파수가 낮아질수록 위상 비교 속도가 느려지고, 오차가 발생할 가능성이 높다. 분주기는 T-플립플롭을 직렬로 구성하였고, 두 신호의 위상 비교 신호를 검출하기 위해 두 종류의 PD를 설계하였다. PD는 내부 제어용과, 클럭 재생 IC의 외부로 출력되어 charge pump용으로 나눌 수 있다. 내부 제어용으로 사용되는 PD는 X-OR 게이트를 사용하며, 모든 edge에서 위상 비교를 하여 반응 속도를 빠르게 구현하였다. 또한 외부 charge pump와 연결되는 PD는 rising edge 부분만 비교하도록 하였다.

2-2 Charge Pump

클럭 재생 IC의 위상비교기에서 출력된 비교 펄스가 루프 필터에 입력되기 위해서는 하나의 출력으로 변환시켜 주어야 한다. 본 논문에서는 Max4636 IC를 이용하였는데, 동작 원리는 다음과 같다. S/W1-P에 입력된 비교 펄스의 positive 펄스와 S/W1-N에 입력된

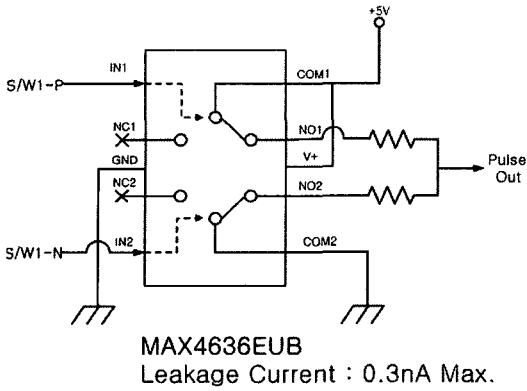


그림 6. Max4636을 이용한 charge pump 회로
Fig. 6. Circuit diagram of charge pump.

비교 펄스의 negative 펄스에 의해 두 스위치를 제어함으로써, 두 신호가 합쳐진 전압 펄스가 출력된다. 그림 6에 설계한 charge pump의 회로를 나타내었다.

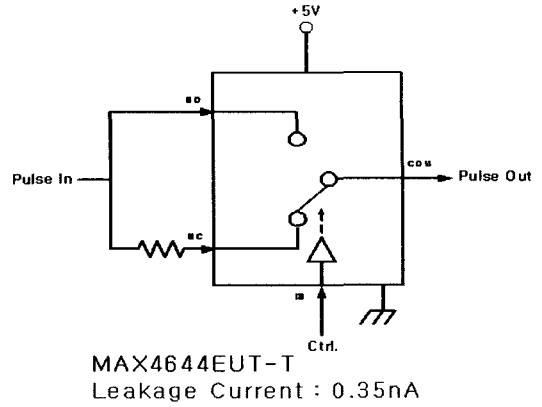
2-3 스위치

그림 7에서는 루프 필터의 입력 신호를 제어하기 위해 사용한 MAX4644EUT-T의 스위치 회로와 타이밍 도를 나타내었다. 2.304 MHz 기준 신호가 정상적 일 때에는 정상 신호가 출력되고, 동기 신호가 끊어졌거나 unlock 상태일 때에는 저항을 통해 작은 신호만 루프 필터로 출력되도록 스위치를 동작시킨다. charge pump, 스위치 1과 스위치 2를 그림 7에 나타낸 타이밍도와 같이 루프 필터의 캐패시터가 충전된 뒤면서 VC-TCXO를 제어한다.

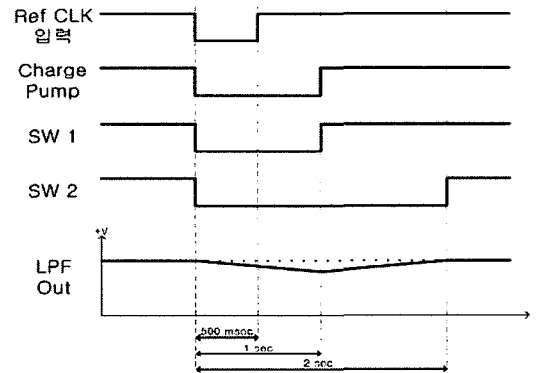
2-4 루프 필터

일반적인 PLL 회로에 사용된 루프 필터를 그림 8에 나타내었다^[2]. 이러한 루프 필터는 캐패시터에 충전된 전압의 방전 시간이 길며, 동시에 lock time을 빠르게 할 수 없다. 따라서 클럭 재생 모듈에 필요한 hold over 기능 및 기준 신호의 지터의 영향을 줄이기 어렵다. 또한 기준 신호가 끊어졌다 다시 연결될 때 주파수 안정도가 떨어진다.

그림 9에 클럭 재생 모듈에 적합한 새로운 루프 필터 회로를 나타내었다. 지터의 영향을 최소화 하고 hold over 시간을 늘리기 위해 용량이 큰 캐패시터를 사용하였고, 초기 안정화 시간을 줄이기 위해



(a) 스위치 회로
(a) Switch cycle



(b) 타이밍 도
(b) Timing diagram

그림 7. 스위치 회로 및 타이밍 도
Fig. 7. Circuit and timing diagram of switch.

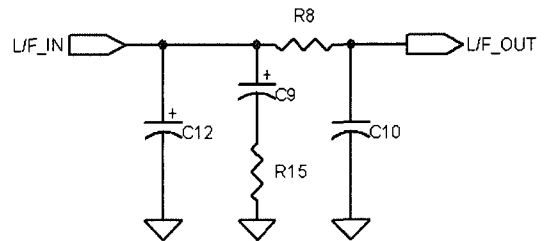


그림 8. 일반적인 루프 필터 회로
Fig. 8. Typical loop filter circuit of PLL.

기준 전압을 인가하였다. 기준 전압은 실험적으로 VC-TCXO가 안정되는 제어 전압보다 약 0.1 V 낮게 설정하였다.

그림 10에 설계된 클럭 재생 모듈의 회로도도 나

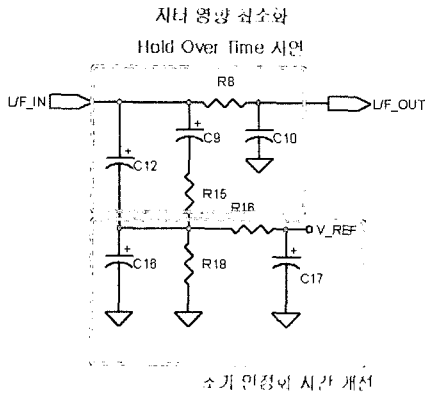


그림 9. 클럭 재생 모듈용 루프 필터 회로
Fig. 9. Loop filter circuit for clock recovery module.

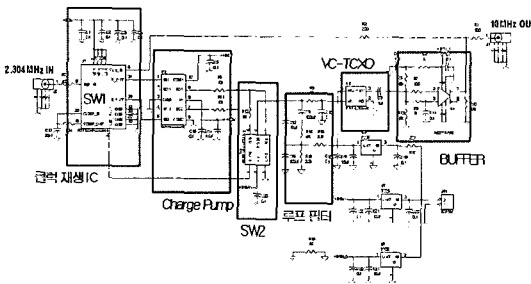


그림 10. 클럭 재생 모듈 회로도
Fig. 10. Circuit diagram of clock recovery module.

타내었다.

Ⅲ. 클럭 재생 모듈 제작 및 측정

설계된 클럭 재생 모듈을 두께가 0.8 mm, FR-4 기판을 사용하여 제작하였다. 이때 크기는 60×60×7 mm이다. 클럭 재생 IC는 CPLD를 사용하였고, charge pump 및 스위치는 누설 전류가 적은 아날로그 스위치를 사용하였다. 적용된 VC-TCXO의 주파수 안정도는 2.5 ppm이다. 그림 11에 제작된 클럭 재생 모듈 사진을 나타내었다.

먼저 클럭 재생 모듈의 10 MHz 출력 주파수의 위상잡음 측정하였는데 -113 dBc/Hz@100 Hz의 값을 얻었다. 그림 12에 측정된 위상 잡음을 나타내었다.

그림 13에 측정된 주파수 안정도를 나타내었다. 실제 중계기에서는 클럭 재생 모듈의 10 MHz를 2,560.0 MHz PLL의 기준 신호로 사용한다. 따라서 본 논문에서는 2,560 MHz의 PLL을 구성하여 주파수

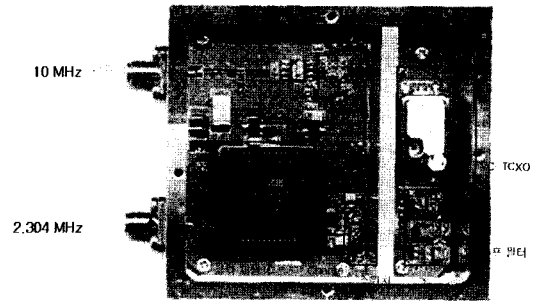


그림 11. 제작된 클럭 재생 모듈
Fig. 11. Fabricated clock recovery module.

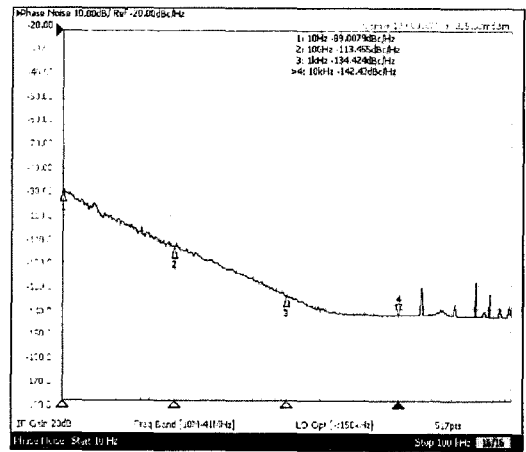


그림 12. 재생된 클럭의 위상 잡음 특성
Fig. 12. The phase noise characteristics of recovery clock.

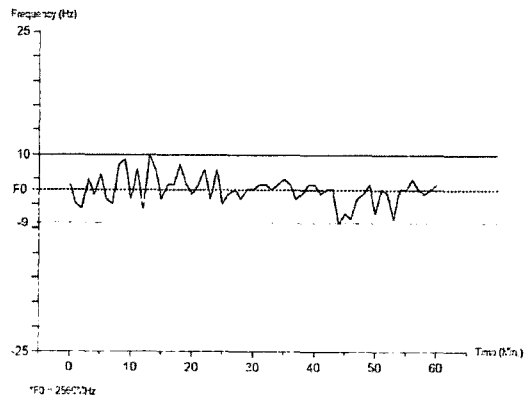


그림 13. 주파수 안정도 측정 결과
Fig. 13. Measured data of frequency stability.

변화를 측정하였다. 기준 신호를 1분을 주기로 0.5 sec씩 차단시킨 후, 기준 신호를 재인가하여 0.5 sec

표 1. 설계 규격 및 측정 결과

Table 1. Designed specification and measured data.

항 목	설계 규격	측정 결과
기준 입력 주파수	2.304 MHz	2.304 MHz
출력 주파수	10 MHz	10 MHz
출력 전력	0 dBm	-0.66 dBm
위상 잡음	-105 dBc/Hz @100 Hz	-113 dBc/Hz @100 Hz
Hold Over 시간	500 msec	11 sec
안정도	±25 Hz @2,560 MHz	±10 Hz @2,560 MHz

지난 후 측정하였다. 측정 결과 2,560 MHz 중심 주파수에서 + 10 Hz ~ -9 Hz 이내의 주파수 안정도를 나타내었다.

표 1에 설계 규격과 측정 결과를 나타내었다. 위상 잡음과 hold over 시간, CNR, 안정도는 설계 규격보다 좋은 결과를 얻었다.

IV. 결 론

위성으로부터 수신된 2.304 MHz의 신호를 이용하여 10 MHz 동기 주파수를 얻기 위한 위성 DMB용 클럭 재생 모듈을 제안하였다. 제안된 모듈은 주파수 안정도가 매우 높은 OCXO 대신 TCXO를 이용하

홍 순 영



2006년 8월: 충남대학교 전기정보통신공학부 (공학사)
2006년 8월~현재: 충남대학교 전자공학과 석사과정
[주 관심분야] 초고주파 회로 및 시스템

기 때문에, 저가로 제작이 가능하며, 정기적인 주파수 조정이 필요 없는 장점이 있다. 클럭 재생용 IC는 CPLD로 구현하였고, lock time을 짧게 하면서 동시에 hold over 시간을 늘리기 위한 새로운 루프 필터를 제안하였다. 제작된 클럭 재생 모듈을 측정한 결과, 주파수 안정도가 0.005 ppm 이하, 출력 전력은 -0.66 dBm, 위상잡음은 100 Hz 오프셋에서 -113 dBc/Hz로 나타났다. 그리고 초기 안정화 시간은 29 sec, CNR은 3.5로 매우 우수한 특성을 나타내었다. 제작된 클럭 재생 모듈은 높은 주파수 안정도와 hold over 기능을 가지고 있기 때문에, 기준 주파수의 변동이나 단절 시에도 안정된 동기 주파수를 얻을 수 있다. 따라서 본 논문에서 제안한 클럭 재생 모듈은 중계기뿐 아니라 기타 무선 시스템에도 활용이 가능할 것으로 기대된다.

참 고 문 헌

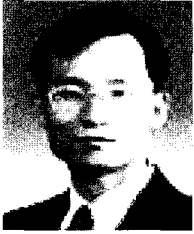
- [1] D. H. Wolaver, *Phase Locked Loop Circuit Design*, Prentice-Hall, 1991.
- [2] William O. Keese, "An analysis and performance evaluation of a passive filter design technique for charge pump phase lock loop", *National Semiconductor Application Note*, May 1996.

신 영 섭



2007년 2월: 충남대학교 전기정보통신공학부 (공학사)
2007년 2월~현재: 충남대학교 전자공학과 석사과정
[주 관심분야] RF 송·수신기

홍 성 용



1985년 2월: 충남대학교 전자공학과 (공학사)

1988년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

1994년 8월: 한국과학기술원 전기 및 전자과 (공학박사)

1996년 9월~현재: 충남대학교 전

파공학과 부교수

[주 관심분야] 초고주파 수동 및 능동회로 설계