

Fabrication Process of Single Flux Quantum ALU by using Nb Trilayer

J. H. Kang^{*,a}, H. S. Hong^a, J. Y. Kim^a, K. R. Jung^b, H. R. Lim^b, J. H. Park^b, T. S. Hahn^b

^a University of Incheon, Incheon, Korea

^b Korea Photonics Technology Institute, Gwangju, Korea

Nb Trilayer를 사용한 단자속양자 논리연산자의 제작공정

강준희^{*,a}, 홍희송^a, 김진영^a, 정구락^b, 임해용^b, 박종혁^b, 한택상^b

Abstract

For more than two decades Nb trilayer (Nb/Al₂O₃/Nb) process has been serving as the most stable fabrication process of the Josephson junction integrated circuits. Fast development of semiconductor fabrication technology has been possible with the recent advancement of the fabrication equipments. In this work, we took an advantage of advanced fabrication equipments in developing a superconducting Arithmetic Logic Unit (ALU) by using Nb trilayers. The ALU is a core element of a computer processor that performs arithmetic and logic operations on the operands in computer instruction words. We used DC magnetron sputtering technique for metal depositions and RF sputtering technique for SiO₂ depositions. Various dry etching techniques were used to define the Josephson junction areas and film patterning processes. Our Nb films were stress free and showed the T_c's of about 9 K. To enhance the step coverage of Nb films we used reverse bias powered DC magnetron sputtering technique. The fabricated 1-bit, 2-bit, and 4-bit ALU circuits were tested at a few kilo-hertz clock frequency as well as a few tens giga-hertz clock frequency, respectively. Our 1-bit ALU operated correctly at up to 40 GHz clock frequency, and the 4-bit ALU operated at up to 5 GHz clock frequency.

Keywords : Nb, trilayer, flux, quantum, arithmetic, logic, superconductivity

I. 서론

초전도 전자회로는 Rapid Single Flux Quantum

(RSFQ)회로가 등장한 이후 많은 연구자들에 의해 활발한 연구가 진행되어 왔다 [1]. 가장 핵심적인 회로요소인 조셉슨 접합의 제작에는 여러 가지 방법들이 제안되고 사용되어 왔으나 현재로서는 Nb trilayer (Nb/Al₂O₃/Nb)를 사용한 초전도 집적회로의 제작이 가장 신뢰할 수 있

*Corresponding author. Fax : +82 032 766 8018

e-mail : jhkang@incheon.ac.kr

University of Incheon

는 것으로 알려져 있다. 특히 Nb trilayer를 사용한 초전도 집적회로의 제작은 반도체를 사용한 집적회로의 공정과 유사한 점이 많아, 급속히 발전되고 있는 반도체 장비를 사용함으로써 공정의 개발에 많은 유리한 점이 있다.

본 연구에서 사용한 초전도 집적회로의 제작 공정은 10 mask level로 구성하였으며 각 공정별로 필요한 장비들을 구축하여 전 공정의 안정화를 이룩하였다. 각각의 박막들에 대하여 표면 거칠기와 균일성에 대한 최적화를 이루었고 박막의 step coverage와 식각기술에 대한 개선을 통하여 성공적인 회로의 제작을 달성할 수 있었다.

최근 정보통신 산업에서는 고속으로 동작하는 전자회로에 대한 요구가 커지고 있으며 반도체 회로가 갖는 한계를 극복하기 위한 후보로서 RSFQ 회로가 등장한 이후 많은 연구자들에 의해 활발한 연구가 진행되고 있다. [2-4] RSFQ 집적회로는 현존하는 전자소자 중 가장 빠른 응답속도를 가지고 있을 뿐만 아니라 매우 작은 파워를 소모한다. 본 연구에서 제작한 회로는 초전도 Rapid Single Flux Quantum (RSFQ) Arithmetic Logic Unit (ALU)으로서 ALU는 CPU에서 매우 핵심적인 역할을 담당하는 회로이다. ALU는 산술연산 및 논리연산을 담당하는 회로이며 이 회로의 성공적인 개발은 차후에 이루어질 초전도 마이크로 프로세서 개발과 직접적으로 연관되어 있다.

본 연구에서는 RSFQ multi-bit ALU를 제작하였을 뿐만 아니라 대면적 초전도 전자소자 개발을 위한 기반기술을 확보하였다. [5, 6] 1-bit, 2-bit, 4-bit의 총 3종류의 ALU를 제작하였으며 low frequency와 high frequency에서 각각 테스트 하였다.

II. 제작 공정

그림 1에 보여진 것은 본 연구에서 사용된 10 mask level 공정의 단면도이다. 이 공정에는 13 개의 박막 증착 공정, 10 개의 식각 공정,

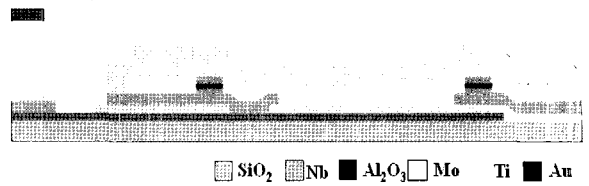


Fig. 1. Cross section of the KOPTI's 3.0 μm Nb process.

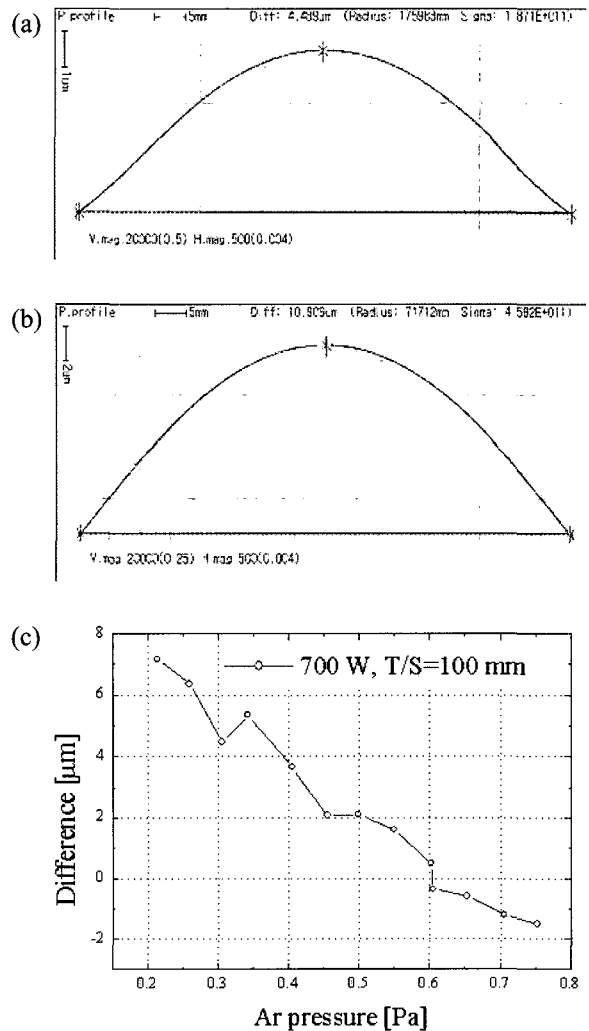


Fig. 2. Stress test of Nb films used in Nb integrated circuit process. (a) Surface profile of bare Si wafer. (b) Surface profile of Nb film deposited Si wafer. (c) Stress vs. Ar pressure. The y-axis shows the height difference between the vertices in (b) and (a).

그리고 1 개의 loft-off 공정이 포함되어 있다. ALU 회로의 성공적인 제작을 위하여 1차적인 목표로서 최소 선 폭을 3 m가 되도록 하여 공정을 구성하였으나 향후 그 이하의 선 폭을 사용하여도 회로를 제작할 수 있도록 장비를 구성하였다.

Nb 집적회로의 제작 공정에서 사용되는 Nb 박막은 임계온도가 높은 stress free 박막을 사용하여야 한다. 본 연구에서 제작한 Nb 박막은 9 K 이상의 높은 임계온도를 갖고 있었으며 그림 2에 보여진 바와 같은 stress 특성을 갖고 있었다. 박막의 증착 시에 사용되는 Ar 가스의 압력이 0.6 Pa (4.5 mtorr)일 때 stress free Nb 박막이 제작될 수 있음을 알 수 있다. 본 연구에서는 DC magnetron sputtering 기법이 사용되었으며 이 때 사용된 DC power는 0.7 kW 이었으며 타겟과 기판의 간격은 100 mm이었고 사용된 기판의 크기는 4 인치이었다.

Nb 박막의 증착에 있어 타겟과 기판의 간격을 100 mm로 유지한 이유는 이러한 조건 하에서 표면이 매끄러운 박막을 제작할 수 있기 때문이었다. 그림 3에 보여진 바와 같이 타겟과 기판의 간격이 가까워질 경우에는 표면의 거칠기가 증가하고 이러한 박막을 사용하여 다층박막을 제작할 경우 편 흡의 위험성이 매우 높아진다.

Nb 초전도 집적회로의 성공적인 제작 여부는 우수한 Nb trilayer의 제작에 달려있다. Nb trilayer는 Nb/Al₂O₃/Nb으로 구성되며 본 연구에서는 그림 4에 보여진 바와 같은 전 공정이 in-situ로 제작될 수 있는 박막 증착 시스템을 구성하여 Nb trilayer를 제작하였다. Al 박막의 제작에는 0.4 kW의 DC power, 0.2 Pa (1.5 mtorr)의 Ar pressure를 사용하였고 타겟과 기판 사이의 거리는 균일한 박막을 얻기 위하여 140 mm를 유지하였다.

Nb 박막의 step coverage를 분석하기 위하여 Nb/SiO₂/Nb 다층박막을 제작하여 전자현미경을 사용하여 단면을 관찰하였다. 먼저 Nb 박막을 증착한 후에 일부분을 식각해 내어 Nb 박막에 step이 생기도록 한 후에 그 위에 SiO₂/Nb 박막을 제작하여 SiO₂ 박막과 상층에 있는 Nb 박막이 바닥에 있는 Nb 박막의 step 구조를 매끈하게 덮을 수 있는지 관찰하였다. 일반적인 Nb 증착방법으로는 그림 5(a)에 보여진 바와 같이 상층의 Nb 박막이 step을 가로지를 때 연결이 잘 되지 않을 수 있음을 알 수 있다. 일부 연결이 되어있는 경우라 하더라도 이 부분을 통한 임계전류 값이 작아 회로의 작동에 심각한 문제를 일으키게 된다. 이러한 문제를 해결하기 위하여 본 연구에서는 substrate에도 bias를 인가하는 reverse bias 방법을 사용하였으며 그 결과 그림 5(b)에 보여진 바와 같이 step 위로 SiO₂/Nb 박막이 매끈하게 연결된 것을 알 수 있다. Reverse bias 기법을 사용하여 다층박막들

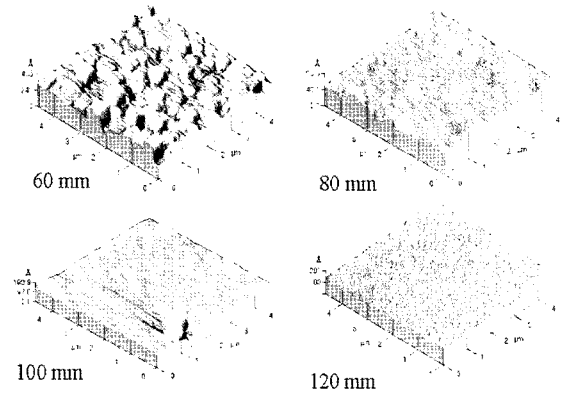


Fig. 3. AFM images of Nb films for various target-substrate distances. The film surface was smooth for 100 mm.

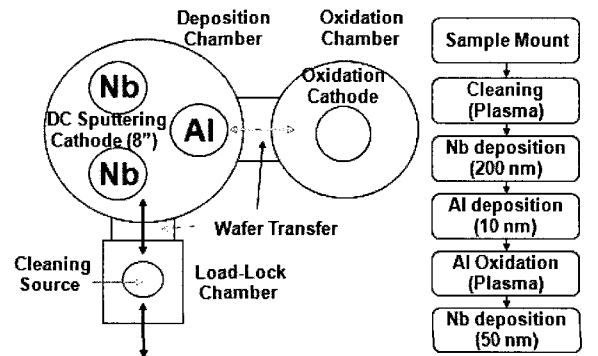
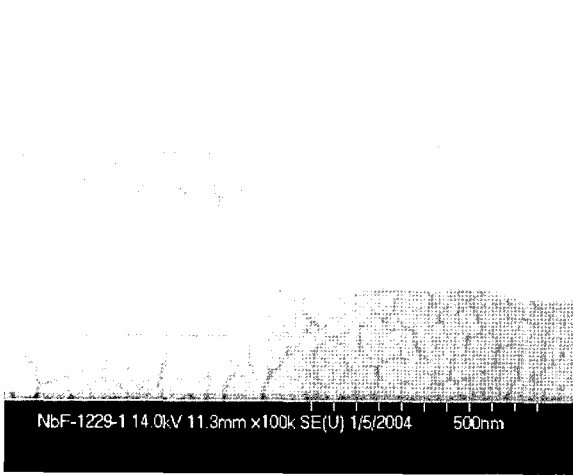
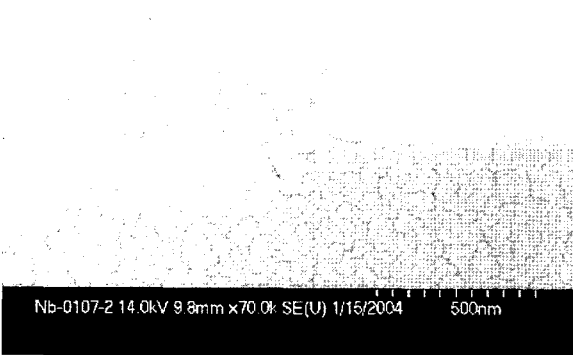


Fig. 4. Schematic diagram of Nb trilayer deposition system.



(a)



(b)

Fig. 5. SEM pictures of Nb/SiO₂/Nb multilayer cross sections. (a) With no reverse biases (b) With reverse biases.

을 제작함으로써 Nb 집적회로의 제작공정을 완성하기 위한 기반을 확립하였다.

Nb patterning에는 RIE(Reactive Ion Etch) 기법이 사용되었으며 이 때 사용된 가스는 SF₆로 Ar과 함께 사용하였다. 그림 6에 보여진 것은 식각된 Nb 박막의 단면도를 보여주고 있다. 식각 중에는 식각챔버의 압력을 20 mtorr로 유지하였으며 SF₆:Ar = 20:10 sccm의 gas flow rate를 사용하였다. 이러한 공정 하에서의 Nb 식각율은 110 nm/min이었으며 4 인치 웨이퍼 상에서

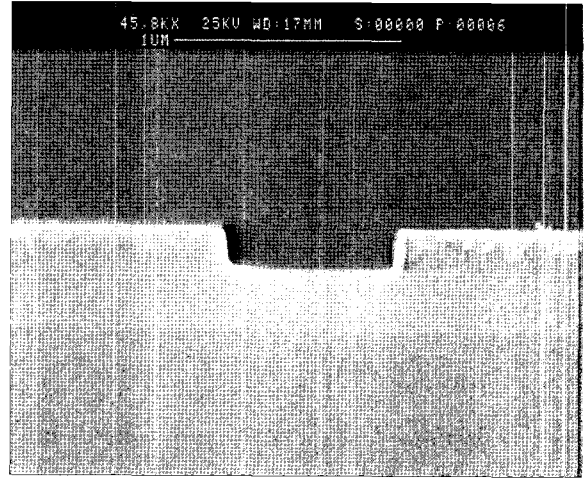


Fig. 6. SEM picture of etched Nb film cross sections.

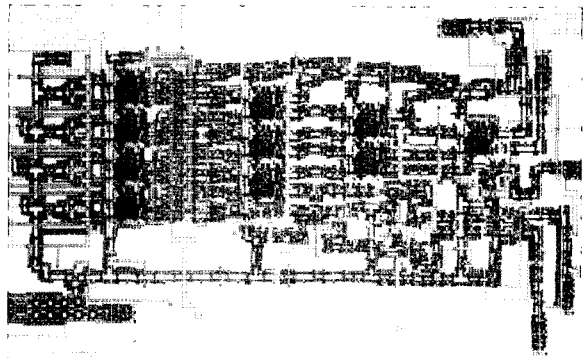


Fig. 7. Microscopic image of 4-bit ALU fabricated with 10 mask level Nb trilayer process.

의 균일도는 3.4 % 이하이었다. SiO₂박막을 식각하는 경우에는 ICP(Inductive Coupled Plasma) 기법과 RIE 기법을 동시에 사용하였으며 식각 챔버의 압력을 10 mtorr로 유지하고 C₄F₈:He = 12.5:100 sccm의 gas flow rate를 사용하였다. SiO₂ 식각율은 135 nm/min이었으며 4 인치 웨이퍼 상에서의 균일도는 5 % 이하이었다.

그림 7에 보여진 것은 완성된 4-bit ALU 회로의 현미경 사진이다. 회로를 시험한 결과 이 ALU회로는 5 GHz의 클럭 주파수에서 올바르게 작동하는 것을 관찰할 수 있었다. 제작된 1-bit ALU 회로는 40 GHz 클럭 주파수에서 작동하는 것을 관찰하였다.

III. 결 론

Nb trilayer를 사용한 초전도 집적회로 공정을 완성하였다. Reverse bias 방법을 사용한 DC sputtering 기법을 사용하여 박막의 매끄러운 표면을 얻음으로써 우수한 성능의 다층박막을 제작할 수 있었다. 본 연구에서 개발된 공정을 사용하여 RSFQ multi-bit ALU들을 제작하였으며 수십 기가 헤르츠의 높은 클럭 속도에서 정상적으로 동작하는 것을 확인할 수 있었다.

Acknowledgments

이 논문은 인천대학교 2007년도 자체연구비 지원에 의하여 연구되었음.

References

- [1] N. Yosikawa, F. Matsuzaki, K. Yoda, "Design and component test of a 1-bit RSFQ microprocessor," *Physica C*, Vol.378, 1454-1460, (2002)
- [2] J. Y. Kim, S. H. Back, J. H. Kang, "Construction of a Single Magnetic Flux Quantum Switch and Its Usage in an Arithmetic Logic Unit," *J. Kor. Phys. Soc.*, Vol.43, No.6, 1129-1134, (2003)
- [3] M. Dorojevets, "A 20-GHz FLUX-1 superconductor RSFQ microprocessor," *J. Phys. IV France*, Vol. 12, 157-160 (2002).
- [4] O. A. Mukhanov, S. V. Rylov, V. K. Semenov, "RSFQ Logic Arithmetic," *IEEE. Trans. Mag.* Vol.25, No.2, 857-860, (1989).
- [5] <http://www.wrcad.com/xic.html>
- [6] <http://www.wrcad.com/wrspice.html>