이동 통신 SoC 설계

한태희
한국산업기술대학교

요 약

이동통신 SoC 설계는 통신, 반도체, 컴퓨터 등 IT 기술의 학제간 융합이 가장 활발히 실현되는 선도적 위치를 차지하고 있다. 본고에서는 시대적 흐름과 기술적 주요 이슈를 중심으로 이동 통신 SoC 설계 기술, 모뎀 주요 블록, 시스템 통합 기술의 현재와 미래에 대해 산업체에서의 개발 경험을 바탕으로 폭넓게 고찰하고 향후 방향과 해결책을 모색하고자 한다.

I. 서 론

1994년경 0.5μm CMOS 기술의 도입으로 소규모 마이크로프로세서와 일부 메모리, 몇 종류의 입출력 주변 장치를 적정한 가격에 하나의 실리콘 칩으로 통합 제조할 수 있게 되어 '마이크로컨트롤러(Micro-Controller)'라는 브랜드명으로 가전 제품에 장착되기 시작한 것이 SoC(System on a Chip)의 시초라 할 수 있다[1]. 소위 '무어의 법칙'에 따라 지속적으로 향상되어 온 반도체 집적도 증가로 완전한 마이크로 전자 시스템의 단일 칩 설계가 가능해짐에 따라 오늘날 IT산업에서 진정한 SoC의 시대가 도래하게 되었다.

SoC가 MCU에 근간을 두었기 때문에 초기에는 인텔, AMD, 모토롤라 등 마이크로프로세서 업체에 의해 주도되어 왔으나, 제품 주기가 1년 이내로 짧은 정보 가전 시장에서의 수요 증대에 따라 마이크로프로세서 산업과는 다른 방향과 방식으로 진화하게 된다. 즉 마이크로프로세서 산업이 더 높은 정확도로 더 많은 연산을 더 빨리 수행하기 위해 명령어와 데이터 버스폭을 늘이고 파이프라이닝과 병렬 구조를 채용하며 클럭 주파수를 높이는 계산 능력 증강의 끝없는 경쟁이었다고 하면, 정보 가전 시장에서는 저렴한 가격에 보다 많은 기능을 집적하여 시장에 신속히 대응하는 것이 무엇보다 중요하다. 또한 배터리로 구동되는 저전력 휴대용 제품이 대표 제품으로 떠오름에 따라 SoC 기술의 척도는 계산 능력보다는 성능 對 면적 對 전력소모 比로 평가된다(마이크로프로세서 산업도 최근 3~4년 사이 성능 대비 전력소모가 최대 현안이 되었다). 무선 이동 통신 기술의 급속한 발전과 시장 확산으로 인해 이동 통신용 모뎀은 SoC기술을 주도하는 대표 제품이 되었고, 디지털뿐 아니라RF와 아날로그 통합 기술의 필요성을 증폭시키고 있다.

본고에서는 이동 통신 SoC설계와 관련된 기술 추세, 주요 모뎀 기능 블록, 프로세서 및 버스 구조, 플랫폼 기반 설계에 대해 초점을 맞추어 논하고 향후 기술 전망과 대비책에 대한 결론을 도출해보기로 한다.

II. 이동 통신 SoC설계 방식 및 기술

이동 통신에 필요한 RF, 아날로그, 디지털 하드웨어/소프트웨어를 동시에 동일한 설계 환경에서 엔지니어 상호간에 긴밀히 정보를 주고 받으며 설계할 수 있다면 가장 이상적일 것이다. (그림 1)은 이러한 경우를 가정하고 설계 흐름도

를 보였다. 현재 휴대 단말기의 진화 발전이 멀티미디어로 대표되는 정보 가전 기기를 흡수하는 방향으로 가고 있기 때문에 시장에서의 성공을 위해선SoC 설계 초기 단계부터 단말기가 출시될 시점의 상황을 예측하여 반영하는 선진적 상품 기획이 필수적이다.

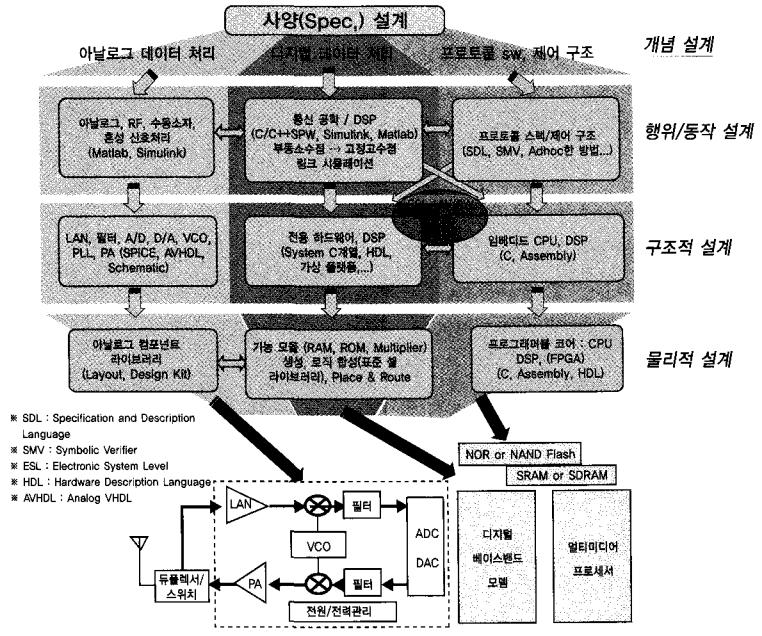
(그림 1)에 보인 것처럼 최초 단계에서 시스템에 필요한 RF, 아날로그, 디지털에 대한 사양 설계를 바탕으로 통신 공학과 디지털 신호 처리 기술의 조합화된 상위 설계 단계를 거쳐 하드웨어, 소프트웨어 구조 설계가 진행되고 이를 적절한 반도체 공정에 맞추어 물리적인 구현을 하며, 각 중간 요소 단계마다 가격(주로 칩 크기), 성능, 전력 소모를 고려한 여러 번의 피드백 루프가 존재한다. 이동통신 모뎀은 표준 규격 내에 'Conformance Test' 부분도 포함되어 있기 때문에, 광범위하고 집중적인 검증 시나리오를 통과해야 한다. 특히 새로운 표준 규격일 경우, SoC 물리 구현 이전 단계에서 FPGA 프로토타입 보드를 통해 기지국 모델과의 랩 테스트, 필드 테스트를 포함한 IOT(Inter-Operability Test)를 필수적으로 거치게 된다.

2.1 [illegible] (Electronic System Level) 설계

초창기 SoC 설계 패러다임은 "IP(Intellectual Property) 기반 설계" 였다. IP는 미리 설계 및 검증 완료되어 재사용 가능한 형태로 제공되는 기능 블록으로, 자체 제작하거나 제3자(third party)를 통해 확보하며 설계팀의 핵심 역량을 낭비하지 않도록 해준다. IP에는 CPU, DSP, 중요 아날로그 회로(ADC, DAC, PLL 등)같은 하드웨어 블록뿐 아니라 프로토콜 스택, RTOS(Real-Time OS), 디바이스 드라이버 등의 소프트웨어도 포함된다.

한편, 성숙 단계를 넘어 갈수록 복잡 난해해지는 SoC 설계에 소요되는 시간과 시장에서의 점점 더 짧아지는 제품 주기 사이의 간극 증가를 소위 'SoC의 위기' 로 얘기하게 되었다. 이런 간극을 극복하면서 차세대SoC를 개발하기 위한 생산성을 확보하기 위해서는 IP 기반 설계보다 차원 높은 설계 방식과 자동화 tool의 준비가 필연적으로 요구된다[2].

학계와 EDA(Electronic Design Automation)업계에서는 1990년대 초반부터 본격적으로 하드웨어/소프트웨어 동시 설계를 연구해왔으며, 최근 몇 년 사이 많은 진보가 이루어지면서 RTL(Register Transfer Level)보다 상위 단계에서 하드웨어/소프트웨어 동시 설계/검증이 가능한 ESL(Electronic System Level) 설계가 부흥을 맞고 있다. ESL은 실제 상용 제



(그림 1) 이동통신 SoC 설계 흐름도와 부문별 매핑 관계

품을 대상으로 과거보다 더욱 적극적으로 SoC설계팀과 EDA 업체, IP 제공업체 간에 협력 체제를 형성하며 발전하고 있다.

기본적으로 ESL은 설계 최초 단계에서 하드웨어와 소프트웨어간의 상충 관계(trade-off)를 결정하여 설계 위험도를 최소화할 수 있도록 하고 설계 기간을 최대한 단축하는데 목적이 있다. 소프트웨어 프로그래밍에 쓰이는 C나 C++와 매우 유사한 System C 계열의 언어로 하드웨어를 설계하며, 보통 GUI 환경에서 행위 모델링된 IP간 결합과 재구성이 용이하도록 되어있다. 또한 전체 응용 시스템을 통일된 환경에서 모델링할 수 있게 함으로써 높은 추상화 수준의 검증이 가능하여 칩의 오류를 개발 초기에 적은 비용으로 검출할 수 있게 한다는데 큰 의미가 있다.

그러나, 이동 통신 SoC의 경우 실시간으로 RF 및 아날로그 소자와 연동하며 소프트웨어와 상호 작용을 하는 상태에서의 검증이 필수적이기 때문에 실시간 동작 검증이 절박하지 않은 다른 응용 분야 시스템에 비해 상대적으로 ESL에서의 검증이 제한적인 경우가 많은 편이다.

2.2 검증 (Verification)

수 년전부터 마이크로프로세서나 SoC 등 복잡한 디지털 반도체 칩을 설계하는 회사에서는 설계 엔지니어와 검증 엔지니어를 구분 배치하고, 검증의 역할과 비중을 더 높게 고려하는 추세이다. 그만큼 검증의 영역이 넓어지고 중요하며 설계와는 다른 전문성이 요구된다는 것을 인정하고 있는 것이다.

ESL을 포함해 모든 설계 단계에서 주된 검증 방식은 여전히 시뮬레이션과 같은 동적 방법에 의존한다. 그러나 동적 검증 기법은 근본적으로 설계 복잡도가 증가함에 따라 검증해야 할 경우의 수가 기하급수적으로 증가하면, 커버리지가 저하될 수밖에 없다. 보완책중의 하나로 RTL에서 논리적인 금지 상태나 잠재적 버그인 코드의 문맥적 불완전성을 검출해주는 Assertion기반 검증 방식이 확산되고 있다. 이 방식은 이미 오래전부터 C 언어 같이 가장 보편적인 소프트웨어 언어의 기본 라이브러리로 제공되던 기능을 본떠 온 것이다.

보다 근본적인 해결책으로 '정형화 검증(Formal verification)' 이 있는데, 수학적인 방법을 통해 가능한 모든 경우를 커버할 수 있는 'Model Checking' 이나 'Theorem Proving' 이 이에 속한다. 그러나 20여년이 넘는 연구 개발 노력에도 불구하고, 구현상의 어려움으로 작은 규모의 회로에만 적용 가능한 수준이다. 이보다 한단계 낮은 수준의 정형화 검증 방식인 'Equivalence Check' 는 RTL설계와 이것의 로직 합성 이후 모델인 게이트 수준 설계의 동일성을 그래프 모델 기반으로 비교하는 것으로 최근의 SoC 개발 플로우에서 필수적인 단계로 인식되고 있다.

현재 진행되고 있고 미래에도 계속될 모든 연구 개발 노력에도 불구하고, 검증의 절박한 문제들은 설계자의 도움 없이 해결 불가능하다. 오랜 반도체 칩 기술 개발 역사를 돌이켜보면, 예전엔 고려 대상에 들지 못했던 문제들이 거의 최우선 순위로 발전되어 온 사례가 많이 있다. 예를 들어 저전력이나 DFT(Design for Testability)의 경우, 해결책은 전력 제어 로직을 추가하는 설계 변경, 스캔 플립플롭 채용 등의 오버헤드가 필요했다. 검증도 결국 이러한 방향의 변화가 예상된다. 선진사들은 개발 초기부터 후단계 검증이 용이할 수 있는 특징이 가미된 설계를 위해 검증 전문 엔지니어들을 투입하고 있으며, 최첨단 프로젝트들은 설계와 검증 프로세스를 완벽하게 통합하려는 노력을 하고 있다. 따라서 가까운 시일내에 "검증을 위한 설계(Design for Verification)"가 하나의 표준적인 설계 방식으로 자리잡을 가능성이 높다. 최근의 연구중에는 "용이한 검증을 위한 최적화된 시스템 구조" 같은 내용도 발표되어있다[2][8].

III. 반도체 구현 기술

3.1 공정 기술

정보 가전 제품에서 반도체 공정 선택의 주요 기준은 성능이나 속도보다는 서로 다른 디바이스들의 집적과 신속한 개발 기간이며, 보다 많은 기능을 새로운 반도체 공정에 집적한다는 것은 시장의 가격 조건을 만족시킬 수 있다는 것을 의미하므로, 공정 노드간의 가격대 성능이 만족할 수준이 될 때서야 비로소 다음 공정으로 전환을 결정해왔다.

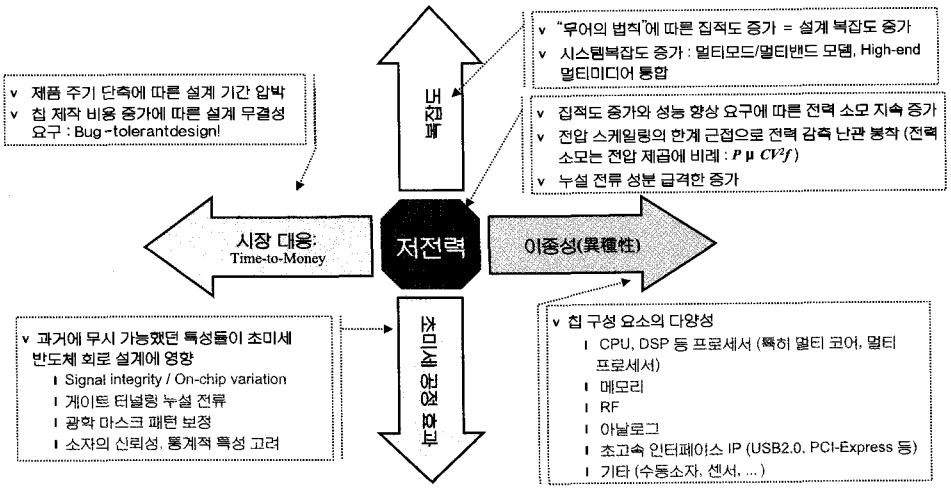
0.18μm CMOS 공정에 접어들면서, 혁신적인 모바일 SoC 설계가 많이 이루어지기 시작했다. 1.8V로 동작 전압이 낮

아지면서 전력 소모가 획기적으로 개선되었고 미세 반도체 공정과 설계간의 기술적인 불일치도 많지 않았다. 0.13μm 공정으로의 이행은 누설 전류와 석판 인쇄 기술, 광학적 근접 교정 등 중대한 기술적 차이에도 불구하고 비교적 순조롭게 이루어졌으나, 미세 회로 선폭에서의 지연 시간 증가와 공정 구조상의 문제로 그전까지의 공정 전환 기간에 비해 양산 시점이 지체되었다(1990년대말 IBM에서 최초로 성공한 배선용 금속 재료의 알루미늄에서 구리로 의 변경이 본격적으로 채용되는 변화가 있었다.). 그러나 이 시기의 기술적 시행 착오 극복을 위한 노력 덕택으로 0.13μm에서 90nm로의 전환은 당초 우려보다 쉽게 해결되었고 65nm, 45nm로의 진보도 훨씬 부드럽고 신속히 진행될 수 있었다. 2004년도에 도입된 90nm 기술에서 2005년도의 65nm 공정 전환 주기가 짧았던 이유도 반도체 재료와 단위 공정에 큰 변화가 없었기 때문이다. 그러나 32nm이하 기술에서는 누설 전류 억제와 분자 수준에 근접해가는 소자의 신뢰성 확보를 위해 트랜지스터 구조 및 재료 면에서 보다 많은 변화가 예상되고 있다[3][10].

현재 시점에서 최첨단 모바일 관련 SoC는 90nm나 65nm CMOS 공정을 사용하고 있다. 급격히 증가하는 회로 패턴 마스크 제작 비용과 설계 후반부 작업(Layout을 포함하는 Backend 작업)기간 증대는 매우 심각한 상황이다. 더구나 100nm 이하 공정에서, ITRS(International Technology Roadmap for Semiconductors)는 동작 전압의 스케일링 다운이 느려질 것으로 예측하고 있다[10]. 이것은 전압의 제곱에 비례하는 전력 소모를 지금까지의 속도로 줄이기가 매우 어려워졌다는 것을 의미하며, 아날로그 회로의 성능 제약과도 관련된다. 이미 1V 동작 전압에서 고해상도 ADC/DAC 구현은 지극히 어려운 설계 작업이 되었으며, 이러한 결과로 4절에서 설명할 패키지 수준의 통합 기술이 좀 더 주목을 끌고 있다. (그림 2)에 오늘날 당면하고 있는 SoC 구현 기술상의 문제점을 도식화하여 나타내었으며 이런 복잡다양한 문제들은 반도체 설계 공학에 DFM(Design for Manufacturability)이라는 또 하나의 중요한 패러다임을 등장시켰다.

3.2 저전력 기술과 출력 제어

과거 몇 년간 반도체 설계는 제품 전체 성능만큼이나 전력에 대한 고려가 중요한 소위 '전력 제한 스케일링 시대(Power-limited scaling regime)' 에 돌입하였다. 즉, 전력은 공정 파라메터를 결정하는 어쩌면 가장 유력한 인자가 되었으며, 실제로 IBM이나 TI 같은 회사들은 65nm에서 모바일용 저전력 공정을 우선적으로 셋업하였다(과거에는 Generic 공정이나 High Speed 공정을 우선적으로 개발하곤 했다.). 이동 통신 SoC는 과거 통신 기능 위주에서 고성능 멀티미디어 신호 처리를 통합하는 추세이며, 표준 규격 진화에 따라 초고속 데이터 송수신 및 다수의 표준(예를 들어, CDMA,



(그림 2) 이동통신 SoC 반도체 구현 기술상 당면 문제

Bluetooth, GPS, WiFi등)도 지원해야 한다. 이동 통신에서 고속 데이터 전송은 매우 bursty한 특성을 가지고 있으며 지연 시간에 상당히 민감하다. 따라서, 평균적인 데이터율 처리에 필요한 성능보다 훨씬 높은 순간 처리 능력이 요구되며, 항상 전원이 켜져 있어야하므로 대기 상태에서의 전력 관리가 지극히 중요하다. 누설 전류는 거의 최우선적인 고려 대상이며, 일반 공정 대신 트랜지스터의 문턱 전압이 높은 저전력 공정을 사용하기 때문에 클럭 주파수를 높여야하는 고성능 부문에서 손해를 감수해야 한다.

저전력 기술 분야에서는 논리적 클럭 게이팅과 같이 RTL 수준에서 비교적 쉽게 전력을 감소시킬 수 있는 방법은 필수 설계 프로세스로 이미 확고하게 자리 잡았고, 다중 전압 전원 사용 및 전력 도메인 분할, 상이한 문턱 전압을 갖는 트랜지스터의 복합 사용과 전력 게이팅, 동적 전압/주파수 스케일링 등 매우 복잡하고 설계 부담이 크며 Backend 단계에서 다루어야하는 기법들이 적용되고 있다.

근래의 첨단 이동 통신 SoC는 서로 다른 전압으로 구동되는 10개 내외의 전력 도메인과 수십여개의 광역 클럭 도메인으로 구성되며 클럭의 균형 분배와 계층적 저전력 게이팅을 위해 재분할 되는 지역 클럭 도메인은 100여개를 상회한다. (2004년 ISSCC학회에 발표된 퀄컴사의 GSM/CDMA/AMPS/GPS/Bluetooth 겸용 모뎀 SoC의 경우 7개의 전력 도메인과 17개의 광역 클럭 도메인, 100개가 넘는 지역 클럭 도메인으로 구성되어있다[4].)

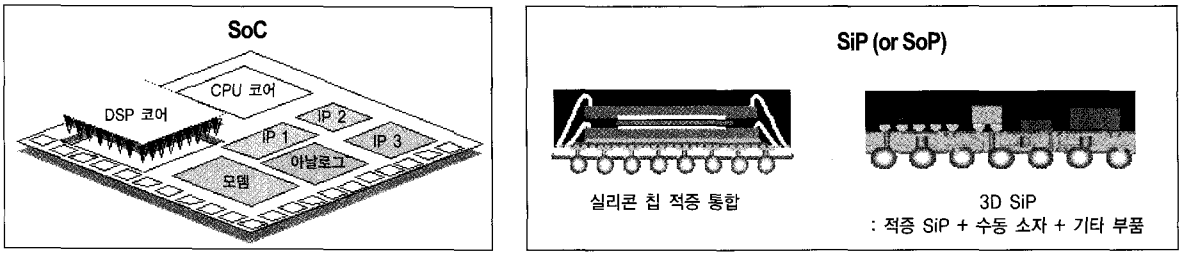
한편, 효과적인 전력 제어 및 관리와 더불어, 수천만에서 수억개 이상의 트랜지스터가 집적되는 거대 SoC내의 클럭 동기 문제를 완화시키기 위해 모듈 단위의 동기만을 전제로 하는GALS(Globally Asynchronous, Locally Synchronous)원리가 보편적으로 채용되고 있다[6-7]. 전체 시스템을 내부적 클럭 동기가 절대적으로 필요한 작은 서브 시스템으로 분할하고 서브 시스템간에는 비동기로 인터페이스하는 방식이다. 이런 개념은 Just-In-Time 기반으로 출력을 생성하여 필요한만큼의 주파수로 클럭을 구동하게 하므로 전력 효율이 매우 높다. 이렇게 복잡한 클럭 시스템상에서, 서로 다른 도메인간의 데이터 인터페이스는 상당히 세심한 타이밍 제어가 필요하다. 클럭 주기가 임의로 변경될 수 있는 극히 동적인 상황에서 데이터 캡처 과정상 타이밍 마진이 부족해 '1'과 '0'으로 구분되지 않는 불안정한 전압 상태에 빠지는 것을 Meta-stability문제라고 하며, 이를 방지해주는 동기 회로(Synchronizer) 설계에 주의를 기울여야한다. 특히 외부에서 도입한 IP일 경우 설계 단계에서 파악하지 못해 칩이 나온 이후에서야 발견될 가능성이 높다(저자도 위성 DMB 칩 개발 상용화 과정에서 경험했던 바이다.).

IV. 이동 통신 SoC 통합 기술

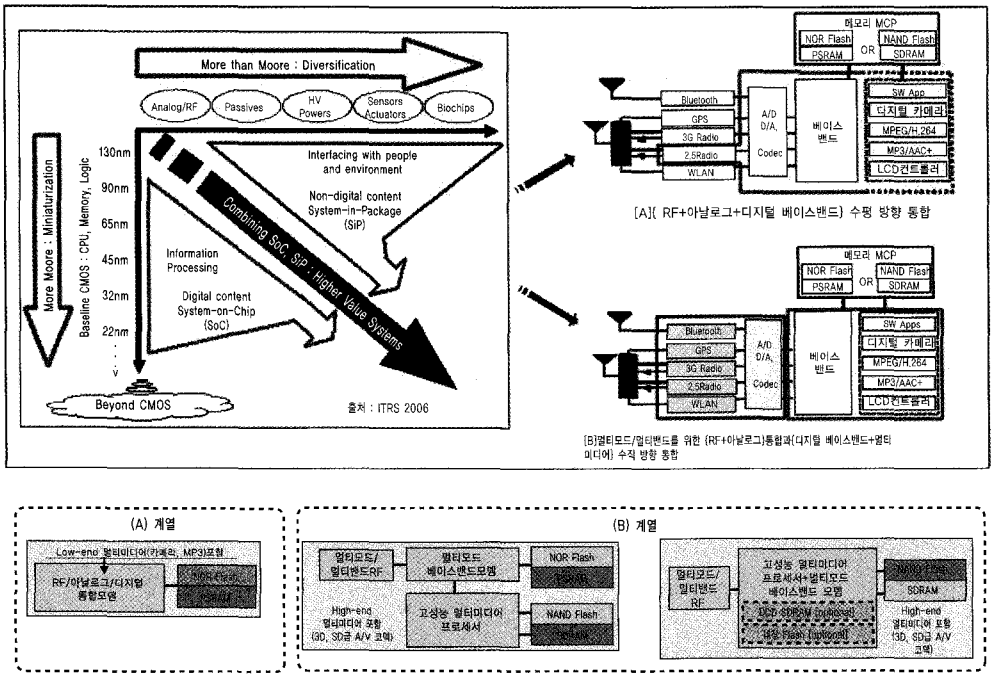
휴대 전화를 통한 새로운 응용 서비스의 등장과 고속 데이터 송수신으로 인해 개인용 컴퓨터급의 성능이 요구되면서 이동 통신 SoC에 대한 기대치도 급격히 증가하고 있다. 글로벌 로밍을 실현하고 기존 통신 규격과 호환성을 유지하는 동시에 고속 데이터를 지원하는 새로운 표준까지 수용할 수 있는 멀티모드 모뎀 시대의 도래가 보다 효과적인 SoC 통합 기술을 요구하고 있는 것이다. 더구나 유비쿼터스 시대를 맞아 MEMS 기술을 이용한 센서, 바이오와 광학 디바이스, 자이로(Gyro)와 가속도계 같은 기계적 시스템도 통합을 기다리고 있다. 이러한 다양한 요구에 대응할 수 라인업을 구축하고 시장에 적기 출시하기 위해 SoC 통합 방식에 근본적인 고민이 필요한 것이다. 소비자에게 융복합화란 IT 기술의 수렴(Convergence)를 의미하지만, 엔지니어의 입장에서는 기술의 발산(Divergence)인 셈이다.

오늘날 SoC 기술 발전은 반도체 공정 스케일링에 힘입은 바 크지만, 다양해진 시장의 요구에 대한 해결책은 최적화 관점에서 생각해야한다. 여기서 '최적화'란 RF, 아날로그, 메모리, 디지털 기능을 가장 효과적으로 조합하여 제공할 수 있는 기술을 의미한다. 지금까지는 가장 많은 면적을 차지하는 부분에 대해 가격/성능/전력소모 면에서 가장 우수한 반도체 공정 기술을 선택하는 것이 일반적이었다.

종종 SoC의 경쟁 개념으로 대비되는 SiP는 2차원 또는 3차원적인 반도체 칩 조립 방식으로 생각할 수 있는데(그림 3 참조), 개발 비용, 시장 대응성, 전력소모, 테스트 용이성을 고려한 상호 보완적인 기술로 이해하는 것이 타당하다. 3차원 IC는 무어의 법칙을 넘어 SoC의 미래에 새로운 활로를 제시하고 있으며 최근의 활발한 연구 개발 노력과 성과가 이를 뒷받침한다[5][9]. 예를 들어 65nm공정으로 제작한 통



(그림 3) SoC와 SiP의 개념도



(그림 4) 반도체 기술 발전 및 이동 통신 SoC의 진화 방향

신 SoC를 RF, 아날로그, 디지털 로직, 메모리에 대해 각각 가격과 성능 최적화된 반도체 공정을 이용해 제조하고 이를 3D SiP 기술로 통합한다면 설계 프로세스와 비용을 상당히 줄일 수 있는 기회가 존재한다.

현재 전세계적으로 많은 SoC관련 전문가들은 휴대 단말기의 RF, 아날로그, 디지털 베이스밴드, 멀티미디어 프로세서와 대용량 메모리를 수용하기 위한 가장 조화롭고 합리적인 해결책을 SoC와 SiP의 적절한 조합으로 생각하고 3D SiP 연구에 박차를 가하고 있다. (그림 4)에서 보다시피 무선 이동통신용 SoC는 RF/아날로그/디지털을 하나의 SoC에 통합하는 흐름과(A), 하이엔드 멀티모드 모뎀에서 RF/아날로그, 디지털 모뎀과 멀티미디어 프로세서 등 동종의 성격을 공유하는 부분을 통합하는(B)의 추세가 있다. A형태는 Bluetooth, WiFi, 초저가의 GSM 또는 CDMA모뎀 등에서 CSR, Broadcom, TI, 퀄컴 등의 업체를 통해 실현되고 있고, B형태는 주로 고성능 멀티미디어 모뎀에서의 경향으로 스마트폰 등에 적용되고 있다. A에서의 중요한 기술적 흐름은 표준적인 디지털 CMOS 기술을 사용해서 최소 크기의 트랜지

스터로 아날로그 기능을 구현하는 것이다. 즉 기존의 아날로그 설계 패러다임을 바꾸어 정확한 아날로그 회로 대신 다소 정밀도가 떨어지더라도 디지털 로직으로 보정하여 극복할 수 있도록, 디지털 영역으로 신호 처리 방식을 대폭 변경하는 소위 "Digitally assisted analog design approach"의 도입으로 디지털에 비해 성능상의 문제로 회로 축소가 어려운 RF, 아날로그 회로의 역할을 디지털 영역으로 이전하면서 RF CMOS같은 통합된 공정의 혜택을 최대한 활용하는 것이다. 이러한 설계 철학은 이미 A/D 변환기, RF 트랜시버에 보편화 되어가는 추세이며(예를 들어 미국TI社의 Digital Radio Processor), 멀티모드/멀티밴드 Radio가 확산됨에 따라 새로운 기회를 제공할 것으로 예상된다.

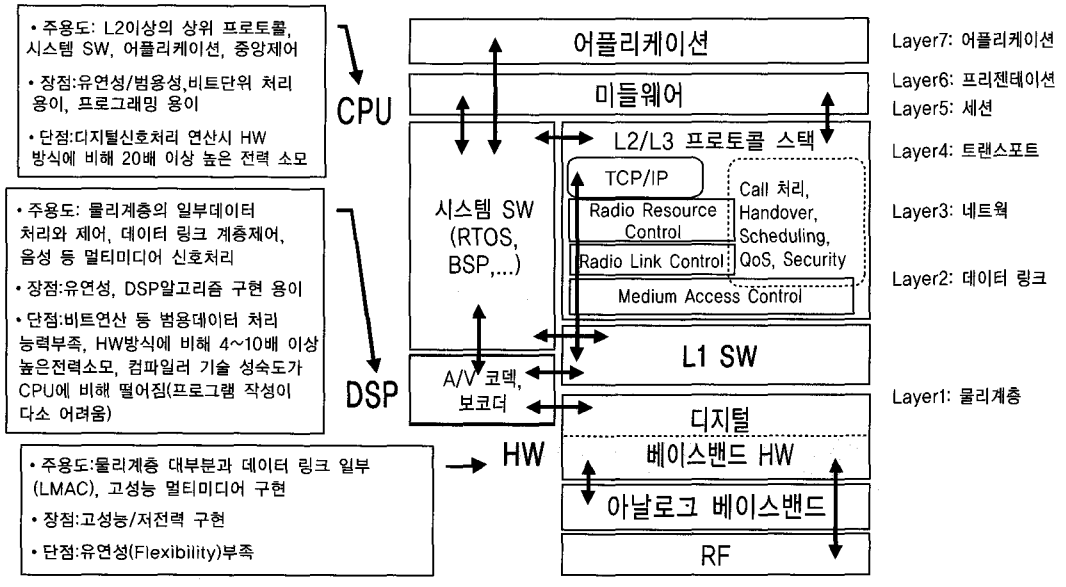
SiP 기술은 설계 방법론에 있어서도 새로운 해결책을 필요로 하는데, 서로 다른 공정 기술을 결합한 처음 설계에서의 성공을 보장하고 안정적인 수율을 확보하기 위해선, 여러 상이한 EDA tool들을 하나의 시스템 수준 설계 환경으로 통합해야 한다. SiP에서는 비전기적인 시뮬레이션 (진동, 압력, 열 전도 분석, 공정 호환성 등)이 회로 시뮬레이션 이상의 중요성을 갖게 된다.

그러나, 이러한 긍정적인 전망이나 기술적인 가능성외에 잊지 말아야 할 사실은 (이미 산업체에서 당면하고 있는 문제이지만) 반도체 후공정(테스팅, 조립 패키징) 처리, 각 칩에 대한 소유권과 불량 문제 발생시 책임 소재 등 사업적인 이슈들이 결코 해결하기 쉽지 않다는 것이다.

V. 모뎀의 주요 기능 블록과 구현 방식

이동통신 SoC의 구조는 통신망을 통한 상호 접속 관계를 정의한 OSI 7계층 모델과 연계하여 파악하는 것이 효과적이다. (그림 5)는 이러한 관점에 입각하여 도식화한 것이다. 디지털 베이스밴드의 경우 ASIC 기반의 전용 하드웨어, CPU, DSP 등으로 기능 블록을 구현하는 방법이 있으며, 그에 따른 장단점을 그림에 같이 설명하였다. 3.2절에서 언급한 바와 같이 이동 통신 SoC는 특히 고속 데이터 처리시 균일한 연산 처리 능력보다는 순간적으로 높은 계산 능력과 막대한 양의 데이터 이동이 빈번히 수반되는 특성을 가지고 있으므로 이러한 점을 심도 있게 고려한 설계 구현이 칩의 경쟁력을 좌우한다.

5.1 등화기와 레이크 수신기

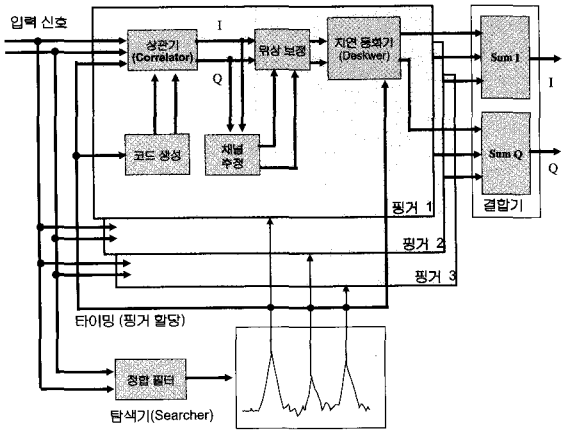


(그림 5) 이동통신용 SoC의 하드웨어/소프트웨어 계층적 구조 및 역할 분담

이동 통신 환경에서의 다중 경로 페이딩은 인접한 심볼 메시지 간의 중첩 및 왜곡인 ISI(Inter-Symbol Interference)를 심화시키며, 이런 현상을 완화시키기 위해 통상적으로 수신단에 채널 순간 응답의 역함수 역할을 수행하는 등화기(Equalizer)를 사용한다. 대표적으로, TDMA방식인 GSM 모뎀에서의 비터비 등화기가 있다.

CDMA 시스템에서 모든 사용자는 셀 내의 주파수 대역을 공유하며 사용자간 직교성을 갖는 Direct Sequence(DS) 확산 코드를 곱하는 과정을 통해 협대역 신호를 광대역 신호로 변환한다. 이때 사용되는 DS 코드의 주기(=Chip rate)가 이동 통신 환경에서의 다중 경로간 시간 차이보다 작게 설계되어 동일 성능의 등화기보다 구현 복잡도가 상대적으로 간단한 레이크 수신기를 통해 우수한 복조 성능을 얻을 수 있다. 'Chip rate'가 다중 경로 분해능을 나타내는 척도가 되며, 대부분의 연산은 상관값(correlation)을 구하고 이를 누적하는 데 소요된다. 그러나 CDMA 방식에서도 고속 데이터 전송시에는 확산 이득이 적거나 아예 없는 경우도 발생하고 멀티 코드, TDM(Time Division Multiplexing) 방식과의 결합이 필요하기때문에 레이크 수신기와 보완 관계에 있는 등화기 사용이 요구된다. 등화기는 이어서 설명할 다중 사용자 검출기에도 중요한 컴포넌트 역할을 하게 되며, 상당한 양의 곱셈 및 누적 연산을 수반한다.

GSM의 경우 구현 복잡도가 높지 않은 대부분의 수신 기능을 DSP로 처리하나 비터비 등화기는 전용 하드웨어 가속기를 사용하는 것이 일반적이다. CDMA 레이크 수신기와 고속 데이터용 등화기도 전력 효율과 면적 때문에 대부분 하드웨어로 구현한다.

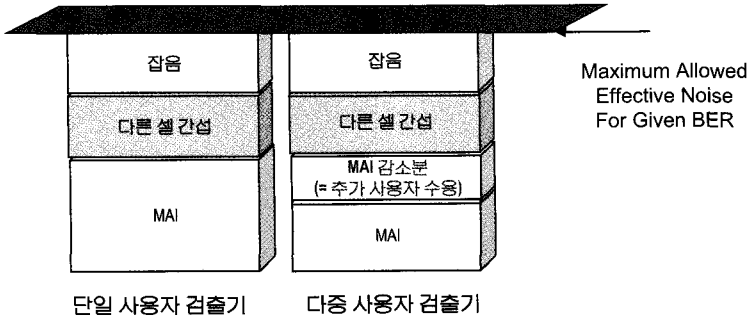


(그림 6) 기본적인 CDMA 레이크 수신기 개념도

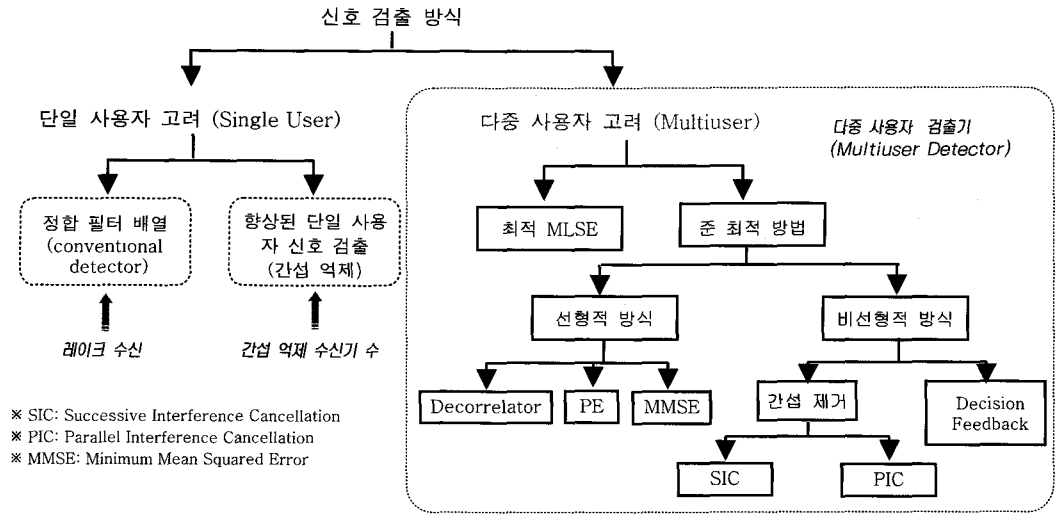
3.2 간섭 제거와 다중 사용자 검출기

CDMA시스템과 같이 주파수 대역을 공유하는 사용자 신호들은 상호간에 다중 접속 간섭(Multiple Access Interference: MAI)으로 작용하기 때문에 셀 용량을 증가시키고 좀 더 효율적으로 수신 성능을 개선하기 위해 필요한 기술이 다중 사용자 검출(Multiuser detection) 기법이다[11-14]. 다중 송수신 안테나와 시공간 부호화를 사용하는 MIMO(Multiple Input Multiple Output)시스템의 경우도 각 안테나 사이의 채널이 독립적으로 작용하는 것을 가정하기 때문에 다중 사용자 검출과 간섭 제거가 고속 데이터 무선 통신 기술에서 점점 더 중요하게 부각되고 있다.

(그림 7)은 CDMA 시스템에서 다중 사용자 검출기를 통해



(그림 7) CDMA에서 MAI의 제거에 따른 용량 증대 효과 개념도



(그림 8) CDMA 단일 사용자 검출과 다중 사용자 검출 수신 방식 분류

MAI가 부분적으로 제거되었을 때 용량 증가 개념도이다. MAI는 다른 사용자 신호이기 때문에, 통계적으로 예측 가능한 특성을 가지고 있으며, CDMA 이외 시스템에서도 다른 형태로 발생한다. (예를 들어 OFDM에서 Multi-carrier interference)

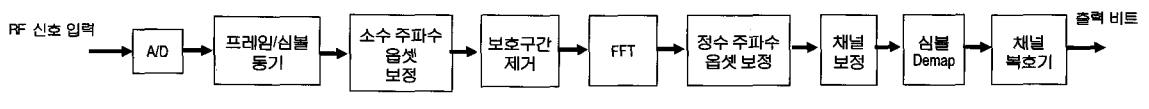
문헌에 따라 다중 사용자 검출과 간섭 제거를 동일한 의미로 사용하는 경우도 있으나 좀 더 엄밀한 의미에서 다용 사용자 검출을 상위 개념으로 볼 수 있다. 단일 및 다중 사용자 신호 검출 방식에 대해 (그림 8)과 같이 도식화하여 분류하였다[12][15]. 선형 방식은 행렬 연산과 곱셈이 많이 필요하며, SIC의 경우 직렬 처리에 따른 지연 시간 문제가 있다.

다중 사용자 검출 수신기를 통해 높은 수신 성능 향상과 수반되는 용량 증가를 기대할 수 있으나, 셀 내 사용자 증가에 따라 구현 복잡도가 지수 함수적으로 증가하기 때문에 계산량을 절감하는 준최적화 방식을 취하고 있으며, 대부분의 규격에서는 그중에서도 기지국 모뎀에의 적용만을 고려하고 있다.

그러나 협대역 TD-SCDMA 시스템에서는 통화 채널에서의 확산 계수가 16으로 작고, TDD(Time Division Duplexing) 특성으로 구현 복잡도가 경감되기 때문에 단말 모뎀에서의 구현을 적극 고려하고 있다.

5.3 OFDM(Orthogonal Frequency Division Multiplexing) 수신기

OFDM 방식은 현재 고속 데이터 전송에 가장 적합한 변조 방식으로 손꼽히며, WiFi, WiMAX, DVB-T/-H, 지상파 DMB 등에 이미 적용되었고 3G LTE(Long-Term Evolution), 4G 시스템에서도 유력한 기술로 거론되고 있다. OFDM은 다수 반송파 전송(Multicarrier Transmission)의 특수한 경우로 변조 기술과 다중화 기술의 두 가지 형태로 볼 수 있는데, 하나의 데이터열이 보다 낮은 데이터 전송률을 갖는 부반송파를 통해 전송됨으로 주파수 선택적 페이딩을 극복하는데 매우 효



(그림 9) 전형적인 OFDM 수신기 구조도

과적이다. 그러나 반송파간 주파수 오류에 민감하고 부반송파 신호간 진폭 변화가 큰 PAPR(Peak-to-Average Power Ratio) 문제로 파워앰프 성능 영향을 받는 단점도 있다. FFT(Fast Fourier Transform)연산을 기본으로 하며, 동기 기술이 매우 중요하다. (그림 9)에 전형적인 OFDM 수신기 구조를 보였으며, 규격별로 구현 방식에 다소 차이가 존재한다.

동기 기술은 수신된 신호를 복조하는 과정에서 발생하는 주파수 옵셋, 심볼 동기 옵셋, 샘플 타이밍 옵셋 등을 추정하고 보상하는 작업을 말하며, 복잡도와 성능에 따라 시간 영역 혹은 주파수 영역에서 구현될 수 있다. 먼저, 프레임(혹은 패킷) 단위로 정보가 전송되므로 수신 여부를 확인하기 위해 프레임 동기를 수행하는데 대략적인 위치를 찾아 이후의 다른 동기 알고리즘이 안정적으로 사용될 수 있도록 해준다. 이후 수행될 FFT를 통한 복조 수행을 위해서는 심볼의 시작 위치를 정확히 찾는 심볼 동기 과정과 주파수 옵셋 추정이 진행된다.

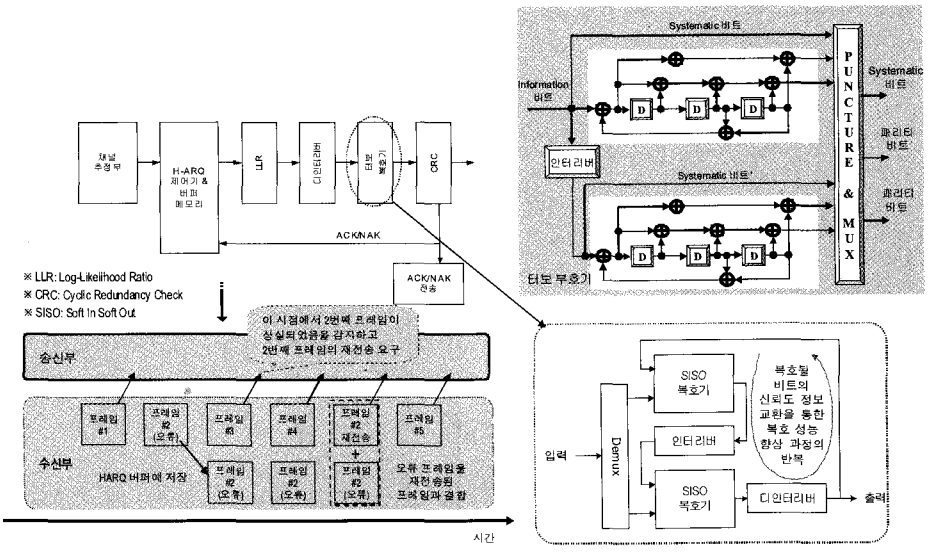
주파수 옵셋은 정수배와 소수배 옵셋으로 나뉘어 따로 추정한다. FFT는 DSP 코어로 처리하기 적합한 연산이지만, 유연성과 확장성(64,128,256,512,1024포인트 또는 그 이상의 FFT 연산)을 위해 전용 하드웨어 가속기의 저전력 장점과 프로그래머블한 특성을 조합한 Scalable OFDM 프로세서 등이 활발히 연구 개발되고 있다.

5.4 HARQ와 터보 복호기

HARQ(Hybrid Automatic Repeat reQuest)는 전송된 프레임 데이터의 오류 발생시 재전송 요구 메커니즘을 물리 계층에서 오류 정정기법과 결합한 것으로 흔히 데이터 링크 계층에서 행해지던 ARQ의 기능과 성능을 극대화한 기술이다. 즉 오류가 발생한 프레임을 버리는 것이 아니라 재전송된 프레임과 결합하여 복호 성능을 향상시키는 것으로 (그림 10)에 개념도를 보였다. 고속 데이터 전송시 사용되기 때문에 터보 복호기와 조합으로 동작하는 경우가 일반적이며, 결합의 의미는 연판정된 값의 상태에서 Systematic 값과 터보 인코딩된 패리티 값들을 선택적으로 조합하여 더할 수 있다는 것을 말한다.

재전송 비트 선택 방식에 따라 동일한 해당 수신 비트값끼리 결합하는 Chase 결합 방식, 완전히 새로운 비트들을 수신하여 부호화 이득을 증가시키게 되는 Full IR(Incremental Redundancy), 새로운 비트값과 동일한 비트값 일부씩을 수신하게 되는 Partial IR로 분류된다.

Berrou와 Glavieux가 발견한 터보 부호는 전기/전자 공학



(그림 10) HARQ 전송과 터보 부호기 및 복호기 예

에서 매우 중요한 개념인 '피드백'을 오류정정부호에 적용해보자는 아이디어가 근간이 되었으며, 핵심은 원래 신호와 그것의 랜덤 인터리빙된 신호에 대한 각각의 컴포넌트 복호기가 이전 복호 단계에서의 결정될 비트에 대한 연판정 신뢰도 정보를 상호 교환 이용하면서 반복적인 프로세스를 수행하며 향상시키는 데 있다.

일반적으로 4~10회의 반복 프로세스 후 양 컴포넌트 복호기는 모든 비트에서 일치된 결과를 얻게 된다. 터보 부호의 발견은 Shannon의 채널 용량 이론에 거의 근접한 혁신적인 오류 정정 부호 기술로서의 의미뿐 아니라 '터보 원리(Turbo Principle)'로 확립되어 반복적인 동작을 통해 수신 성능을 개선하는 방식을 등화기를 포함한 다른 수신부에도 확대적용시켰다, 한편, 반복적 복호 특성을 갖는 또 다른 혁신적 오류 정정 부호인 'LDPC (Low Density Parity Check) 부호'의 재발견을 가져오기도 했다.

HARQ는 현재까지 거론한 고속 데이터 모뎀 블록 중 가장 많은 메모리 면적을 차지하며, 터보복호기는 가장 높은 클럭 주파수로 구동되는 경우가 많아 전력 소모가 큼으로 인해 전용 하드웨어로 구현하는 것이 일반적이다.

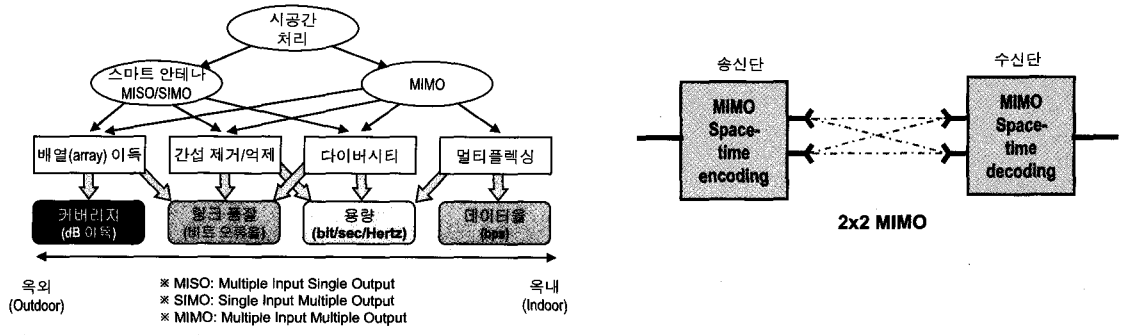
5.5 시공간 처리 (Space-Time Processing)

무선 채널에서 데이터율을 증가시키는 동시에 높은 링크 품질을 만족시키기 위해서는 시간, 주파수, 공간 축을 활용한 효율적인 신호 처리 기술이 필요하다[16]. 대역폭과 전송 전력은 제한되어 있고 시간축에서의 처리도 한계에 도달하였기 때문에 가장 여유로운 자원인 공간축을 활용하고자 것이 다중 안테나 시스템의 기본 아이디어이다[16-17]. 독립적으로 페이딩이 변하는 채널을 형성하여 신호를 수신함으로써 안정적인 경로를 설정하는 다이버시티 (diversity) 기법이 가장 기본적인 공간 활용 기술이며, Alamouti 코드를 활용한 송신 다이버시티 기법과 다중 수신 안테나 (단말에선 보통 2개)에 대해 MRC(Maximal Ratio Combining) 또는 MMSE방식을 적용한 심볼 결합 방법은 이미 3G모뎀 등에 널리 적용되어 있다

MIMO 기술은 다이버시티에 시공간 코드를 결합하여 각 송수신 안테나 사이를 독립 채널화하는 개념으로, 다중 사용자 검출 기법을 조합할 때 안테나 수에 비례하는 괄목할 만한 성능 향상을 가능하도록 한다. WiFi, WiMax 등에 이미 채용되었고, 향후의 광대역 무선 통신 표준에서 가장 중요한 요소 기술로 취급되고 있다. 다양한 시공간 부호의 조합과 채널 정보 처리 방식에 따라 몇 가지로 분류할 수 있다.

한편, 독립적인 채널을 위해 안테나간 일정 간격 이상을 필요로 하는 다이버시티와는 달리 상관 관계가 높은 안테나 배열 구조로 구성되며 채널 정보를 이용해 능동적으로 안테나 이득을 조절함으로써 채널 용량을 증대하고 동시에 간섭을 제거하는 기술이 스마트 안테나 시스템이다. 구현 특성상 현재는 기지국 기술에 주로 한정된다.

스마트 안테나와 MIMO는 현재로선 다른 기술로 분류될 수 있으나 배타적으로 볼 수 없고 다른 요소 기술과의 조합을 통해 시너지 효과를 기대할 수 있다. 역시 구현 복잡도 문제로 준최적화된 알고리즘을 전용 하드웨어로 구현하는 것이 단말 모뎀에선 일반적이며 스마트 안테나 시스템의 경우 기지국 모뎀에서 DSP로 구현하는 방안도 많이 연구되고 있다.



(그림 11) 다중 안테나를 이용한 시공간 처리 이득 효과와 2x2 MIMO 시스템 개념도

VI. 프로세서, 버스, 온 칩 (On-Chip) 메모리 구조

모바일 SoC에서 프로세서와 버스 구조의 진화 방향은 (그림 12)에 간략하게 도시한 바와 단일 계층 공유 버스 구조에 1 CPU, 1 DSP가 기본이던 것이 크로스바 스위치 형태의 버스 구조에 멀티 CPU/DSP 시스템으로 가고 있다. 단말기의 융복합화에 따라 개인용 컴퓨터 시스템 발전 방향과도 어느 정도 맥을 같이 하는 셈이다. 서론에서 언급한 바와 같이 성능을 최우선으로 생각해왔던 데스크탑/서버용 마이크로프로세서와는 달리 기술적인 흐름에서뿐 아니라 응용 분야와 가격 대 성능, 계층적인 소프트웨어 구조와 연관지어 생각해야 하는 부분이다.

또한 고성능 컴퓨터 시스템을 위해 개발된 PCI-Express나 모바일 전용 규격인MIPI(Mobile Industry Processor Interface) 표준 같은 초고속 직렬 인터페이스도 이동통신 SoC 적용 초기 단계에 있다. 차세대 이동통신용 SoC에서는 1Gbps이상의 데이터 스트림을 안정적으로 처리할 수 있는 인터페이스 및 버스 규격이 필요하므로 지속적이고 빠른 변화가 예상된다.

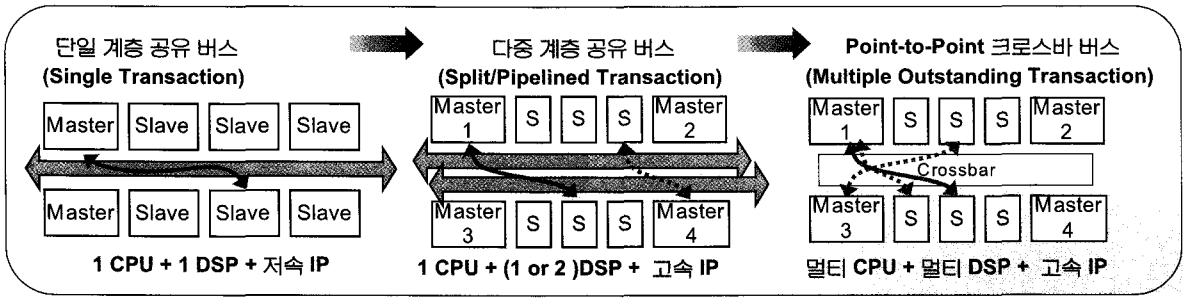
그런 노력중의 하나가, 100여개 이상의 버스 컴포넌트(Master, Slave)들을 고려해 마치 패킷망 같은 개념의 버스 구조로 IP를 연결하는 NoC(Network on a Chip)에 관한 연구이다. 네트웍 분야에 사용되던 개념을 도입한 것으로 복잡도 증가에 따른 효율성, 설계 방법론과 테스트 전략, 신뢰성 등 해결해야할 문제가 많아 기존 버스 방식에 일부 장점을 접목해 점진적으로 채용될 것으로 보인다.

컴퓨터 구조론에서 항상 강조되는 이야기지만, 성능 향상을 위해선 시간적 공간적 사용 빈도가 고려된 로컬리티(Locality) 특성을 잘 활용해야하며, 대표적인 예가 캐쉬(Cache)를 포함하는 계층적 메모리 구조이다. 이로 인해 증가하는 칩 면적 등의 문제는 4절에서 언급한 SiP 기술과 새로운 고밀도 임베디드 메모리, 연산 특성을 고려한 효율적 구조 설계로 해결 가능할 것이다.

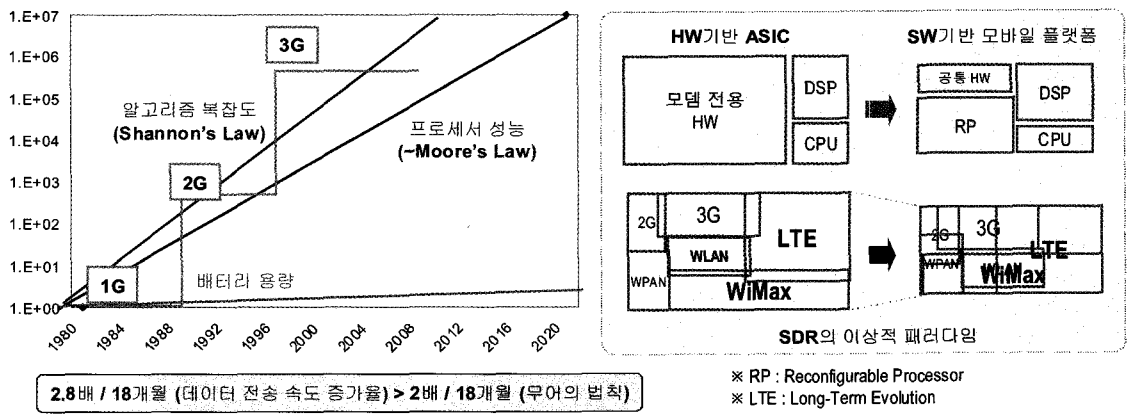
VII. 플랫폼 기반 설계와 SDR(Software Defined Radio)

현재 트랜지스터 집적도 증가 속도(무어의 법칙)와 설계자의 생산성 증가 속도 차이(2절에서 'SoC 위기' 로 언급한 바 있다.) 는 향후 SoC의 미래를 위협하고 있다. 통신 분야에선 무어의 법칙보다 더 빠른 증가 추세를 보이는 알고리즘 복잡도로 인해 더욱 심각한 괴리가 발생하고 있다(그림 12 참조). 앞서 설명한 바와 같이, SoC 설계에서 생산성의 향상은 초기 IP 기반 설계에서 출발하였다. 그동안 버스 규격/인터페이스, IP 교환 포맷, 문서화, IP 보호에 관한 내용 등이 표준화되어 왔으며, 이런 노력들은 재사용 가능한 IP의 품질 수준을 높이는데 기여해왔다.

그런 성과중 하나가 라이센싱 프로세스와 공인된 품질 기준을 만족하는 Star-IP의 등장이다. 그러나, 칩 Integration에 상당한 시간이 소요되기 때문에, 재사용 가능한 IP를 활용한



(그림 12) 모바일 SoC에서 버스 및 프로세서 구조의 진화 방향



2.8배 / 18개월 (데이터 전송 속도 증가율) > 2배 / 18개월 (무어의 법칙)

※ RP : Reconfigurable Processor
※ LTE : Long-Term Evolution

도입 연도	1995	2000	2003	2006	2009	2012
이동 통신 규격	IS-95	CDMA 1x	CDMA 1xEV	HSPA, WiBro	LTE, WiBro+	4G
	2G	2.5G	3G	3.5G(3.75G)	3.9G	4G
데이터 속도(kbps)	9.6	153	3,100	7,600 ~ 20,000	100,000~ 344,000	1,000,000

(그림 13) 통신 SoC의 딜레마와 SDR의 이상적 방향

설계로 얻어지는 생산성 향상은 한계가 있다. 한차원 높은 혁신을 위해 필요한 것은 ESL과 같은 상위 수준에서의 설계 방식 도입이었으며, 시장의 요구가 따라 후속 제품을 신속히 제공해야한다.

설계 생산성을 더욱 높이기 위한 방법으로 대두되고 있는 것이 기본 설계를 바탕으로 파생 제품을 쉽게 생성해 낼 수 있는 플랫폼 기반 설계 방법론이다. 플랫폼 기반 설계 환경은 품질이 보장된 다양한 하드웨어/소프트웨어 IP, 표준화된 버스 규격, ESL 설계/검증 자동화 tool, 프로토타이핑을 위한 전용 하드웨어 등으로 구성되며, 시스템 전반을 총괄적으로 이해하는 우수한 하드웨어, 소프트웨어 인력도 성공의 핵심 요소이다.

짧지 않은 역사를 가지고 있는 SDR은, 오늘날 모든 하드웨어, 소프트웨어, 설계/검증 플로우, 공정 기술, 테스팅에 소요되는 어마어마한 노력과 비용을 고려할 때 매우 매력적인 해결책이며 멀티모드/멀티밴드 Radio에 대한 요구가 이에 대한 정당성을 뒷바침한다.

그러나 과거의 정설이 현재에도 반드시 유효하지 않듯 소프트웨어의 비용 증가와 유지/보수의 어려움, 여전히 간극이 벌어지고 있는 반도체 기술 향상 속도과 통신 알고리즘의 복잡도를 고려할 때 보다 합리적인 해결책에 대한 폭넓은 탐색이 필요한다.

VIII. 결 론

이동 통신 SoC설계는 다기능/고성능/저전력/저가의 상충되는 목표와 시장의 빠른 변화 요구를 만족시키기 위해 유연하고 신뢰도 높은 IP와 시스템 수준의 설계 기술이 결합된 플랫폼 기반 방식으로 진화하고 있다. SoC기술 패러다임은 RF, 아날로그, 디지털 및 그외의 이종적인 소자들을 효과적으로 통합하기 위해 SiP기술과 융화되어가고 있으며, 새로운 설계/검증 방법론이 뒷받침되어야한다.

저전력을 위한 보다 어려운 설계 작업이 ESL, 멀티 프로세서, SoC내부의 네트워 기반 통신 등과 함께 앞으로 해결해야 할 숙제다. 중요한 통신 모뎀 블록은 유연성을 가미하기 위해 소프트웨어와 재구성 가능한 하드웨어, 플랫폼 기반 설계의 효과적인 조합으로 설계되어야하며 SDR 이상 실현을 위한 폭넓은 해결책 탐색이 필요하다.

참 고 문 헌

[1] T. A. C. M. Claasen, "An Industry Perspective on Current and Future State of the Art in System-on-Chip (SoC) Technology," Proceedings of the IEEE, Vol. 94, No. 6, pp1121-1137, Jun. 2006

[2] Resve Saleh, et al, "System-on-Chip: Reuse and Integration," Proceedings of the IEEE, Vol. 94, No. 6, pp1050-1069, June 2006

[3] F. Boeuf et al., "A conventional 45 nm CMOS node low-cost platform for general purpose and low power applications," Proc. IEEE Int. Electron Devices Meeting, 2004, pp. 425-428.

[4] G. Uvieghara, et el., "A Highly-Integrated 3G CDMA2000 1x Cellular Baseband Chip with GSM/AMPS/GPS/Bluetooth/Multimedia Capabilities and ZIF RF Support," in Proc. ISSCC 2004, Vol. 1, pp 422 - 536, Feb. 2004.

[5] Robert S. Patti, "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs," Proceedings of the IEEE, Vol. 94, No. 6, pp1214-1224, June 2006.

[6] D. M. Chapiro, "Globally-asynchronous locally-synchronous systems," Ph.D. dissertation, Stanford Univ., Stanford, CA, Oct. 1984.

[7] A. Chattopadhyay and Z. Zilic, "GALDS: A complete framework for designing multiclock ASIC' s and SoCs," IEEE Trans. VLSI Syst., vol. 13, no. 6, pp. 641-654, Jun. 2005.

[8] Jan M. Rabaey, et el, "Embedding Mixed-Signal Design in Systems-on-Chip," Proceedings of the IEEE, Vol. 94, No. 6, pp1070-1088, June 2006.

[9] W. Krenik, D. Buss, and P. Rickert, "Cellular handset integration: SIP versus SOC," in Proc. IEEE 2004 Custom Integrated Circuits Conf., pp. 63-70.

[10] The 2006 International Technology Roadmap for Semiconductors. [Online]. Available: http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm

[11] Proakis, J., "Digital Communications," McGraw-Hill, New York, 2001.

[12] A. Duel-Hallen, J. Holtzman, and Z. Zvonar, "Multi-User Detection for CDMA Systems," IEEE Personal Communication, vol. 2, no. 2, pp. 46-58, Apr. 1995.

[13] A. Yener, et el, "Interference Management for CDMA Systems through Power Control, Multiuser Detection, and Beamforming," IEEE Trans. Comm., Vol. 49, No. 7, pp1227 - 1239, Jul. 2001.

[14] P. Balaban and J. Salz, "Optimum diversity combining and equalization in digital data transmission with applications to cellular mobile radio - part I: Theoretical considerations," IEEE Trans. Communications, Vol.40, No.5, pp885-894, May 1992.

[15] R. Lupas and S. Verdu, "Linear Multi-User Detectors for Synchronous Code-Division Multiple-Access Channels," IEEE Trans. on Info. Theory, vol. 35, no. 1, pp. 123-136, Jan. 1989.

[16] A. J. Paulraj, R. Nabar and D. Gore, "Introduction to space-time wireless communications," Cambridge University Press, 2003.

[17] J. Winters, "On the capacity of radio communication systems with diversity in a Rayleigh fading environment," IEEE JSAC, Vol.5, No.5, pp871-878, June 1987.

한 태 희

1992년 KAIST 전기 및 전자공학과 학사
1994년 KAIST 전기 및 전자공학과 석사
1999년 KAIST 전기 및 전자공학과 박사
1999년 ~ 2006년 삼성전자 통신연구소 책임연구원으로 CDMA2000, 위성/지상파 DMB, Mobile WiMAX 단말 모뎀칩 개발 등 15개 이상 과제 참여
2006년 ~ 현재 한국산업기술대학교 전자공학과 조교수
관심분야 : 이동 통신 모뎀 및 멀티미디어 임베디드 시스템, SoC 플랫폼, 프로세서 구조, Design technology