

# 이중 대역 RFID 리더에 적용 가능한 Concurrent 이중 대역 저잡음 증폭기 설계 연구

論 文
56-4-18

## A Study on the Design of Concurrent Dual Band Low Noise Amplifier for Dual Band RFID Reader

吳在旭\*·林泰瑞\*·金炯碩†  
(Jae-Wook Oh · Tae-Seo Lim · Hyeong-Seok Kim)

**Abstract** - In this paper, we deal with a concurrent dual band low noise amplifier for a Radio Frequency Identification(RFID) reader operating at 912MHz and 2.45GHz. The design of the low noise amplifier is based on the TSMC 0.18 $\mu$ m CMOS technology. The chip size is 1.8mm $\times$ 1.8mm. To improve the noise figure of the circuit, SMD components and a bonding wire inductor are applied to input matching. Simulation results show that the S21 parameter is 11.41dB and 9.98dB at 912MHz and 2.45GHz, respectively. The noise figure is also determined to 1.25dB and 3.08dB at the same frequencies with a power consumption of 8.95mW.

**Key Words** : 이중 대역 저잡음 증폭기, RFID, 잡음 지수, 본딩 와이어 인덕터

### 1. 서 론

RFID 시스템은 적용 분야 및 사용 국가에 따라 사용하는 주파수 대역이 상이하다. 수신 감도와 적용 환경에 따라, 동시에 여러 대역을 활용하여야 할 필요성이 요구될 것으로 예상된다. 이를 고려한 RFID 시스템의 구현을 위해서는 다중 대역(Multi Band) RFID 리더(Reader)에 관한 연구가 필수적이며, 다중 주파수 대역을 처리할 수 있는 RF 송수신부, 디지털 신호 처리부의 연구가 선행되어야 한다. RF 송수신부의 경우, 다중 대역 송수신기의 개발에 앞서 다중 대역의 특성을 갖는 안테나, 필터, 증폭기 등과 같은 핵심 부품의 개발이 중요하다. 이들 부품의 소형화, 저전력화, 고성능화를 위한 초기 단계로 이중 대역(Dual Band) 수신기 및 이를 구성하는 이중 대역 모듈에 대한 연구가 활발히 진행되고 있다.[1-3] 안테나의 경우, RFID 대역에 사용할 수 있는 이중 대역 안테나가 연구되고 있다.[4]

본 논문에서는 RFID 사용 주파수 대역 중 가장 많이 사용될 것으로 예상되는 912MHz, 2.45GHz 대역의 이중 대역 RFID 리더에 적용 가능한 이중 대역 저잡음 증폭기(Low Noise Amplifier)를 다루고자 한다.

이중 대역 저잡음 증폭기를 설계하는 방법은 스위치를 이용하는 방식, 광대역 저잡음 증폭기 등 여러 가지가 있다. 스위치를 이용하는 방식은 모듈 사이즈가 크고, 소비 전력이 많으며, 동시에 2개의 대역이 동작하지 않는 단점이 있으며, 광대역 저잡음 증폭기는 원하지 않는 신호도 같이 증폭되기 때문에 수신기의 감도(Sensitivity)가 떨어지는 단점이 있다.[2]

이러한 단점들을 보완하기 위해 스위치를 사용하는 방식이 아닌 동시에 2개 대역이 동작하는 Concurrent 이중 대역 저잡음 증폭기를 설계하였다. 본딩 와이어(bonding wire) 인덕터와 SMD(Surface Mounted Device) 소자를 이용하여 입력 매칭 회로를 구성하였으며, TSMC 0.18 $\mu$ m 공정에서 제공하는 스파이럴(spiral) 인덕터를 이용하여 입력 매칭 회로 구성한 경우와 이득 및 잡음 지수(Noise Figure) 특성을 비교하였다. 이를 통하여 전력 소모가 적으며, 낮은 잡음 지수 특성을 갖는 Concurrent 이중 대역 저잡음 증폭기를 설계하였다.

### 2. 본 론

#### 2.1 Concurrent 이중 대역 저잡음 증폭기의 구조 및 설계 방법

그림 1은 Concurrent 이중 대역 저잡음 증폭기의 간략한 회로도이다. Concurrent 이중 대역 저잡음 증폭기는 PCSNIM(Power Constrained Simultaneous Noise Input Matching)방식의 캐스코드(Cascade) 저잡음 증폭기의 입력단에  $L_0$ ,  $C_0$ 를 이용한 공진 회로를 추가하여 2개의 주파수 대역에 대하여 입력 매칭 및 노이즈 매칭을 동시에 만족하도록 구성한다. 또한 출력 매칭 회로도 2개의 대역에서 동시에 최대 이득이 구현되도록 설계한다. 그림 1에서  $L_0$ 와  $C_0$ 에 의해서 생기는 공진 주파수  $f_0$ 는 S21이 중간에서 감소하는 주파수를 의미한다. 단일 대역 저잡음 증폭기의 입력 매칭 회로를 설계할 때, 먼저 트랜지스터의 사이즈,  $C_{ex}$ ,  $L_s$ 를 조절하여 입력 임피던스의 실수부를 50 $\Omega$ 으로 맞추게 된다.[5] 이중 대역 저잡음 증폭기를 설계할 때도 마찬가지로, 2개의 동작 주파수  $f_1$ ,  $f_2$ 에서 입력 임피던스의 실수부를 50 $\Omega$ 이 되도록 조절한다.

\* 學生會員 : 中央大 電子電氣工學部 碩士課程  
† 교신저자, 終身會員 : 中央大 電子電氣工學部 教授 · 工博  
E-mail : kimcaf2@cau.ac.kr  
接受日字 : 2007年 1月 3日  
最終完了 : 2007年 2月 18日

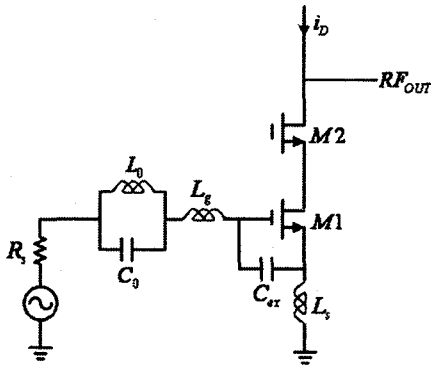


그림 1 Concurrent 이중 대역 저잡음 증폭기의 회로도  
Fig. 1 The schematics of the concurrent dual band low noise amplifier.

그림 1에서 입력단에서 바라본 입력 임피던스는 식 (1)과 같다.[3]

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_t} + \frac{L_s}{C_t} g_m + \frac{j\omega L_0}{1 - \omega^2 L_0 C_0} \quad (1)$$

식 (1)에서  $C_t$ 는  $C_{gs} + C_{ex}$ 를 나타낸다. 식 (1)을 실수부와 허수부로 나누면 식 (2), 식 (3)과 같다.

$$Re(Z_{in}) = \frac{L_s}{C_t} g_m \quad (2)$$

$$Im(Z_{in}) = j\omega(L_g + L_s) + \frac{1}{j\omega C_t} + \frac{j\omega L_0}{1 - \omega^2 L_0 C_0} \quad (3)$$

식 (2)에서 알 수 있듯이, 입력 임피던스의 실수부는 주파수의 함수가 아니기 때문에 수식상으로는 2개의 주파수에서 50Ω으로 맞추는 것이 가능하지만, 실제 설계에서는 스파이럴 인덕터 및 MIM 커패시터의 용량값이 주파수에 따라 변하기 때문에 2개의 주파수에서 동시에 50Ω을 맞추기는 어렵다. 따라서 가능한 2개의 주파수 대역에서 50Ω에 가깝도록  $C_{ex}$ ,  $L_s$ 의 구조 및 턴수를 결정한다, 또한 최소의 잡음 지수를 만족시키는  $\Gamma_{out}$ 의 실수부도 50Ω에 근접하도록 한다. 트랜지스터의 크기는 소비 전력이 크지 않도록 채널 선폴과 핑거(finger) 수를 결정하며, 게이트 단의 바이어스 전압은 최대 이득과 최소의  $NF_{min}$ 이 되도록 결정한다. 트랜지스터의 크기,  $C_{ex}$ 와  $L_s$ 를 결정한 후, 입력 매칭과 노이즈 매칭을 동시에 만족시키는  $L_g$ ,  $L_0$ ,  $C_0$  값을 구한다.

입력단에서 바라본 입력 임피던스를 2개의 동작 주파수  $f_1$ ,  $f_2$ 에서 50Ω으로 맞추기 위해서는 다음 식 (4), 식 (5)를 만족시켜야 한다.

$$\frac{L_s}{C_t} g_m = 50 \quad (at f_1, f_2) \quad (4)$$

$$j\omega(L_g + L_s) + \frac{1}{j\omega C_t} + \frac{j\omega L_0}{1 - \omega^2 L_0 C_0} = 0 \quad (at f_1, f_2) \quad (5)$$

입력 매칭단에서는 입력 매칭뿐만 아니라 최소의 잡음 지수를 구현할 수 있도록 입력 매칭 회로를 구성해야 한다. 캐스코드 구조의 회로에서 잡음 지수는 식 (6)으로 나타낼 수 있다.[3]

$$NF = 1 + |1 + Y_s(Z_{total} + Z_{gs} + Z_s)|^2 \cdot \frac{1}{g_m^2 |Z_{gs}|^2} \cdot \frac{i_{nd}^2}{i_s^2} \quad (6)$$

식 (6)을 그림 1에 적용하면 잡음 지수의 계산식을 얻을 수 있다. 식 (6)에서  $Z_{total}$ ,  $Z_{gs}$ ,  $Z_s$ 는 식 (7), 식 (8), 식 (9)와 같다.

$$Z_{total} = j\omega L_g + \frac{j\omega L_0}{1 - \omega^2 L_0 C_0} \quad (7)$$

$$Z_{gs} = \frac{1}{j\omega C_t} \quad (8)$$

$$Z_s = j\omega L_s \quad (9)$$

식 (6)에서 동작 주파수  $f_1$ ,  $f_2$ 에서 잡음 지수가 최소화되기 위해서는  $Z_{total} + Z_{gs} + Z_s = 0$ 을 만족하면 되는데, 이 식을 전개하면 식 (10)과 같다.

$$j\omega L_g + \frac{j\omega L_0}{1 - \omega^2 L_0 C_0} + \frac{1}{j\omega C_t} + j\omega L_s = 0 \quad (at f_1, f_2) \quad (10)$$

최소의 잡음 지수를 얻기 위한 조건인 식 (10)이 식 (5)와 같음을 알 수 있다. 따라서 2개의 동작 주파수  $f_1$ ,  $f_2$ 에서 식 (4)와 식 (5)를 만족시키도록 입력 매칭 회로를 구성한다면, 입력 매칭과 노이즈 매칭이 동시에 이루어짐을 알 수 있다. 식 (5)를 동작 주파수  $f_1$ ,  $f_2$ 에 대하여 전개하면 식 (11), 식 (12)와 같다.

$$j\omega_1(L_g + L_s) + \frac{1}{j\omega_1 C_t} + \frac{j\omega_1 L_0}{1 - \omega_1^2 L_0 C_0} = 0 \quad (11)$$

$$j\omega_2(L_g + L_s) + \frac{1}{j\omega_2 C_t} + \frac{j\omega_2 L_0}{1 - \omega_2^2 L_0 C_0} = 0 \quad (12)$$

식 (11), 식 (12)에서  $C_t$ ,  $L_s$ 를 식 (4)에서 결정된 상수라 하면, 미지수가  $L_g$ ,  $L_0$ ,  $C_0$  3개이고 식이 2개인 연립 방정식의 형태가 되므로 무수히 많은 해를 갖게 된다. 하지만,  $L_0$ ,  $C_0$ 로 인해 생기는 공진 주파수  $f_0$ 를 임의로 정한다면 조건식을 하나 더 얻을 수 있다. 공진 주파수  $f_0$ 는 식 (13)으로 나타낼 수 있다.

$$f_0 = \frac{1}{2\pi\sqrt{L_0 C_0}} \quad (13)$$

본 논문에서는 공진 주파수  $f_0$ 를 동작 주파수  $f_1$ 과  $f_2$ 의 사이에 두어 동작 주파수들 사이에서 유입되는 간섭 성분의 영향을 최소화 하려 하였다. 식 (13)에서  $f_0$ 를 두 개의 동작 주파수 사이에서 임의의 주파수로 정하면  $L_0C_0$ 값은 상수가 된다. 이를 식 (11), 식 (12)에 대입하여 전개하면 식 (14), 식 (15)와 같다.

$$(w_1^2 C_i - w_1^4 C_i L_0 C_0) L_g + w_1^2 C_i L_0 + (w_1^2 C_i L_s - w_1^4 C_i L_s L_0 C_0 + w_1^2 L_0 C_0 - 1) = 0 \quad (14)$$

$$(w_2^2 C_i - w_2^4 C_i L_0 C_0) L_g + w_2^2 C_i L_0 + (w_2^2 C_i L_s - w_2^4 C_i L_s L_0 C_0 + w_2^2 L_0 C_0 - 1) = 0 \quad (15)$$

식 (14), 식 (15)의 경우의 경우 변수가  $L_g, L_0$ 인 1차 연립방정식이 된다. 따라서 식 (14), 식 (15), 식 (13)을 연립하여 풀게 되면, 입력 매칭 회로에서 입력 매칭과 노이즈 매칭을 동시에 만족시키는  $L_g, L_0, C_0$  값을 구할 수 있다.

입력 매칭 회로를 구성한 후에는 최대의 이득을 얻기 위한 출력 매칭 회로를 구성하게 된다. 앞서 기술한 저잡음 증폭기 설계 방법을 그림 2의 순서대로 나타내었다.

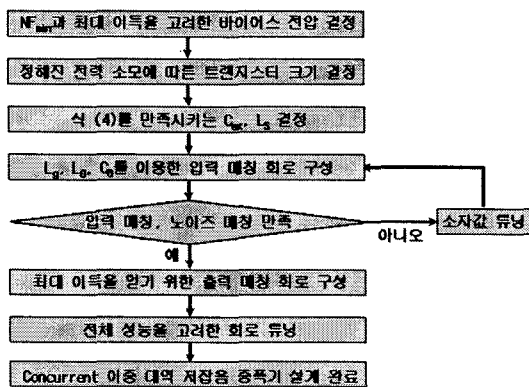


그림 2 Concurrent 이중 대역 저잡음 증폭기의 설계 순서도  
Fig. 2 The flow chart of the designing concurrent dual band low noise amplifier.

### 2.2 TSMC 스파이럴 인덕터를 이용한 저잡음 증폭기 설계

2.1절에서 기술한 이중 대역 저잡음 증폭기 설계 방법을 기반으로 Concurrent 이중 대역 저잡음 증폭기를 설계하였다. 입력 매칭 회로를 TSMC에서 제공하는 스파이럴 인덕터를 사용한 경우와 본딩 와이어 인덕터와 SMD 소자를 이용한 경우에 대해 서술하였다. 스파이럴 인덕터를 사용한 경우에 대해 설계 과정 및 시뮬레이션 결과는 다음과 같다.

소비 전력이 10mW 이하가 되도록 트랜지스터의 채널 선폰을  $1.5\mu\text{m}$ , 핑거 수를 42로 하였다. 또한, 게이트 단의 바이어스 전압의 변화에 따른 최대 이득과 최소의 잡음 지수를 고려하여, 높은 최대 이득과 낮은  $NF_{\min}$ 을 만족하도록 0.8V로 바이어스 전압을 결정하였다.

트랜지스터의 크기와 바이어스 전압을 결정한 후, 입력 임피던스와  $\Gamma_{opt}$ 의 실수부가 2개의 동작 주파수에서  $50\Omega$ 에 근접하도록  $C_{ex}$ 와  $L_s$ 의 구조 및 턴수를 결정하였다. 입력 임피던스의 허수부가 0이 되고, 최소의 잡음 지수를 얻기 위해서 식 (5)를 만족시키는  $L_g, L_0, C_0$ 의 값을 구해야 한다. 식 (5)에서  $L_g, L_0, C_0$ 의 값을 구하기 위해  $C_i, L_s$ 를 상수로 가정하였지만, 실제 설계에서는 주파수에 따라 인덕턴스 및 커패시턴스 값이 변한다. 따라서 게이트 앞단의 입력 임피던스를 2개의 동작 주파수 상에서 구하고, 그 값들을 식 (5)에 대입하여  $L_g, L_0, C_0$ 의 값을 구하였다.  $L_0$ 와  $C_0$ 에 의해 생기는 공진 주파수  $f_0$ 를 두 동작 주파수의 중간인 1.68GHz로 정하였다. 계산 결과  $L_g$ 는 18nH,  $L_0$ 는 16.532nH,  $C_0$ 는 0.543pF임을 알 수 있었다.

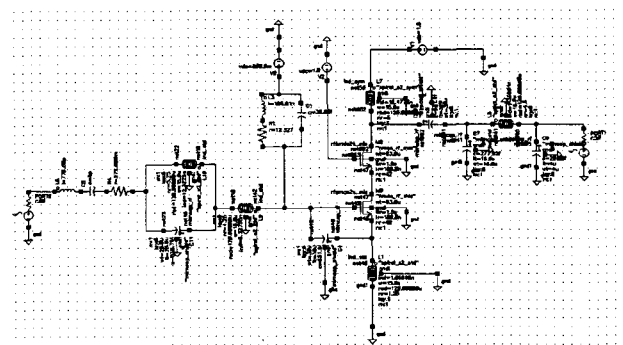


그림 3 입력 매칭 회로에 TSMC 스파이럴 인덕터를 사용한 Concurrent 이중 대역 저잡음 증폭기  
Fig. 3 Concurrent Dual Band low noise amplifier using TSMC spiral inductor in the input matching circuit.

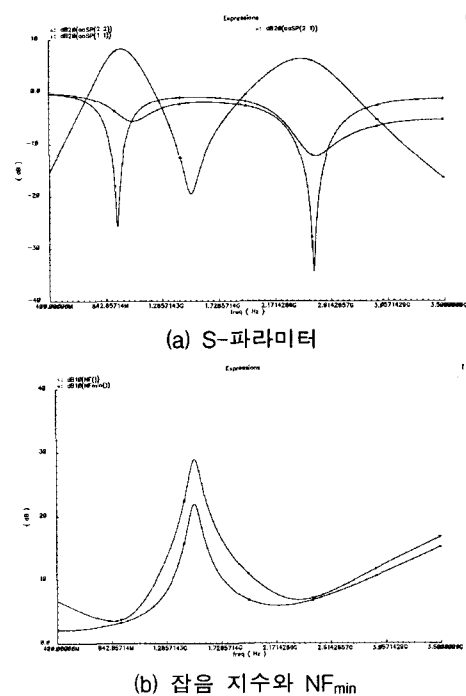


그림 4 그림 3의 시뮬레이션 결과  
Fig. 4 The simulation result of the Fig. 3.

계산된 소자 값을 바탕으로, 입력 매칭 회로를 TSMC에서 제공하는 스파이럴 인덕터와 MIM 커패시터로 구현하였다. 입력 매칭 회로를 구성 후, 출력 매칭 회로를 구성하여 동작 주파수에서 최대 이득을 낼 수 있도록 하였다. 설계가 끝난 후, 전체적인 튜닝을 통하여 최적의 특성을 나타내도록 하였다. 그림 3은 완성된 저잡음 증폭기의 회로도이며 시뮬레이션 결과를 그림 4에 나타내었다.

시뮬레이션 결과, 이득은 912MHz, 2.45GHz에서 각각 7.72dB, 6.11dB이며, 잡음 지수는 3.69dB, 7.11dB이다.  $I_D$ 는 4.97mA,  $V_D$ 는 1.8V이므로 소비전력은 8.95mW로 계산할 수 있다. 입력 매칭단에 많은 수의 입력 매칭 소자들이 들어갔으며, 특히 Q-factor가 낮은 스파이럴 인덕터를 2개 사용한 것이 잡음 지수 특성의 저하의 원인이라고 사료된다.

### 2.3 SMD소자, 본딩 와이어 인덕터를 이용한 저잡음 증폭기 설계

2.2절의 설계와는 다르게, 입력 매칭단의  $L_g$ 를 본딩 와이어 인덕터로 구현하고  $L_0$ ,  $C_0$ 를 이용한 공진기는 칩 외부에서 SMD 소자를 사용하여 구현하는 방식으로 설계하였다. 회로 시뮬레이션 시에는, 무라타(Murata)사에서 제공하는 SMD 소자의 등가 회로를 사용하였다. 그림 5와 그림 6은 칩 인덕터와 칩 커패시터의 등가 회로를 나타낸다.

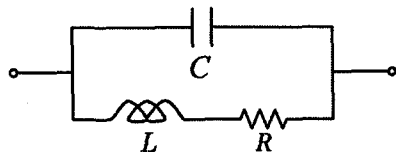


그림 5 칩 인덕터의 등가 회로  
Fig. 5 The equivalent circuit of the chip inductor.

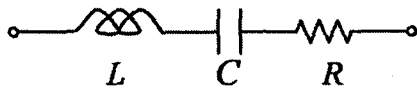


그림 6 칩 커패시터의 등가 회로  
Fig. 6 The equivalent circuit of the chip capacitor.

본딩 와이어 인덕터는 본딩 와이어를 길게 하여 인덕터로써 구현하는 것이다. 일반적으로, 본딩 와이어의 인덕턴스는 식 (16)으로 알려져 있다.[6]

$$L = \frac{l}{5} \left[ \ln\left(\frac{2l}{r}\right) - 0.75 + \frac{r}{l} \right] \text{ [nH]} \quad (16)$$

식 (16)에서  $L$ 은 인덕턴스이며,  $l$ 은 와이어의 길이,  $r$ 은 와이어의 지름이다. 실제 설계에서는 통상적으로 본딩 와이어의 인덕턴스는 1mm당 1nH정도인 것으로 간주하여 계산

한다.[7]

본딩 와이어 인덕터는 Q-factor가 아주 높기 때문에 이상적인 인덕터로 봐도 무방하지만, 회로 시뮬레이션 시에는 본딩 와이어의 저항 성분도 고려해 주기 위해 MKE사의 골드(gold) 본딩 와이어의 전기적 특성을 참조하였다. 그림 7은 MKE사의 지름이 25 $\mu$ m인 골드 본딩 와이어의 전기적 특성이다.

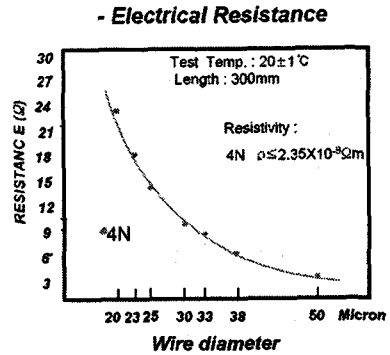


그림 7 골드 본딩 와이어의 전기적 특성  
Fig. 7 The electrical characteristics of the gold bonding wire.

와이어 지름이 25 $\mu$ m인 경우 길이가 300mm인 본딩 와이어의 저항은 15 $\Omega$ 이다. 따라서 1mm당 저항이 0.05 $\Omega$ 임을 알 수 있다. 회로 시뮬레이션을 수행할 때, 본딩 와이어 인덕터는 1mm당 인덕턴스를 1nH, 1mm당 저항을 0.05 $\Omega$ 으로 계산하여 회로를 구성하였다.

앞서 설계한 경우와 마찬가지로 계산된  $L_g$ ,  $L_0$ ,  $C_0$  값들을 본딩 와이어 인덕터와 SMD 소자들로 대체하여 입력 매칭 회로를 구성한 후, 출력 매칭 회로를 설계하였다. 이후, 소자 값을 변화시키면서 전체적인 특성의 향상을 얻고자 하였다. 완성된 전체 회로도에는 그림 8이며, 시뮬레이션 결과를 그림 9에 나타내었다.

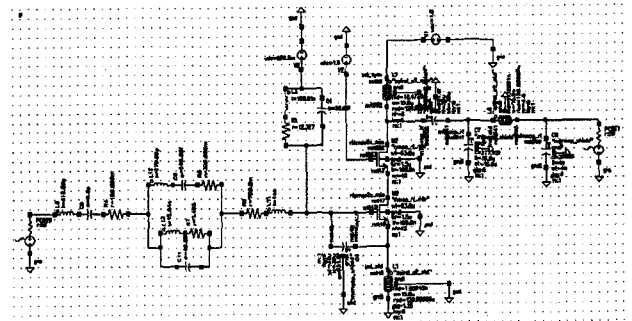
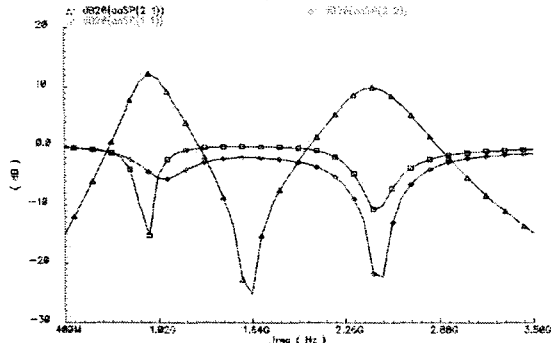
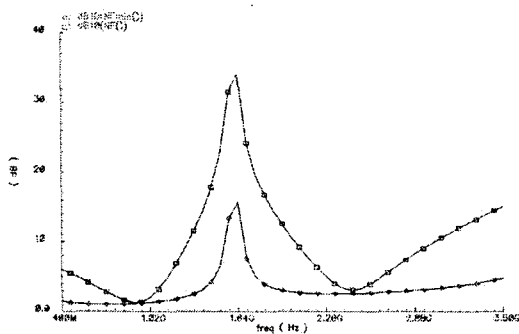


그림 8 입력 매칭 회로에 본딩 와이어 인덕터와 SMD 소자를 사용한 Concurrent 이중 대역 저잡음 증폭기  
Fig. 8 Concurrent Dual Band low noise amplifier using bonding wire inductor and SMD components in the input matching circuit.

그림 9에서 알 수 있듯이, 이득은 912MHz에서 11.41dB, 2.45GHz에서 9.98dB이며, 잡음 지수는 1.25dB, 3.08dB이다. TSMC 스파이럴 인덕터를 사용한 경우보다 이득 특성이나 잡음 지수 특성이 크게 향상되었음을 알 수 있다. 이는 Q-factor가 좋은 본딩 와이어 인덕터와 SMD 소자를 같이 사용했기 때문인 것으로 사료된다.



(a) S-파라미터



(b) 잡음 지수와 NF<sub>min</sub>

그림 9 그림 8의 시뮬레이션 결과  
Fig. 9 The simulation result of the Fig. 8.

2.4 시뮬레이션 결과 고찰

입력 매칭 회로를 기존의 TSMC에서 제공하는 스파이럴 인덕터를 사용한 방법(Case1)과 본딩 와이어 인덕터와 SMD 소자를 이용하여 설계하는 방법(Case2)의 2가지 방법으로 설계를 하였다. 이중에서, 입력 매칭단에 Q-factor 특성이 양호한 본딩 와이어 인덕터와 SMD 소자를 적용한 경우가 동일 소비 전력하에서 이득 및 잡음 지수 특성이 향상된 것을 확인할 수 있다.

2가지 경우의 시뮬레이션 결과를 표 1에 정리하였다.

표 1 Concurrent 이중 대역 저잡음 증폭기의 시뮬레이션 결과

Table 1 The simulation result of the Concurrent Dual Band low noise amplifier.

항 목	단위	Case1		Case2	
		912	2450	912	2450
동작주파수	MHz	912	2450	912	2450
이득	dB	7.72	6.11	11.41	9.98
S11	dB	-14.35	-11.81	-13.79	-10.82
S22	dB	-3.54	-21.88	-3.51	-22.91
잡음 지수	dB	3.69	7.11	1.25	3.08
소비전력	mW	8.95		8.95	

2.5 Layout

설계가 완료된 그림 9의 회로 중, 본딩 와이어 인덕터와 SMD 소자를 제외한 칩 내부에 집적될 부분을 Layout 하였다. Cadence Virtuoso를 이용하여 Layout을 수행하고 난 후, Layout을 검증하기 위하여 DRC(Design Rule Check)와 LVS(Layout Versus Schematics)을 수행하였다. Layout 수행 과정 및 검증 절차를 그림 10에 순서도로 나타내었다.

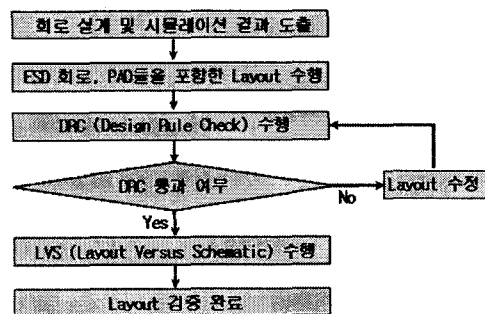


그림 10 Layout의 검증 과정 순서도  
Fig. 10 The flow chart of the Layout verification.

그림 10의 Layout 검증 과정을 거쳐 그림 11과 같이 Layout을 완성하였다. 정전기에 의한 소자의 파괴를 막는 ESD(Electrostatic Discharge)회로와 칩 외부와의 와이어 본딩(wire bonding)을 위한 패드들을 포함하여 Layout 하였다. 칩의 전체 크기는 1.8mm×1.8mm이다.

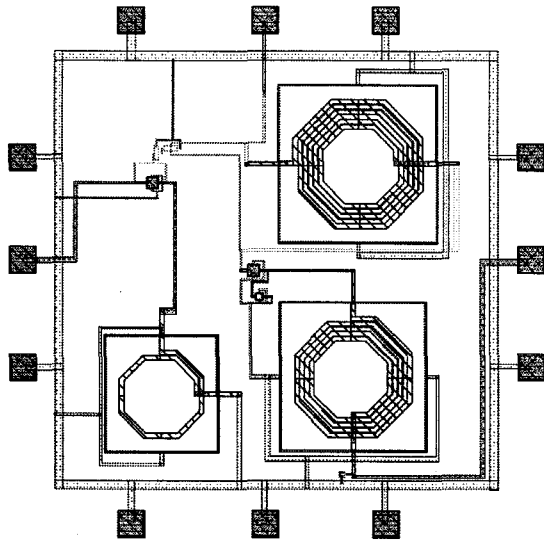


그림 11 Concurrent 이중 대역 저잡음 증폭기의 Layout  
 Fig. 11 The Layout of the Concurrent Dual Band low noise amplifier.

### 3. 결 론

본 논문에서는 소비 전력이 적고, 동시에 2개 대역에서 동작하는 Concurrent 이중 대역 저잡음 증폭기를 설계하였다. 입력 매칭 회로를 기존의 TSMC에서 제공하는 스파이럴 인덕터를 사용한 방법과 본딩 와이어 인덕터와 SMD 소자를 이용하여 설계하는 방법의 2가지 방법으로 설계를 하였다. 시뮬레이션 결과, 입력 매칭 회로에 SMD 소자와 본딩 와이어 인덕터를 이용한 방법이 이득 및 잡음 지수 특성이 뛰어났으며, 이는 입력 매칭단에 사용된 소자들의 높은 Q-factor에 기인한 것으로 보인다. 시뮬레이션 결과, 이득은 912MHz, 2.45GHz에서 각각 11.41dB, 9.98dB이며, 잡음 지수는 1.25dB, 3.08dB였다. S11은 각각 -13.79dB, -10.82dB이며, S22는 -3.51dB, -22.91dB이고, 소비 전력은 8.95mW로 계산되었다.

설계된 Concurrent 이중 대역 저잡음 증폭기에서 본딩 와이어 인덕터와 SMD 소자를 제외한 칩 내부에 집적될 부분을 Layout 하였다. DRC, LVS를 통하여 Layout을 검증하였으며, 구현된 이중 대역 저잡음 증폭기의 칩 크기는 1.8mm×1.8mm이다.

본 논문을 통하여 Concurrent 이중 대역 저잡음 증폭기의 설계에 대한 방법론이 마련되었다고 볼 수 있으며, 이는 다른 주파수 대역의 이중 대역 저잡음 증폭기 설계에도 유용할 것으로 보인다. 본 논문에서 제안된 방법은 실제 구현 시 SMD 소자 및 길이가 긴 본딩 와이어 인덕터로 인해 전체 저잡음 증폭기의 크기가 커질 것으로 예상된다. 향후 입력 매칭 회로를 구성하는 소자들을 칩 내부에 집적하면서 잡음 지수를 낮게 유지할 수 있도록, PGS(Patterned Ground Shield) 구조를 이용한 스파이럴 인덕터를 사용한 저잡음 증폭기 설계에 대한 연구가 수행되어야 할 것으로 사료된다.

### 감사의 글

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과입니다.

### 참 고 문 헌

- [1] Dong-Jun Lee, Duk-Sun Shim, Hyung-Kyu Kim, and Hyeong-Seok Kim, "Dual-band Slotted Patch Antenna with Diagonally Offset Deed for GPS and WLAN", *KIEE International Trans. on EA*, Vol.4-C, No.6, pp.310-313, 2004.
- [2] Kinzhong Duo, Li-Rong Zheng, Mohammed Ismail and Hannu Tenhunen, "A Concurrent Multi-Band LNA for Multi-Standard Radios", *IEEE International Symposium on Circuits and Systems*, Vol.4, pp.3982-3985. May, 2005.
- [3] Hossein Hashemi and Ali Hajimiri, "Concurrent Multiband Low-Noise Amplifiers-Theory, Design, and application", *IEEE Trans. on MTT*, Vol.50, No.1, pp.288-301, Jan. 2002.
- [4] S.Jeon, Y.Yu and J.Choi, "Dual-Band slot-coupled dipole antenna for 900MHz and 2.45GHz RFID tag application", *IEEE Electronics Letters*, Vol.42, No.22, pp.1259-1260, Oct. 2006.
- [5] Trung-Kien Nguyen, Chung-Hwan Kim, Gook-Ju Ihm, Moon-su Yang, and Sang-Gug Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques", *IEEE Trans. on MTT*, Vol.52, No.5, pp.1433-1442, May. 2004
- [6] H.M. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors", *IEEE Trans. on Parts, Hybrids, and Packaging*, Vol.PHP-10, No.2, pp.101-109, Jun. 1974.
- [7] Jan Craninckx, and Michel S. J. Steyaert, "A 1.8-GHz CMOS Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler", *IEEE Journal of Solid-State Circuits*, Vol.30, No.12, pp.1474-1482, Dec. 1995

저 자 소 개



**오 재 옥 (吳 在 旭)**

1978년 10월 16일생. 2005년 중앙대학교  
전자전기공학부 졸업. 2005년~현재 동  
대학원 전자전기공학부 석사과정  
E-mail : massloading@hotmail.com



**임 태 서 (林 泰 瑞)**

1979년 4월 17일생. 2006년 중앙대학교  
전자전기공학부 졸업. 2006년~현재 동  
대학원 전자전기공학부 석사과정  
E-mail : lim5540@naver.com



**김 형 석 (金 炯 碩)**

1962년 10월 9일생. 1985년 서울대학교  
전기공학과 졸업. 1987년 동 대학원 전기  
공학 공학석사. 1990년 동 대학원 전기공  
학 공학박사. 1990~2002 순천향대학교  
정보기술공학부 부교수. 1997~1998  
R.P.I. 미국 방문교수. 2002~현재 중앙대  
학교 전자전기공학부 교수.  
Tel : 02-820-5287  
Fax : 02-825-1584  
E-mail : kimcaf2@hotmail.com