최적 범위내에서 WLS인 게이트 수가 최대가 되는 입력 벡터를 이용한 게이트 수정 기법

論 文
56-4-15

A Gate Modification Method Using the Input Vector Maximizes the Number of Gates in WLS within the Optimum Range

成 邦 鉉* · 朴 慧 誠* · 金 錫 潤†
(Bang-Hyun Sung · Hyae-Seong Park · Seok-Yoon Kim)

Abstract - In this paper, we propose a new gate modification method using the input vector maximizes the number of gates in WLS within the optimum range of the minimum leakage power. We prove that MLV is not always the optimal solution, and that the leakage power and area can decrease when modifying the gates using the input vector for which the number of gates in WLS is maximized within the optimum range of the minimum leakage power for the circuits applying the IVC technique and gate modification method. Using the proposed method, the gate-level description circuit can be converted to the modified circuit which reduces the leakage power by chip designer, and the modified circuit can be applied without any modification in design flow.

Key Words : leakage power, gate modification, IVC, MLV, WLS

1. 서 론

오늘날의 반도체 부품(IC)의 경향은 집적도 및 동작 속도 측면에서 여전히 무어의 법칙(Moore's Law)을 따르고 있다. 반도체 소자의 채널길이(feature size)는 세대마다 0.7배씩 감소하고 있으며, ITRS(International Technology Roadmap for Semiconductors) 2005[2]에 따르면 2007년에 65nm, 2010년에 45nm에 이를 것으로 예측되고 있다. 이와 같은 반도체 소자의 크기 축소로 인한 고집적화 경향은 칩(chip)의 전력 소비 총량을 증가시키고 있다. 이중 누설 전력(leakage power)으로 인한 정적 전력소비(static power consumption)는 점차 증가하여 130nm 공정에서는 전체 전력소비의 18%, 65nm 공정에서는 전체 전력소비의 54%를 소비할 것으로 예측되어[1-2], 칩 설계자들에게 주된 관심이 되고 있다.

현재까지 누설 전력을 감소하기 위해 많은 기법들이 제안되어 왔다. 이중 많은 기법들은 두 종류 이상의 문턱 전압(threshold voltage)을 가진 디바이스(device)를 사용함으로써 회로의 누설 전력을 감소시킨다. 이와 같은 두 종류 이상의 문턱 전압을 가진 디바이스를 사용하기 위해서는 공정 기술(process technology)의 지원이 필요하다는 단점을 가지고 있다.

누설 전력을 감소하기 위한 다른 기법으로 IVC(Input Vector Control)[4]가 있다. 그림 1에서 볼 수 있듯이, transistor stacking effect[5]로 인해 각 게이트는 입력 벡터(input vector)에 따라 누설 전력의 차이가 발생한다. 이를 이용해, 주어진 회로가 수면 모드일 경우 누설 전력이 최소가 되는 입력 벡터를 인가함으로써 누설 전력을 감소시키는 것이 IVC 기법의 기본 개념이다. 따라서 공정 기술과는 무관하다.

(a)

Input	Out	leakage(pW)
0	1	410.8377
1	0	792.083

(b)

Input		Out	leakage(pW)
0	0	1	81.6717
0	1	1	410.8315
1	0	1	389.2887
1	1	0	1584.2

(c)

Input		Out	leakage(pW)
0	0	1	821.6733
0	1	0	792.0473
1	0	0	628.6127
1	1	0	34.6663

그림 1 게이트의 입력에 따른 누설전력
(a) Inverter, (b) 2-input NAND, (c) 2-input NOR
Fig. 1 Leakage power versus input values of gates

기존 제안된 IVC 기법에 관한 연구는 대부분 MLV (Minimum Leakage Vector)를 빠르고 정확하게 찾는 기법들이며, 해당 기법의 특성에 의해 근사적(heuristic) 기법[4],[10-13],[15]과 정확한(exact) 기법[12],[14-16]으로 분류된다. 그러나 많은 회로에서 MLV가 인가되었을 경우의 최소 누설 전력과 최대 누설 전력간의 차이는 크지 않다[7]. 회로에 MLV가 인가되었을 경우에도, 회로의 functionality dependency로 인해 누설 전력이 최대(WLS : Worst Leakage State)가 되는 게이트가 발생하며, 최악의 경우 WLS인 게이트들의 누설 전력이 전체 누설 전력의 대부분을 차지할 수 있다. 이와 같은 문제를 해결하기 위해 기존 게이트 구조에 디바이스를 추가함으로 누설 전력을 감소하는 기법들이 제안되었다[6-8],[16].

* 學生會員 : 崇實大 컴퓨터學科 碩士課程
† 교신저자, 正會員 : 崇實大 컴퓨터學科 敎授
E-mail : ksy@comp.ssu.ac.kr
接受日字 : 2006年 11月 17日
最終完了 : 2007年 2月 23日

본 논문에서는 기존 제안된 누설 전력 감소 기법중 IVC 기법에 최소 누설 전력의 최적 범위내에서 WLS인 게이트의 수가 최대가 되는 입력 벡터를 이용한 게이트 수정 기법을 제안한다. MLV는 기존 제안된 논문에서 성능 비교로 사용되어 높은 정확도를 보인 랜덤 벡터 추출 방법을 사용한다. 게이트 수정 방법은 기존 제안된 기법들 중 실험을 통해 효율적인 방법을 선택하고, 추가된 입력 신호가 인가되는 디바이스의 위치를 고려하여 게이트 수정을 수행한다. 측정된 게이트의 누설 전력은 응용 프로그램에 lookup table로 저장된다. 제안한 알고리즘은 Microsoft Visual C++로 구현하였으며, ISCAS85 벤치마크 회로들을 이용해 구현한 응용 프로그램의 올바른 수행 여부를 검증하였다. 제안한 기법은 최소 누설 전력값과 최적 범위를 구한 이후 적용해야 하며, IVC 기법과 게이트 수정 방법을 적용할 경우 누설 전력과 면적 감소에 효율적일 수 있다. 최적의 범위는 회로에 따라 차이가 있을 수 있으나, 0.5%~2.5%가 적당함을 알 수 있었다.

서론에 이어, 2절에서는 게이트의 수정 방법과 누설 전력의 측정 방법에 대해 언급한다. 3절에서는 MLV를 찾는 알고리즘을 소개하며, 최적 범위내에서 WLS인 게이트의 수가 최대가 되는 입력 벡터를 이용한 게이트 수정 기법을 제안하고, 이를 실험을 통해 검증한다. 마지막으로, 4절에서 결론을 맺는다.

2. 게이트 수정 방법과 누설전력 측정방법

본 절에서는 게이트 수정 방법과 누설 전력의 측정 방법을 언급한다. 본 알고리즘을 구현한 응용 프로그램은 여러 게이트들의 누설 전력을 HSPICE로 시뮬레이션하여 lookup table에 저장해둔다. HSPICE 시뮬레이션은 0.13um 공정에서 BPSIM4(Berkeley Predictive SPICE Model)[3]를 사용하였으며, pMOS와 nMOS의 channel width는 각각 0.8um와 0.4um로 설정하였다[9].

본 알고리즘은 주어진 회로에서 MLV가 인가되었을 경우 WLS인 게이트를 수정한다. 그림 1에서 볼 수 있듯이, 게이트의 누설전력은 Inverter와 NAND 게이트의 경우 입력으로 모두 논리적 '1' 값이 인가될 때 WLS이며, NOR 게이트의 경우 입력으로 모두 논리적 '0' 값이 인가될 때 WLS이다. 따라서 Inverter와 NAND 게이트는 입력으로 모두 논리적 '1' 값이 인가될 때, NOR 게이트는 입력으로 모두 논리적 '0' 값이 인가될 때 게이트 수정을 수행한다.

기존 제안된 게이트 수정 방법은 그림 2와 같다[7],[17]. 그림 2의 (b)와 (c)는 각각 NAND와 NOR 게이트의 수정 방법이며, n개의 입력을 가진 게이트를 n+1개의 입력을 가진 게이트로 수정한다. nMOS의 누설 전력소비량이 pMOS에 비해 크기 때문에 nMOS를 추가하는 방법이 누설 전력 감소에 효율적이며, 그림 2의 (a)는 nMOS만을 추가한 방법이다. 각 방법에 따른 누설 전력을 비교한 그림 3에서 볼 수 있듯이, 그림 2의 (a) 방법은 (b)와 (c) 방법보다 누설 전력 감소면에서 효율적이다. 그러나, 그림 4의 HSPICE 시뮬레이션 결과에서 볼 수 있듯이, 회로의 논리값에 따라 게이트의 출력이 플로팅(floating)될 수 있으며, 이로 인해 다음 단의 pMOS망과 nMOS망을 동시에 turn-on 시켜 단락 전력소비(short circuit power)를 증가시킬 수 있다[7]. 따라서, 본 알고리즘은 그림 2의 (b)와 (c) 방법을 사용하며, Inverter와 NAND 및 NOR 게이트 수정 방법은 그림 5와 같다.

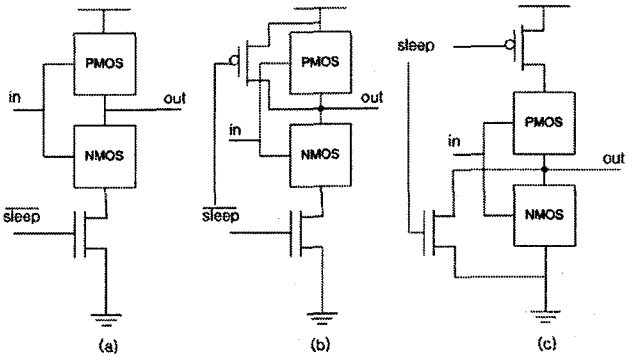


그림 2 게이트 수정 기법

Fig. 2 Gate modification methods

(a)

Input	Leakage (pW)	(a) method Leakage (pW)	(a) method Reduction (pW)	(a) method Reduction (%)	(b) method Leakage (pW)	(b) method Reduction (pW)	(b) method Reduction (%)
0	410.838	81.672	329.166	80.121	81.672	329.166	80.121
1	792.083	186.746	605.337	76.423	389.289	402.794	50.853

(b)

Input	Leakage (pW)	(a) method Leakage (pW)	(a) method Reduction (pW)	(a) method Reduction (%)	(b) method Leakage (pW)	(b) method Reduction (pW)	(b) method Reduction (%)
in1= 0, in2=0	81.672	45.531	36.140	44.251	45.531	36.140	44.251
in1= 0, in2=1	410.832	81.672	329.160	80.120	81.478	329.354	80.168
in1= 1, in2=0	389.289	81.478	307.811	79.070	81.478	307.811	79.070
in1= 1, in2=1	1584.200	232.336	1351.864	85.334	381.978	1202.222	75.888

(c)

Input	Leakage (pW)	(a) method Leakage (pW)	(a) method Reduction (pW)	(a) method Reduction (%)	(c) method Leakage (pW)	(c) method Reduction (pW)	(c) method Reduction (%)
in1= 0, in2=0	821.673	86.294	735.380	89.498	598.170	223.503	27.201
in1= 0, in2=1	792.047	186.745	605.302	76.422	34.556	757.492	95.637
in1= 1, in2=0	628.613	136.746	441.867	70.292	34.556	594.057	94.503
in1= 1, in2=1	34.686	34.605	0.061	0.177	16.782	17.884	51.590

그림 3 게이트 수정 방법에 따른 누설전력 비교
(a) Inverter, (b) 2-input NAND, (c) 2-input NOR

Fig. 3 Comparison results of leakage power reduction using the gate modification methods

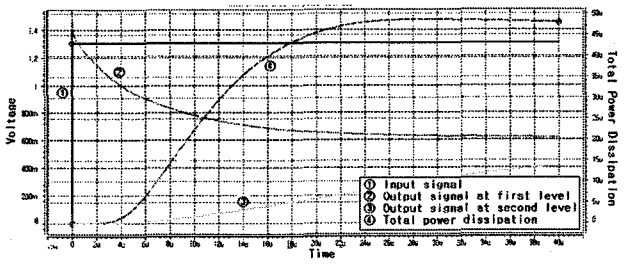


그림 4 그림 3(a) 방법에서 2-input inverter chain의 전압 및 소비전력

Fig. 4 Simulation results of 2-input inverter chain for figure 3(a) method

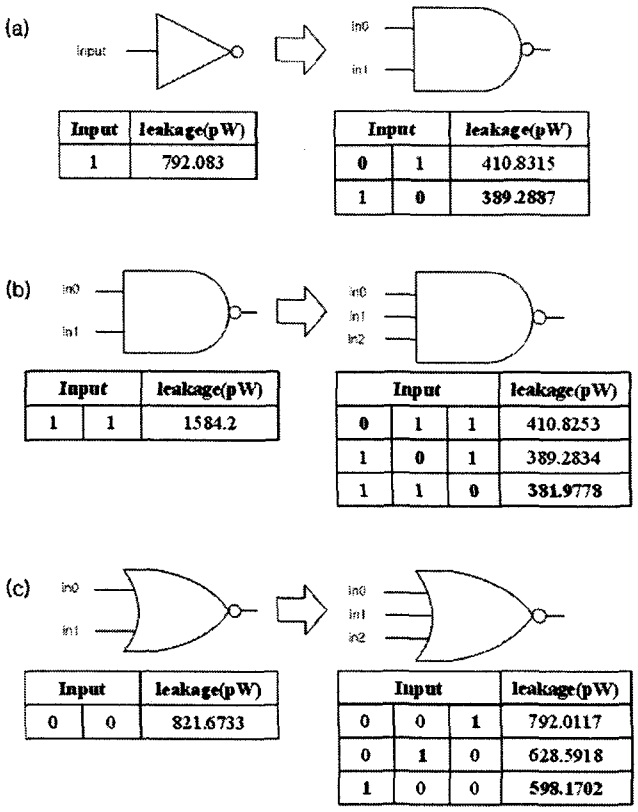


그림 5 WLS인 게이트를 수정하는 방법
(a) Inverter → 2-input NAND, (b) 2-input NAND → 3-input NAND, (c) 2-input NOR → 3-input NOR

Fig. 5 The modification for gates in WLS

4. MLV 문제 및 Max.WLS 입력 벡터를 이용한 게이트 수정 기법

4.1 MLV 문제

일반적으로 누설 전력이 최소가 되는 입력 벡터를 MLV라고 정의하며, MLV를 찾기 위한 문제를 MLV 문제라고 한다. MLV 문제를 가장 정확하게 찾는 방법은 회로의 모든 가능한 입력 벡터를 순차적으로 계산하여 비교하는 방법(이하 순차적 비교 방법)이다. 그러나, 이 알고리즘의 계산 복잡도는 O(2n×g) (n : 주어진 회로의 입력수, g : 게이트 수)이기에 주어진 회로의 입력수와 게이트 수에 따라 지수적으로 증가한다. 대부분 회로는 입력수가 20~200개 이상이기 때문에, 각 회로마다 순차적 비교 방법을 적용하기는 현실적으로 불가능하다. 대안으로, 모든 가능한 입력 벡터들 중에서 임의의 개수만큼 랜덤(random)하게 추출하여 그 중 누설 전력이 가장 작은 입력 벡터를 MLV로 간주하는 방법(이하 랜덤 벡터 추출 방법)이 있다. 랜덤 벡터 추출 방법의 정확도는 추출할 입력 벡터의 수와 비례한다.

이외에 NP-Complete이기에 모델링(modeling)하기 어려운 MLV 문제를 빠르고 정확하게 찾기 위한 기법들이 제안되어 왔으며, 해당 기법의 특성에 의해 근사적(heuristic) 기법[4],[10-13],[15]과 정확한(exact) 기법[12],[14-16]으로 분류된다. 기존 제안된 MLV 문제를 찾기 위한 여러 기법들의 성능 비교는 랜덤 벡터 추출 방법을 수행하여 나온 결과를 사용하며, 랜덤 벡터 추출 방법은 제안된 기법들보다 MLV에 근접한 방법이다.

4.2 Max.WLS 입력 벡터를 이용한 게이트 수정 기법

랜덤 벡터 추출 방법을 사용해 찾은 MLV는 게이트 수정 방법과 관련이 없다. 게이트 수정 방법은 MLV가 회로에 인가되었을 때 WLS인 게이트를 수정하여 누설 전력을 감소시킨 방법이며, 회로에 따라 게이트 수정 기법을 사용할 경우 최소 누설 전력값과 최적 범위 이내의 값 사이에 WLS인 게이트 수가 최대인 입력 벡터(이하 Max.WLS 입력 벡터로 표기)를 선택하는 방식이 게이트 수정 후의 누설 전력 면에서 효율적일 수 있다.

표 1 최소 누설 전력의 1% 범위내에서 Max.WLS 입력 벡터의 누설 전력

Table 1 Leakage power of the Max.WLS input vector within the 1% range of minimum leakage power

cir. name	min.leak. (nW)	inc.leak (nW)	# of WLS	inc.# of WLS	leak.of WLS (nW)	% of leak.in WLS
c432	139.199	1.202	26	4	28.604	20.549
c499	173.2	0	2	0	4.871	2.812
c880	336.658	2.327	137	1	169.582	50.372
c1355	369.608	0	106	0	169.628	45.894
c1908	720.791	11.596	276	59	351.892	48.820
c2670	1145.614	11.312	313	22	449.671	39.252
c3540	1534.543	14.682	535	57	633.353	41.273
c5315	2212.742	6.686	538	5	855.316	38.654
c6288	1799.901	4.922	720	0	591.131	32.842
c7552	3285.315	0	1045	23	1426.99	43.435

표 1은 MLV가 인가되었을 경우와 최소 누설 전력의 1% 범위내에서 Max.WLS 입력 벡터가 인가되었을 경우의 누설 전력 비교 결과이다. 표 1에서 볼 수 있듯이, 누설 전력은 Max.WLS 입력 벡터가 인가되었을 경우의 MLV의 경우보다 증가되었지만 WLS인 게이트의 수는 증가하였으며, WLS인 게이트들이 소비하는 누설 전력의 양과 누설 전력 소비 총량에 대한 비율은 증가하였다. 표 2~5는 각각 최소 누설 전력의 1%, 2.5%, 5%, 10% 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력과 면적 증가를 비교한 결과이다.

표 2~5의 결과에서 볼 수 있듯이, 1% 범위내에서는 c432, c3540, c7552 회로의 누설 전력이 각각 1.5nW, 2.5nW, 12nW 감소되었으며, 2.5% 범위내에서는 c432, c3540 회로의 누설 전력이 각각 3nW와 8nW 감소되었고, 5%와 10% 범위내에서는 c432 회로의 누설 전력이 각각 0.2nW와 0.94nW로 약간 감소하였다. 면적 증가율을 고려하면, 2.5% 범위 이상에서는 면적이 대부분 증가하였으나, 1% 범위에서는 회로의 입력 벡터에 따른 특성으로 인해 수정된 게이트 수가 적어 오히려 면적이 감소되었다. 그림 6과 그림 7은 각각

c432, c3540, c7552 회로를 최소 누설 전력의 10% 미만 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력 감소 및 면적 증가의 비교 결과이다. 그림 6과 그림 7에서 볼 수 있듯이, 최소 누설 전력의 0.5%~2.5% 범위에서 효율적인 누설 전력과 면적 감소를 얻을 수 있었다. 최소 누설 전력의 매우 작은 범위에서는 MLV를 사용하여 게이트 수정을 수행한 경우와 근접한 누설 전력 감소와 면적 증가를 얻을 수 있으며, 범위를 늘릴수록 누설 전력 감소량은 증가하고 면적이 오히려 감소할 수 있다. 그러나, 지나친 범위 증가는 누설 전력과 면적을 증가시킨다. 시뮬레이션 결과에서 알 수 있듯이, MLV가 아닌 Max.WLS 입력 벡터를 이용하여 게이트 수정을 수행하는 본 기법은 최소 누설 전력의 여러 범위를 시뮬레이션하여 최적의 입력 벡터를 찾아야 한다. 최적의 범위는 회로의 특성에 따라 차이가 있을 수 있으나, ISCAS85 벤치마크 회로들의 시뮬레이션 수행 결과에서 0.5%~2.5%가 적당함을 알 수 있다.

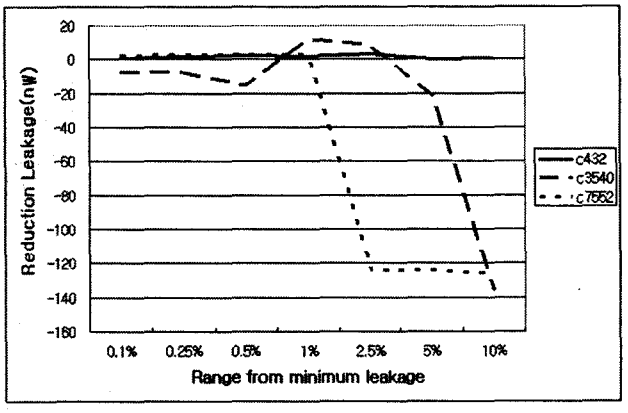


그림 6 최소 누설전력에서의 범위 변화에 따른 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설전력 감소량

Fig. 6 Leakage power reduction by the gate modification method using the Max.WLS input vector according to the range from the minimum leakage power

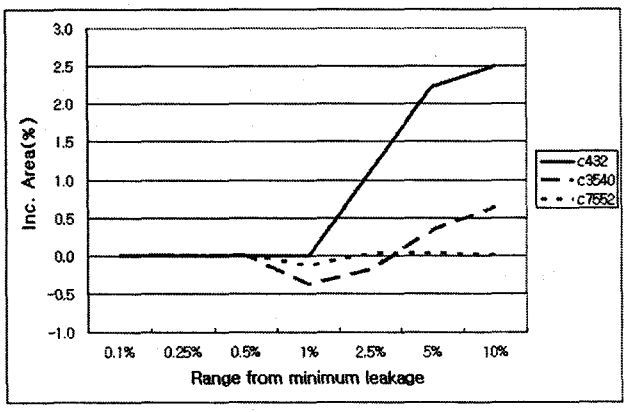


그림 7 최소 누설전력에서의 범위 변화에 따른 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 면적 증가

Fig. 7 Increased area by the gate modification method using the Max.WLS input vector according to the range from the minimum leakage power

이와 같이, 게이스 수정 기법을 사용할 경우 회로에 따라 MLV를 사용하기보다는 최소 누설 전력의 최적 범위내에서 Max.WLS 입력 벡터를 이용하여 게이트 수정을 수행할 경우 누설 전력과 면적 감소에 효율적일 수 있다. 제안한 기법은 최저 누설 전력값이 얻어진 이후 IVC 기법과 게이트 수정 방법을 적용할 회로의 경우 누설 전력을 더욱 낮추기 위한 방법으로 선택될 수 있으며, 최적 범위내에서 누설 전력과 면적 감소의 효율성을 검증한 이후 적용해야만 한다.

5. 결 론

본 논문에서는 MLV가 아닌 최적 범위내에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법을 제안하여 기존 제안된 방식보다 누설 전력을 더욱 감소시켰다. 게이트 수정 방법은 기존 제안된 기법들 중 실험을 통해 효율적인 방법을 선택하였으며, 추가된 입력 신호가 인가되는 디바이스의 위치를 고려하여 게이트 수정을 수행한다. MLV는 랜덤 벡터 추출 방법을 사용하며, 게이트 수정 기법을 적용할 경우 MLV가 아닌 최소 누설 전력의 최적 범위에서 Max.WLS 입력 벡터를 이용하는 방식이 더 효율적일 수 있음을 실험 결과를 통해 증명하였다.

본 기법은 MLV를 이용한 최저 누설 전력값을 이용해 최적 범위를 구해야 하며, 누설 전력과 면적 감소의 효율성을 검증해야만 한다. 회로에 따라 차이가 있으나, IVC 기법과 게이트 수정 방법을 적용하는 회로에서 효율적으로 누설 전력을 더욱 낮추기 위한 기법으로 사용될 수 있다. 본 기법을 이용해 칩 설계자는 IVC 기법과 게이트 수정 방법을 적용할 경우 설계 과정에서 게이트 수준의 회로를 입력으로 하여 빠르고 효율적으로 누설 전력을 감소시킨 새로운 회로로 변환할 수 있으며, 변환된 회로는 입력한 회로와 같은 게이트 수준으로 기술된 회로이며 설계단계의 수정 및 재설계 과정 없이 기존 설계단계에 적용할 수 있다.

표 2 최소 누설 전력의 1% 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력과 면적 증가 비교

Table 2 Comparison of the leakage power and increased area by the gate modification method using the Max.WLS input vector within the 1% range of minimum leakage power

cir. name	min. leak (nW)			# of modified gate			inc. area (%)	
	rand (1)	Max. WLS (2)	red. leak. (1)-(2)	rand (3)	Max. WLS (4)	inc. # (4)-(3)	rand	Max. WLS
c432	137.71	136.13	1.58	36	36	0	10.028	10.028
c499	170.58	170.58	0	2	2	0	0.350	0.350
c880	283.32	283.85	-0.53	139	140	1	15.410	15.521
c1355	342.79	342.79	0	280	280	0	24.242	24.242
c1908	605.67	630.74	-25.07	550	630	80	31.903	36.543
c2670	1045.6	1072.4	-26.8	442	466	24	16.480	17.375
c3540	1428.6	1416.6	12	627	613	-14	17.297	16.910
c5315	2084.3	2090.9	-6.6	844	851	7	14.986	15.110
c6288	1516.2	1521.2	-5	2096	2096	0	41.447	41.447
c7552	3188.6	3186.1	2.5	1811	1801	-10	23.523	23.393

표 3 최소 누설 전력의 2.5% 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력과 면적 증가 비교

Table 3 Comparison of the leakage power and increased area by the gate modification method using the Max.WLS input vector within the 2.5% range of minimum leakage power

cir. name	min. leak (nW)			# of modified gate			inc. area (%)	
	rand (1)	Max. WLS (2)	red. leak. (1)-(2)	rand (3)	Max. WLS (4)	inc. # (4)-(3)	rand	Max. WLS
c432	137.71	134.55	3.16	36	40	4	10.028	11.142
c499	170.58	170.58	0	2	2	0	0.350	0.350
c880	283.32	288.66	-5.34	139	140	1	15.410	15.521
c1355	342.79	344.2	-1.41	280	298	18	24.242	25.801
c1908	605.67	630.88	-25.21	550	624	74	31.903	36.195
c2670	1045.6	1083.6	-38.00	442	461	19	16.480	17.189
c3540	1428.6	1420.6	8	627	620	-7	17.297	17.103
c5315	2084.3	2090.8	-6.5	844	851	7	14.986	15.110
c6288	1516.2	1521.2	-5	2096	2096	0	41.447	41.447
c7552	3188.6	3313.2	-124.6	1811	1813	2	23.523	23.549

표 4 최소 누설 전력의 5% 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력과 면적 증가 비교

Table 4 Comparison of the leakage power and increased area by the gate modification method using the Max.WLS input vector within the 5% range of minimum leakage power

cir. name	min. leak (nW)			# of modified gate			inc. area (%)	
	rand (1)	Max. WLS (2)	red. leak. (1)-(2)	rand (3)	Max. WLS (4)	inc. # (4)-(3)	rand	Max. WLS
c432	137.71	137.50	0.21	36	44	8	10.028	12.256
c499	170.58	170.58	0	2	2	0	0.350	0.350
c880	283.32	291.81	-8.49	139	142	3	15.410	15.743
c1355	342.79	343.83	-1.04	280	288	8	24.242	24.935
c1908	605.67	630.89	-25.22	550	624	74	31.903	36.195
c2670	1045.6	1240.6	-195	442	542	100	16.480	20.209
c3540	1428.6	1449.1	-20.5	627	639	12	17.297	17.628
c5315	2084.3	2090.8	-6.5	844	851	7	14.986	15.110
c6288	1516.2	1521.2	-5	2096	2096	0	41.447	41.447
c7552	3188.6	3313.1	-124.5	1811	1813	2	23.523	23.549

표 5 최소 누설 전력의 10% 범위에서 Max.WLS 입력 벡터를 이용한 게이트 수정 기법의 누설 전력과 면적 증가 비교

Table 5 Comparison of the leakage power and increased area by the gate modification method using the Max.WLS input vector within the 10% range of minimum leakage power

cir. name	min. leak (nW)			# of modified gate			inc. area (%)	
	rand (1)	Max. WLS (2)	red. leak. (1)-(2)	rand (3)	Max. WLS (4)	inc. # (4)-(3)	rand	Max. WLS
c432	137.71	136.77	0.94	36	45	9	10.028	12.535
c499	170.58	170.58	0	2	2	0	0.350	0.350
c880	283.32	299.41	-16.09	139	145	6	15.410	16.075
c1355	342.79	344.51	-1.72	280	297	17	24.242	25.714
c1908	605.67	630.89	-25.22	550	624	74	31.903	36.195
c2670	1045.6	1274.9	-229.3	442	569	127	16.480	21.216
c3540	1428.6	1564.9	-136.3	627	650	23	17.297	17.931
c5315	2084.3	2649.6	-565.3	844	998	154	14.986	17.720
c6288	1516.2	1861.3	-345.1	2096	1661	-435	41.447	32.846
c7552	3188.6	3314.7	-126.1	1811	1811	0	23.523	23.523

감사의 글

본 연구는 숭실대학교 교내 연구비 지원으로 이루어 졌습니다.

참 고 문 헌

[1] D. Blaauw, A. Devgan, and F. Najm, "Leakage power: trends, analysis and avoidance," ASP-DAC 2005, vol. 1, pp. T-2, Jan. 2005.

[2] http://public.itrs.net

[3] http://www-device.eecs.berkeley.edu/~ptm

[4] J. Halter and F. Najm, "A gate-level leakage power reduction method for ultra low power CMOS circuits," CICC 1997, pp. 475 - 478. May. 1997

[5] S. Yang et al., "Accurate stacking effect macro-modeling of leakage power in sub-100 nm circuits," VLSI Design 2005, pp. 165-170 , Jan. 2005.

[6] L. Yuan and G. Qu, "A combined gate replacement and input vector control approach for leakage current reduction," IEEE Transactions on Very Large Scale Integration Systems, vol. 14, no. 2, pp. 173-182, Feb. 2006.

[7] H. Rahman and C. Chakrabarti, "An Efficient Control Point Insertion Technique for Leakage Reduction of Scaled CMOS Circuits," IEEE Transactions on Circuits and Systems II, vol. 52, no. 8, pp. 496-500, Aug. 2005.

[8] N. Hanchate and N. Ranganathan, "LECTOR: a technique for leakage reduction in CMOS circuits," IEEE Transactions on Very Large Scale Integration Systems, vol. 12, no. 2, pp. 196-205, Feb. 2004.

[9] Y. Xu, Z. Luo,and Xiaowei Li, "A maximum total leakage current estimation method," ISCAS 2004, vol. 2, pp. 757-760, May. 2004.

[10] Z. Chen, M. Johnson, L. Wei, and K. Roy, "Estimation of standby leakage power in CMOS circuits considering accurate modeling of transistor stacks," ISLPED 1998, pp. 239 - 244, Aug. 1998.

[11] M. C. Johnson, D. Somasekhar, and K. Roy, "Models and algorithms for bounds on leakage in CMOS circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 18, no. 6, pp. 714 - 725, Jun. 1999.

[12] R. M. Rao, F. Liu, J. L. Burns, and R. B. Brown, "A heuristic to determine low leakage sleep state vectors for CMOS combinational circuits," ICCAD 2003, pp. 689 - 692, Nov. 2003.

[13] S. Naidu and E. Jacobs, "Minimizing Stand-By Leakage Power in Static CMOS Circuits," DATE 2001, pp 370 - 376, March. 2001.

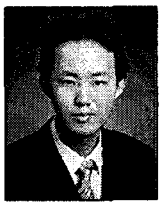
[14] F. Aloul, S. Hassoun, K. Sakallah, and D. Blaauw, "Robust SAT-based search algorithm for leakage power reduction," International Workshop on Integrated Circuit Design, pp. 167 - 177, Sep. 2002.

[15] F. Gao and J. P. Hayes, "Exact and heuristic approaches to input vector control for leakage power reduction," ICCAD 2004, pp. 527 - 532, Nov. 2004.

[16] A. Abdollahi, F. Fallah, and M. Pedram, "Analysis and optimization of static power considering transition dependency of leakage current in VLSI circuits," ISQED 2005, pp. 77-82, March. 2005.

[17] M. Johnson, D. Somasekhar, and K. Roy, "Leakage control with efficient use of transistor stacks in single threshold CMOS," DAC 1999, pp. 442 - 445, Jun. 1999.

저 자 소 개



성 방 현 (成 邦 鉉)

1979년 4월 23일생. 2005년 숭실대 컴퓨터학부 졸업. 2007년 동 대학원 컴퓨터학과 졸업 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계

Tel : 02-813-0682
Fax : 02-821-0927
E-mail : bhsung@ic.ssu.ac.kr

박 혜 성 (朴 慧 誠)

1981년 1월 23일생. 2005년 대진대 컴퓨터공학과 졸업. 2006 ~ 현재 숭실대 대학원 컴퓨터학과 석사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계

Tel : 02-813-0682
Fax : 02-821-0927
E-mail : phsghost@ic.ssu.ac.kr

김 석 윤 (金 錫 潤)

1958년 8월 12일생. 1980년 서울대 공대 전기공학과 학사, 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc.,Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 부교수. 주관심분야는 설계자동화, VLSI 회로해석 및 설계, 통신시스템

Tel : 02-820-0682
Fax : 02-822-3622
E-mail : ksy@comp.ssu.ac.kr