

논문 2007-44SD-3-10

픽셀단위 자동보상회로가 적용된 용량형 지문센서의 CMOS구현

(CMOS Integrated Capacitive Fingerprint Sensor with Pixel-level Auto Calibration Circuit)

정 승 민*

(Seung-Min Jung)

요 약

본 논문에서는 지문센서의 주변환경 변화에 따른 획득 이미지의 왜곡을 보상하기 위한 픽셀 수준의 자동보상회로를 설계하고 0.35 μ m CMOS공정을 적용하여 칩으로 구현하였다. 적용된 센서는 48x48 픽셀의 용량형 센서로서 센서의 출력 전압과 기준 전압을 비교하여 이진 영상 출력을 하게 된다. 기준전압을 제어하여 왜곡된 이미지를 보상하기 위한 알고리즘을 제안하였으며 기준전압제어를 위하여 기존의 DAC와 같은 복잡한 회로 대신 비휘발성 메모리에 적용되는 승압회로를 픽셀별로 적용하였다. 본 논문에서는 승압회로에 의한 이미지보상효과를 얻을 수 있었으며 아울러 16단계의 회색 이미지를 얻음으로써 지문의 인증율을 높일 수 있었다.

Abstract

We propose a pixel-level automatic calibration circuit scheme that initializes a capacitive fingerprint sensor LSI to eliminate the influence of the surface condition and environment, which is degraded by dirt during long-time use, process variation and ambient temperature. The sample chip is fabricated on 0.35 μ m standard CMOS process. The calibration is executed by optimizing the reference voltage in each pixel to make the sensor signals of all pixels the same. The calibration control circuit is composed of the sensing circuit and charge pumping circuit, and calibrates all pixels in a short time. 16-level gray scale fingerprint images can be captured to increase the accuracy of identification. This confirms that the scheme is effective for capturing consistent clear images during long-time use.

Keywords : 지문센서, 자동보상회로, 전하펌프회로, 용량형센서, 전하분할, 지문알고리즘

I. 서 론

최근 반도체 방식의 단일 칩 지문센서의 연구가 활발히 진행되고 있다. 몇 개의 연구결과들은 작고, 얇으며, 저가의 직접터치 방식의 반도체 지문인식 칩의 가능성을 보여주고 있다.^[2-3] 특히 지문센서와 센서로부터 얻은 이미지를 처리하는 32비트 명령어축약형(RISC) 마

이크로컨트롤러를 하나의 칩으로 집적화한 스마트 지문센서 SOC의 개발^[1]은 성능뿐 아니라 경제적 가치를 한층 높인 연구결과로 평가될 수 있다. 하지만 이와 같은 연구성과에도 불구하고 아직 개선해야할 몇 가지 사항들이 존재하고 있다. 첫 번째로 이미지보상 기능이 없다는 점이다. 센서의 표면에 오염물질이 존재할 경우 혹은 습한 지문과 건조한 지문일 경우에 있어서 센서로부터 추출 되는 지문은 원래의 이미지로부터 상당히 왜곡된 결과를 얻을 수 있다. 두 번째로 기존의 지문센서 SOC는 이진화 이미지를 출력하고 있다. 출력 이미지가 이진화 이므로 알고리즘의 인증율에 한계가 있다. 지문인식 알고리즘의 처리특성상 회색조 (gray-scale)

* 정회원, 한신대학교 정보과학대학 정보통신학과
(Department of Information and Telecom, Hanshin University)

※ 이 논문은 2007학년도 한신대학교 학술연구비 지원에 의하여 연구되었음.

접수일자: 2006년11월22일, 수정완료일: 2007년2월8일

이미지가 있어야 인증율이 더욱 높아지는 것으로 알려져 있다. 하지만 회색조 이미지의 비트수 증가에 따른 지문인증 처리 속도증가 및 전력소모 증가의 영향 역시 고려해야 한다. 따라서 목표로 하는 지문인증 처리 속도와 전력소모를 얻음과 동시에 최대의 인증율을 얻을 수 있도록 이진화 이미지 출력대신 센서로부터 적절한 수준의 회색조 이미지를 얻을 수 있어야 한다.

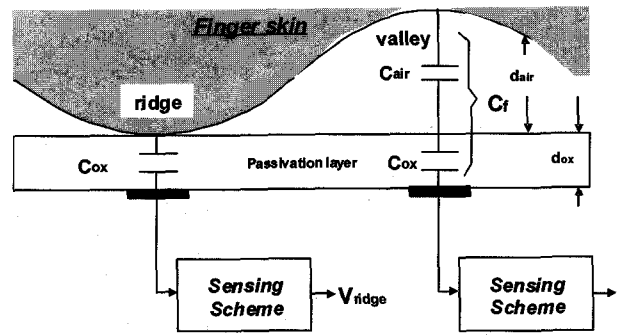
본 논문에서는 기존에 개발된 32비트 RISC 마이크로컨트롤러 내장형 지문센서^[1]의 성능을 향상시키기 위하여 위에서 언급된 개선사항을 만족하기 위한 이미지 보상회로를 탑재한 센서회로를 제안하고 있다. 제안된 회로는 DAC(Digital to Analog Converter)대신 각 픽셀 내에 탑재할 수 있는 회로로서 비휘발성 메모리의 고전압발생 회로인 전하펌프회로 (charge pump circuit)를 적용하고 있다. DICKSON 전하펌프회로^[4]를 기본으로 4-bit DAC와 유사한 특성이 나타나도록 회로를 최적화하고 센서 픽셀 내에 레이아웃이 가능하도록 설계하였다. 새롭게 제안된 회로는 주변의 온도, 습도와 같은 환경의 영향, 표면의 오염, 공정 변화에 따른 기준전압 변화 등에 따른 이미지 왜곡을 보상해줌으로써 지문센서의 이미지 질을 향상 시킨다. 또한 16 단계의 회색조 이미지를 통하여 인증 인증률을 높인다.

본 논문의 구성은 다음과 같다. II 장에서는 DAC를 이용한 보상시스템의 소개와 문제점을, DAC를 대체할 수 있는 전하펌프회로를 소개하고 전하펌프회로를 이용한 자동 보상 기능을 갖는 지문센서 시스템 동작의 개념을 제안한다. III 장에서는 본 논문에서 최적화되어 설계된 전하펌프회로 및 모의실험 결과 와 레이아웃을 보여준다. IV 장에서는 제작된 샘플 칩의 테스트 결과를 나타낸다.

II. 지문이미지 보상회로시스템

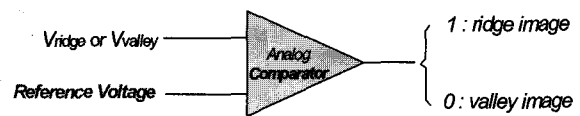
용량형 반도체 지문센서의 원리는 그림 1(a)와 같이 센서 부분인 최상위 금속판과 지문의 굴곡인 융선(ridge)와 계곡(valley)이 절연막(passivation)을 사이에 두고 존재하는 용량값의 차이를 전압으로 변환한 다음 그림 1(b)와 같이 아날로그비교기를 이용하여 기준전압(reference voltage)과의 비교를 통하여 융선과 계곡이 구분된 이진화된 지문이미지를 생성하게 된다^[1].

구조적으로 용량형 지문센서의 표면에 지문 이외의 불순물이 존재할 경우 추출된 지문의 이미지는 왜곡될 수 있다. 왜곡된 지문이미지의 보상을 위한 방법으로



(a) 용량형 지문센서 구조

(a) Capacitive fingerprint sensing scheme



(b) 아날로그비교기를 이용한 융선과 계곡의 검출

(b) Detection of a ridge and valley using comparator

그림 1. 용량형 지문센서의 원리 및 동작구조
Fig. 1. Capacitive fingerprint sensor scheme.

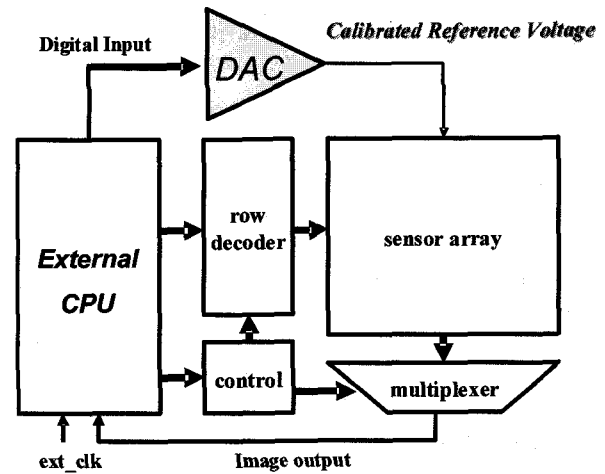


그림 2. 전형적인 지문센서 이미지보상 회로

Fig. 2. Conventional calibration scheme.

그림 2와 같이 DAC를 적용하는 회로가 제안된 바 있다. DAC는 마이크로컨트롤러로부터 디지털 입력을 받아 출력으로 융선과 계곡의 중간 전압인 기준전압을 만들어 낸다. 기준전압은 센서로부터 받은 전압과 비교하여 지문의 융선과 계곡을 판단하여 이진 이미지를 만들어 낸다. 이 방식은 지문센서의 동작 초기에 지문을 접촉하지 않은 상태에서 0 volt 에서 vdd 까지 기준전압을 증가시키면서 최적의 융선 전압과 계곡 전압을 찾아냄으로써 초기 지문센서의 표면 오염에 따른 영향 및 공정변화에 따른 기준전압의 변화에 대처할 수 있는 방식이다. 하지만 이 방식은 그림에서 알 수 있듯이 레이어

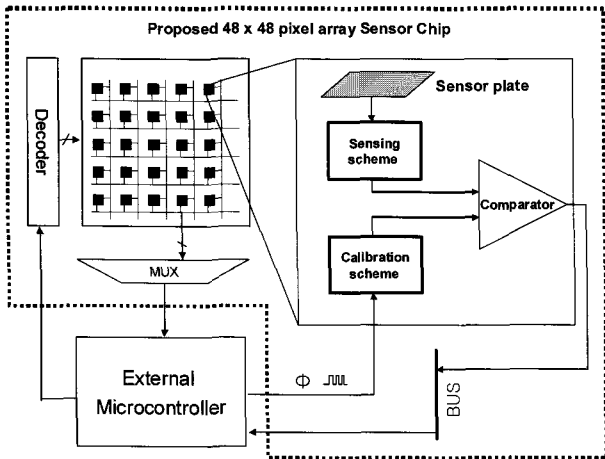


그림 3. 제안된 픽셀별 보상회로를 탑재한 지문센서 구조

Fig. 3. Proposed pixel-level calibration scheme.

웃 면적이 매우 크고 복잡한 고성능 DAC를 적용해야 한다. 따라서 각각의 픽셀 내에 탑재가 불가능하므로 어레이 크기에 따라 여러 개의 외부 DAC를 적용해야 한다. 이 경우 DAC특성 차가 발생할 수 있고 픽셀 영역별 이미지의 질에 차이가 발생할 수 있다. 더욱이 DAC의 전력소모가 문제될 수 있다.

가장 큰 문제는 DAC의 레이아웃면적이 센서와 하나의 칩으로 집적화하기는 불가능하다는 것이다. 가장 좋은 해결방법은 그림 3과 같이 각각의 센서 픽셀 내에 보상회로를 넣어주는 것이다. 픽셀 내에 있는 보상회로(calibration circuit)는 마이크로컨트롤러의 제어하에 DAC와 같은 방식으로 용선과 계곡을 구별할 수 있는 최적의 기준전압을 만들어 내게 된다. 이 보상회로는 제한된 면적에 집적화될 수 있는 대단히 소규모의 회로 구조로 이루어져야 한다.

본 논문에서는 픽셀 수준의 자동 보상을 위한 회로로 전하펌프회로(charge pump circuit)를 적용하고 있다. 전하펌프회로는 일반적으로 비휘발성 메모리의 승압회로로 적용된다. 그림 4에서 볼 수 있듯이 중첩되지 않은 두 개의 clock 신호 ϕ 와 ϕ' 에 의하여 단계적으로 전압이 상승한다. 하나의 단은 다이오드와 캐패시터로 구성되어 있으며 충전된 전하는 다이오드의 작용에 의하여 하나의 방향으로만 전달되어 전체적으로 단계별 출력 전압의 상승효과를 나타낸다. 상승된 전압은 그림 3에서와 같이 비교기의 기준전압으로 적용되어 센서로부터 나온 전압과 비교되어 용선과 계곡을 구분하게 된다.

그림 5는 전하펌프회로를 적용한 지문센서의 자동 보상 동작 알고리즘을 제안하고 있다. 그림의 좌측은

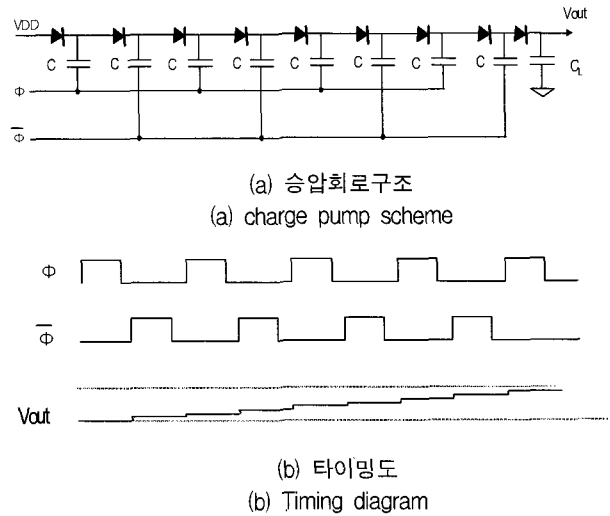


그림 4. 승압회로의 동작원리

Fig. 4. Principle of charge pump circuit.

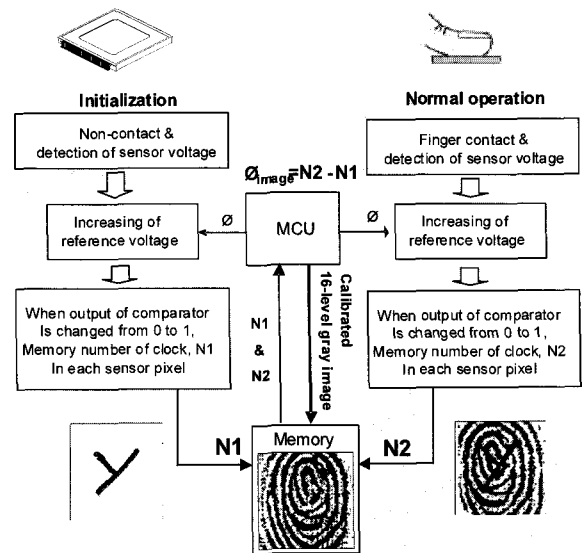


그림 5. 승압회로를 이용한 지문센서의 보상시스템 개념

Fig. 5. Proposed calibration algorithm.

센서 동작 초기화 과정을 나타내고 있다. 센서의 표면은 지문이 접촉되지 않은 노출 상태로 마이크로컨트롤러로부터 clock ϕ 을 공급받아 전하펌프회로를 구동시켜 비교기의 기준전압을 상승시킨다. 비교기는 지문센서의 감지전압과 전하펌프회로의 출력전압 즉 기준전압을 비교하여 로직 0 가 1로 바뀌는 시점의 전하펌프회로의 clock 의 횟수, 즉 N1을 메모리에 저장시킨다. 각 픽셀에 대한 N1의 값이 메모리에 저장되면 센서표면의 초기의 오염에 의한 이미지 왜곡의 초기화가 완료된다. 그림 5의 오른쪽은 지문이 접촉되는 정상동작을 나타내고 있다. 센서가 만든 지문이미지의 감지전압과 전하펌프회로의 출력전압 즉 기준전압을 비교하여 로직 0 가

1로 바뀌는 시점의 전하펌프회로의 clock 의 횟수 즉 N2을 메모리에 저장시킨다. 최종적으로 마이크로콘트롤러는 각 픽셀 별로 초기화 당시의 N1값을 N2에 보상값으로 빼 줌으로서 초기의 왜곡된 이미지를 제거한 정상상의 이미지를 얻을 수 있는 것이다. 또한 보상회로에 의하여 최종 얻어진 clock 카운트 값은 회색조 이미지로서 역시 메모리에 저장되게 된다.

III. 승압회로 설계

그림 4의 전하펌프회로를 지문센서의 각 픽셀에 적용하기 위해서는 몇 가지 최적화 작업이 필요하다. 본 논문에서는 이러한 최적화를 위하여 기존의 한정된 센서 픽셀 면적내에 레이아웃이 가능하도록 다이오드와 캐패시터 결합 단(stage) 수를 결정하였다. 또한 캐패시터를 active layer 와 poly 혹은 metal layer 로 적용하기에는 한 픽셀의 면적에 제한이 있으므로 모든 캐패시터를 MOS 트랜지스터로 구현하도록 하였다. 마지막으로 그림 6 에서와 같이 각 MOS 트랜지스터의 W/L를 최적화하여 16 단계의 회색조를 나타내는 DAC와 유사한 동작을 하도록 새롭게 설계하였다. M1은 다이오드로서 전하의 역류를 막는 기본적인 동작을 하나 전압상승의 속도를 고려하되 최소한의 크기로 정하였으며 M2는 결합 캐패시터로서 0.35 μm 공정에서 10fF을 얻기 위하여 게이트 면적이 2.2 μm^2 가 되도록 하였고, M3는 부하 캐패시터로서 90fF이 되도록 게이트 면적이 18 μm^2 가 되도록 설계하였다. 그림 7은 기존의 픽셀 크기 58 x 58 μm^2 를 유지하면서 최적화된 레이아웃을 나타낸다.

그림 8에서는 그림 7의 레이아웃으로부터 추출된 기생분을 포함한 LPE 네트리스트를 이용하여 0.35 μm 표준 CMOS 공정에서 HSPICE 모의실험한 결과를 나타내고 있다.

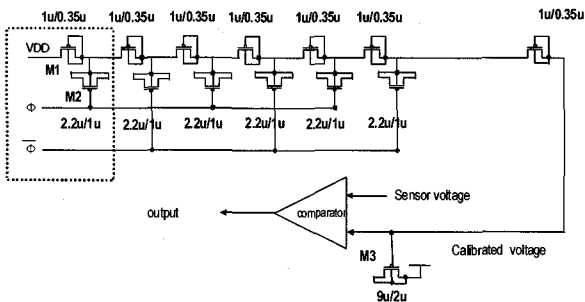


그림 6. 최종 설계된 6 단 승압회로
Fig. 6. 6-stage charge pump circuit.

설계된 전하펌프회로는 0V 에서 3.0V까지 16개의 voltage level을 나타내고 있으며 이는 4 bit 회색조 출력으로 이용될 수 있음을 보이고 있다. 2.6V 이후에서 비선형적인 특성을 나타내고 있으나 센서 감지전압의 분포가 대략적으로 블록 영역 내에서 나타나므로 적용

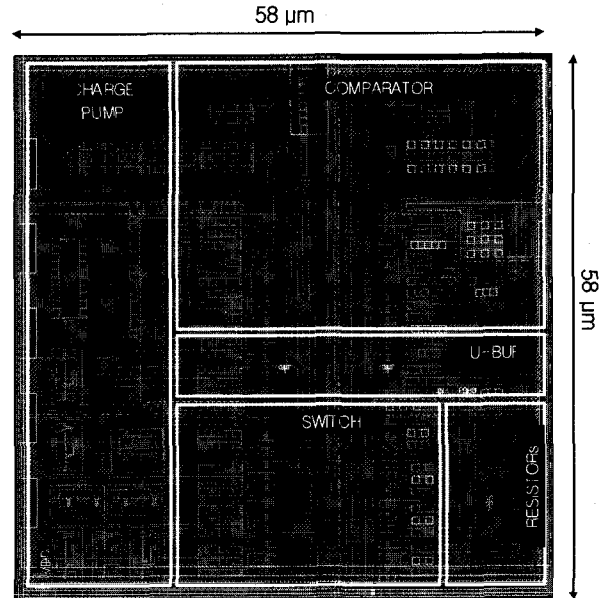


그림 7. 기존의 픽셀 크기 58 x 58 μm^2 를 유지하면서 최적화된 레이아웃

Fig. 7. One pixel layout.

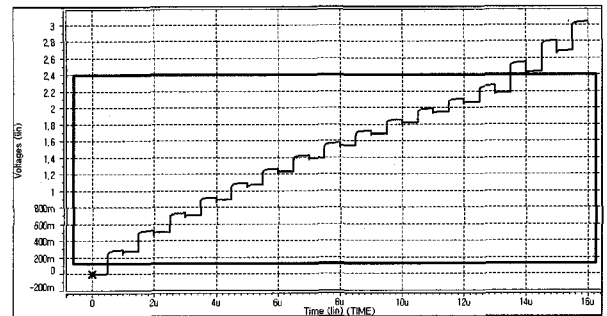


그림 8. 설계된 승압회로 모의실험결과 (0.35 μm 표준 CMOS 공정, VDD=3.0V)

Fig. 8. Simulation result.

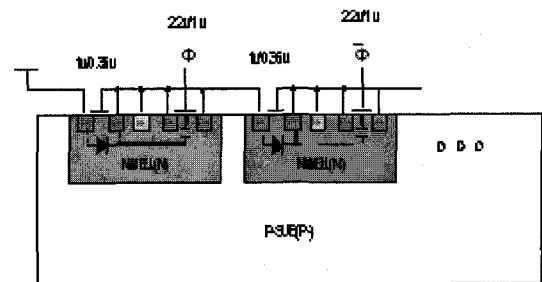


그림 9. 승압회로의 수직구조

Fig. 9. Vertical structure.

하는데 문제없다.

그림 9는 수직구조를 나타내고 있다. MOS 를 이용하여 각 단 별로 다이오드를 형성시켜야 하므로 기관전원이 분리가 되어야 한다. 따라서 PMOS 만을 이용하여 설계되었다.

IV. 샘플 칩 제작 및 테스트

그림 10은 제안된 보상회로의 검증을 위해 제작된 샘플 칩의 블록도이다. 그림 11은 제작된 칩의 사진으로 0.35 μ m CMOS 공정으로 다이 크기는 5mm x 5mm, 48 x 48 픽셀 어레이로 구성되었으며 하나의 픽셀 내 센서신호처리는 38개의 트랜지스터로 설계되었다. 센서신호처리는 58 μ m X 58 μ m 센서플레이트 하부에 구현되었으며 60 μ m 픽셀피치로 423dpi의 이미지 해상도를 갖고 있다.

설계된 이미지 보상회로의 동작검증을 위하여 그림

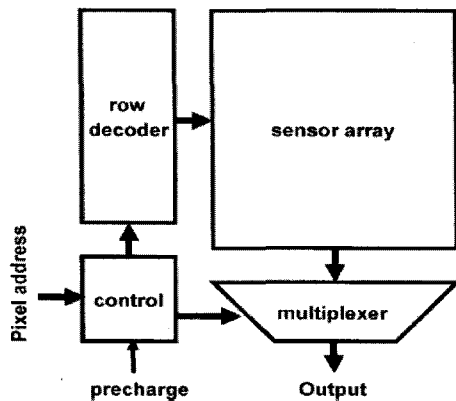


그림 10. 샘플 칩 블록도
Fig. 10. Sensor chip block diagram.

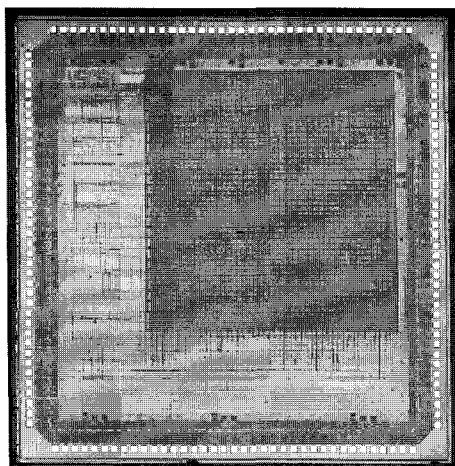


그림 11. 칩사진(0.35 μ m 표준 CMOS공정)
Fig. 11. Chip microphotograph.

12와 같이 지문센서 표면에 펜으로 마킹을 하였다. 이는 펜의 탄소성분이 오염된 지문표면의 효과와 같은 전기적 결과를 나타내기 때문이다. 그림 13은 칩 테스트 보드를 나타낸다. 화살표부분이 제작된 센서칩을 나타낸다. 그림 14(a)처럼 보상회로가 동작하기 전 추출된 이미지에는 마킹된 이미지가 나타나고 있음을 알 수 있으며, 그림 14(b)에서는 보상회로를 통하여 오염된 표면의 초기화 성분을 제거하고 난 뒤의 이미지를 보여주고 있다. 더러워진 초기화 이미지가 완전히 제거 되어 깨끗한 원 이미지를 얻을 수 있음을 확인할 수 있다.

인증을 검증을 위하여 본 논문에서는 개인별로 5개의 이미지를 서로 다른 16명으로부터, 총 80개의 지문을 추출하였다. 이를 이용하여 총 6320(80x79)번의 인증 테스트를 실시하였다. 수행결과 매칭 스코어 25를 기준

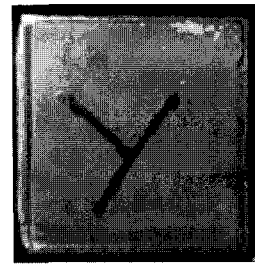
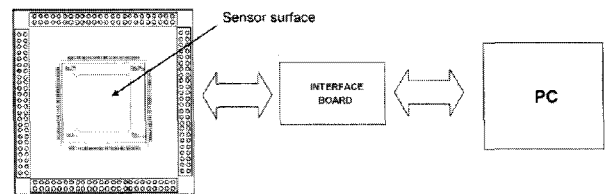
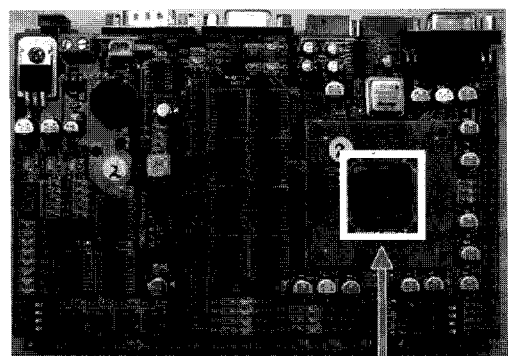


그림 12. 표면이 임의로 마킹된 지문센서
Fig. 12. Marked surface of sensor.



(a) 샘플 칩 테스트 보드구성도
(a) Test board diagram



(b) 샘플 칩 테스트 보드구현
(b) Test board

그림 13. 지문알고리즘 테스트보드
Fig. 13. Test board of chip.

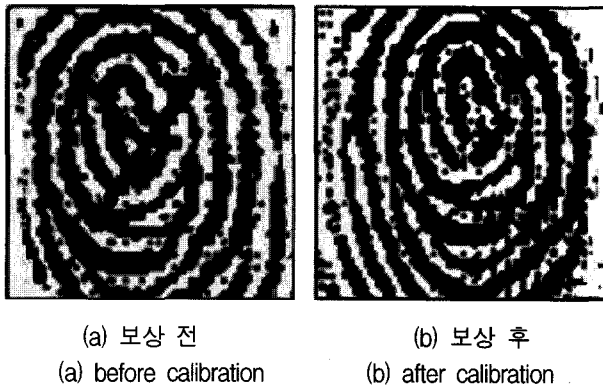


그림 14. 보상회로결과

Fig. 14. Effect of calibration circuit.

표 1. 샘플 칩 특성

Table 1. Characteristics of sample chip.

| | |
|-----------------------|--|
| Process | 0.35 μm standard CMOS 4-metal, 1-poly |
| Die size | 5 mm \times 5 mm |
| No. of pixels | 2304 (48 \times 48) |
| Image resolution | 423 dpi |
| Number of Tr. | 1,155,000 |
| Pixel size | 58 μm \times 58 μm |
| Pixel pitch | 60 μm |
| FAR/FRR | 0.4%/0.5% |
| Time of image capture | 1.55 ms |
| Power dissipation | 14.4 μW at 3.0 V |
| Operating frequency | 444 KHz |
| Pin number/package | 144 pins/open top |

으로 오인식률(FAR:False Acceptance Ratio)가 0.4%이하로 나타났으며 본인 거부율((FRR:False Rejection Ratio)은 0.5%이하로 나타났다. 기존 결과^[1]인 각각 1% 대비 인증율에 있어서 크게 향상되었음을 의미한다. 이는 기존의 이진화 이미지에서 4 비트의 회색조 이미지를 추출함으로써 이미지향상을 얻을 수 있음을 나타낸다. 표 1은 제작된 칩의 특성을 나타낸다.

V. 결 론

본 논문에서는 기존에 개발된 32비트 RISC 마이크로컨트롤러 내장형 지문센서의 이미지 질을 향상시키기 위한 새로운 센서회로를 제안하고 있다. 제안된 회로는 DAC대신 각 픽셀 내에 탑재할 수 있는 회로로서 비휘발성 메모리의 승압회로로 적용되고 있는 전하펌프회로를 적용하고 있다. 전하펌프회로의 적용을 통하여 대규모의 DAC가 없이도 이미지 왜곡에 대한 보상뿐만 아니라 16 단계의 회색조 이미지를 얻을 수 있었다.

회로는 자동보상회로와 제어회로로 구성되어 있다. 보상회로는 6 단의 전하펌프회로로 구성되었다. 전하펌프회로를 지문센서의 각 픽셀에 적용하기 위해서 최적화

설계를 통하여 기존의 픽셀 크기 58 x 58 μm^2 를 유지한 레이아웃을 수행하였다.

본 논문에서 제안한 보상 알고리즘은 지문이 터치되지 않은 초기화 동작 이미지를 메모리에 저장한 뒤 지문이 터치된 정상 동작 이미지에서 초기화 이미지 결과를 제거함으로써 왜곡되지 않는 이미지를 추출할 수 있도록 하였다. 이 과정에서 전하펌프회로를 통하여 픽셀의 이미지를 기존 이진화에서 16 단계의 회색조 이미지를 얻을 수 있음으로써 지문인증 인증율이 향상되었다.

설계된 회로는 0.35 μm CMOS공정의 샘플 칩으로 제작되었다. 임의로 마킹되어 오염된 이미지는 탑재된 보상회로의 동작을 통하여 제거되어 깨끗한 원 이미지를 얻을 수 있었다. 인증율에 있어서는 회색조 이미지 추출효과에 의하여 0.4%이하의 FAR과0.5%이하의 FRR을 보여 기존 센서칩의 결과보다 향상되었음을 확인하였다. 개발된 회로는 자동 이미지보상기능을 갖는 160x192 픽셀 어레이의 마이크로컨트롤러 내장형 지문 센서 SOC 개발에 적용될 예정이다.

참 고 문 헌

- [1] Seung-Min Jung, Jin-Moon Nam, Dong-Hoon Yang, Moon-Key Lee, "A CMOS Integrated Capacitive Fingerprint Sensor with 32-bit RISC Microcontroller," *IEEE J. of Solid-State Circuits*, Vol 40, No 8, pp.1745-1750, August 2005.
- [2] R. Hashido, A. Suzuki, A. Iwata, T. Okamoto, Y. Satoh, A. Inoue, "A capacitive fingerprint sensor chip using low-temperature poly-Si TFTs on a glass substrate and a novel and uniquesensing method", *IEEE J. of Solid-state circuits*, vol. 38, No. 2, pp.274~280, 2003.
- [3] H. Morimura, S. Shigematsu and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprint Sensors", *IEEE J. of Solid-state circuits*, vol. 35, pp.724-731, May. 2000.
- [4] 김동환, 오원석, 권덕기, 이광엽, 박종태, 유종근, "Weighted-capacitor와 multi-path를 이용한 고속 승압 회로," *Proceedings of IEEK Summer Conference* 98, pp.863-866, 1998.

— 저 자 소 개 —



정 승 민(정회원)

1990년 2월 연세대학교 전자공학과 공학사

1992년 2월 연세대학교 대학원 전자공학과 공학석사

2006년 2월 연세대학교 대학원 전기전자공학과 공학박사

1992년 2월 ~ 1997년 8월 (주)삼성전자 ASIC 설계팀 전임연구원

1997년 9월 ~ 1998년 2월 에스엠디코리아 반도체연구실 선임연구원

1998년 3월 ~ 2006년 8월 용인송담대학 정보미디어학부 정보통신전공 조교수.

2006년 9월 ~ 현재 한신대학교 정보과학대학 정보통신학과 조교수.

<주관심분야 : SOC 설계, 아날로그 및 디지털신호처리회로설계, ASIC 설계, 반도체센서, 저전력회로 설계>