

논문 2007-44SD-3-9

전원 전압 변화에 둔감한 PLL을 위한 V-I 변환기 설계

(A V-I Converter Design for Power Variation Insensitivity PLL)

이 현 석*, 홍 동 희***, 박 종 욱*, 임 신 일***, 성 만 영**

(Hyun Seok Lee, Dong Hee Hong, Jong Wook Park, Shin Il Lim, and Man Young Sung)

요 약

본 논문은 FPD(Flat Panel Display)용 TCON(Timing Controller) 칩의 PLL에 관한 것이다. TCON 동작 시 발생하는 전원 전압 변화에 대해 일정한 주파수를 출력하도록 하는 V-I 변환기를 설계하였다. 새로운 V-I 변환기는 VCO's(전압 제어 발진기)의 출력 주파수를 결정짓는 전원 전압의 변화를 그에 상응하는 전류로 보상하여 전원 전압에 둔감하게 하였다. 설계된 회로는 TSMC 0.25um 1-poly 3-metal CMOS 공정으로 구현하였으며, 2.5V 공급 전원에서 192~360MHz로 동작하도록 설계 하였다. 측정 결과 192~360MHz내에서 100ps 근처의 RMS 지터를 나타내었다.

Abstract

This paper describes the PLL of TCON(Timing Controller) chip for FPD(Flat Panel Display). We propose a new V-I converter which is insensitive to the power supply variation when it is applied to the TCON. The new V-I converter compensated the output frequency of VCO by applying the current that is inversely proportional to the voltage variation. The proposed idea is implemented with a 1-poly 3-metal 0.25um TSMC CMOS technology and has the output frequency range from 192MHz to 360MHz at the supply voltage of 2.5V. Measurement result shows the RMS jitter of 100ps in the above output frequency range

Keywords : VCO, PLL, V-I Converter, LVDS, Synthesizer

1. 서 론

설계 제품이 적용될 FPD(flat panel display)용 TCON(timing controller)의 경우, 픽셀 정보를 전송하는 동작 구간과, 내부 신호의 천이가 거의 발생하지 않는 휴면 구간 동안의 칩 내부의 동작에 극명한 차이가 있다.

본 일반적으로 수평동작 신호에 의해 이 동작이 구분되며, 수평신호가 동작하는 구간에서는 TCON 내부에서 정보 수신/처리 및 LDI(lcd driver ic) 칩으로의 정보 전송이 발생하며, 수평신호가 동작하는 않는 구간에서

는 거의 내부 신호의 스위칭 동작이 발생하지 않는다. 또한 이러한 동작은 화면을 디스플레이하는 동안 항상 지속적으로 발생한다. 이는 CPU등의 프로세서가 소프트웨어에 의해 동작 구간과 휴면기간이 구분되는 것과 유사하다.

이러한 TCON의 동작의 특징에 의해 칩 내부의 특정 블록에 공급되는 전원은 동작 구간에는 많은 전류 소모와 칩 내부 전원 배선의 유한한 저항 값에 의해 다소 낮은 전압을 나타내고, 휴면 구간에는 적은 전류소모로 인해, 외부에서 인가되는 전압까지 회복되는 양상을 반복한다. 특히나 동작 구간과 휴면 구간의 경계면에서는 전원전압이 급격히 변화하며, 이로 인하여 아날로그 블록 특히 PLL의 경우 급격한 전원 전압의 변화에 의해 큰 지터 값을 발생시키거나 어떤 경우에는 락(lock)이 풀리는 현상까지 초래한다. 이는 LCD Panel의 왼쪽 시작부에 노이즈의 관측으로 판단할 수 있다.^[1] 따라서 이 특성에 대한 개선의 요구가 발생하고 있다.

* 정회원, (주) 에이디테크놀로지
(ADTechnology CO.,LTD.)

** 정회원, 고려대학교 전기공학과
(Dept. of Electrical Eng., Korea Univ.)

*** 정회원, 서경대학교 컴퓨터공학과
(Dept. of Computer Eng., Seokyeong Univ.)

접수일자: 2006년11월14일, 수정완료일: 2007년2월21일

이것을 해결하기 위한 PLL의 설계 방안 중 가장 일반적인 방법은 차동구조의 지연 블록으로 구성된 VCO를 사용하며, 또한 지연 블록 내부 스윙 폭을 전원 전압과 무관하게 제한되는 구조를 사용하는 것이다.^[2]

그러나 차동구조를 사용함으로써, PLL 자체 전력 소모가 많고, 레이아웃 면적이 크며, PLL의 출력 신호를 싱글로 출력하기 위한 회로가 수반되어야 하는 단점이 존재한다.

따라서 본 논문은 가장 간단한 구조인 Single-Ended 형태인 Current Starved 형태인 VCO 사용하면서도 전원 전압의 변화에 대하여 둔감한 새로운 전압 전류 변환기(V-I Converter)를 제안하여, VCO의 성능을 개선함과 동시에 PLL의 시스템의 전체적인 지터 특성을 개선한다.

II. 전압-전류 변환기(V-I Converter)

1. 일반적인 Current-Starved VCO

그림 1은 일반적인 Current Starved VCO이다.^[3] Charge Pump와 루프 필터(Loop Filter)에서 생성된

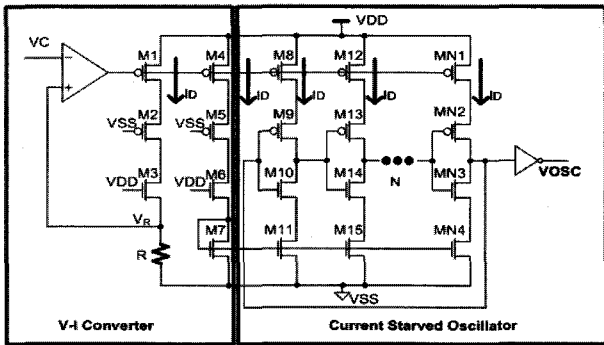


그림 1. V-I converter와 current starved oscillator 회로도^[3]

Fig. 1. Schematic of current starved oscillator with V-I converter.

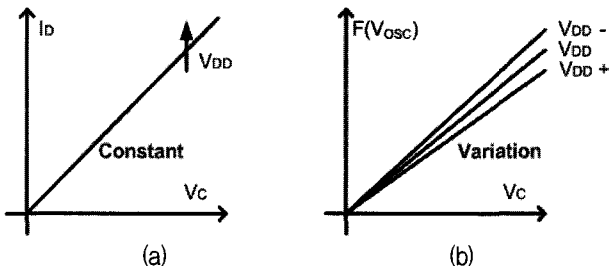


그림 2. (a) 전원 전압에 대한 전류 ID 변화
(b) 전원 전압에 대한 주파수 변화

Fig. 2. (a) Current(ID) variation with power supply
(b) Frequency variation with power supply

VC전압이 Op-amp의 입력이 되어 피드백(Feed Back) 저항 R에 의해 발진기에 필요한 전류 ID를 생성한다.

이러한 V-I 변환기의 구조는 VC전압과 저항 R에 의해 전류 ID가 생성되므로, 수식 (1)과 같이 선형성을 가지고 있으며, 이 전류에 의한 Current Starved VCO의 주파수는 수식 (2)와 같이 나타낼 수 있다.

$$I_D = \frac{V_R}{R} \tag{1}$$

$$f_{osc} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} \tag{2}$$

$N = \text{Inverter Stage Number}$
 $C_{tot} = \text{Inverter Parasitic Capacitor}$

수식(2)의 의하면 VCO의 주파수 전원 전압(VDD)에 큰 영향을 받는다. 같은 조건에서 VDD가 낮을 수록 주파수는 빨라진다. ID는 그림 2(a)와 같이 V-I 변환기 구조 특성 상 전원 전압에 영향을 받지 않고, N, Ctot는 전원 전압과는 상관이 없는 변수들이다. 이러한 인버터 형태 구조의 VCO는 전원 전압이 올라가거나 내려 갈 때 VSP(Inverter Switching Point)가 변화하기 때문에 그에 따라 그림 2(b)와 같이 주파수가 변하게 된다.

2. 제안된 VCO의 1차 전류 보상

그림 2에서 보듯이 전원 전압 변화에 일정한 전류 ID를 ICO에 공급하면 VCO는 전원 전압의 변화에 따라 VSP 달라지게 되고 그로 인해 주파수의 변화가 생긴다.

본 설계 기술 개발을 통하여 구현하고자 하는 목표는 그림 2(b)에 분산되어 있는 직선을 모두 하나로 모으는데 있으며 이를 위하여 일차적으로, 전원 전압의 변화에 비례한 전류 값을 IA에 추가할 수 있는 구조를 1차적으로 모색하였다.

전원 전압의 변화에 대하여 트랜지스터 MP1은 VCO의 주파수 변화를 보상하기 위해, 변동하는 전원 전압에 대해 비례한 전류 IA를 제공하게 된다. 전원 전압 변화에 둔감한 특성을 가지는 VREF전압을 가하게 되면, MP1 트랜지스터는 VREF과 전원 전압에 의해 수식 (3)과 같이 전류 IA를 나타낼 수 있다.

$$I_A = \frac{1}{2} u_n c_{ox} \frac{W}{L} (V_{DD} - V_{REF} - V_{thp})^2 \tag{3}$$

트랜지스터 MP1에 의해 생성된 전류 IA와 ID와 합쳐지게 되면 그림 4(a)와 같은 전류 곡선을 얻을 수 있으며 전류 곡선은 수식(4)처럼 나타낼 수 있다.

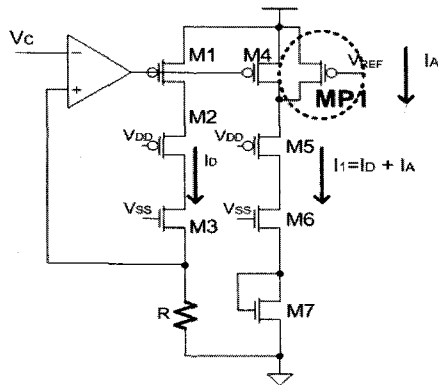


그림 3. 제안된 전원 전압에 대한 1차 전류 보상
Fig. 3. Proposed 1ST current compensation with power supply.

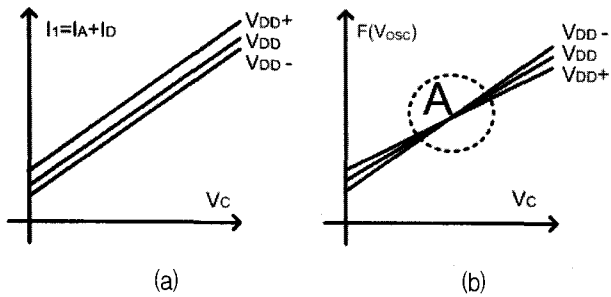


그림 4. (a) 전원 전압에 대한 전류 변화
(b) 1차 전류 보상에 대한 주파수 변화
Fig. 4. (a) Current variation with power supply
(b) Frequency variation with 1ST compensation current.

$$I_1 = \frac{V_c}{R} + I_A \quad (4)$$

1차 전류 보상된 V-I 변환기의 전류(I_1)가 Current Starved Oscillator에 제공 되면 수식 (5)와 같은 주파수를 얻을 수 있다. 수식 (5)를 살펴보면, 주파수 대비 선형적으로 반비례 특성을 가졌던 V_{DD} 가 VDD제공 특성에 의해 그림 2(b)와 같은 주파수 특성이 그림 4(b)의 A지점처럼 교차되는 지점을 만든다. 이 교차되는 A지점의 주변은 전원 전압 변화에 일정한 주파수를 얻을 수 있고, 단일 주파수 출력을 가지는 PLL은 좋은 지터 특성을 얻을 수 있다.

$$f_{osc} = \frac{I_D + I_A}{N \cdot C_{tot} \cdot V_{DD}}$$

$$f_{osc} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} + \frac{\frac{1}{2}\beta(V_{REF} - V_{DD} - V_{THP})^2}{N \cdot C_{tot} \cdot V_{DD}} \quad (5)$$

그러나 단일 출력 주파수를 가지는 PLL 아닌 넓은 출력 주파수 범위를 가지는 PLL을 구현한다면, 넓은 출력 주파수 범위를 가지는 PLL은 A지점 이외의 부분에서도 PLL 출력 주파수를 얻을 수 있으므로, A지점 이외에서는 상대적으로 지터 특성이 나빠질 수 있다. 하지만 기존의 V-I 변환기보다는 상대적으로 좋은 특성의 PLL 지터를 얻을 수 있다.

3. 제안된 VCO의 2차 전류 보상

그림 4(b)의 A지점을 상대적으로 넓혀 전원 전압의 변화에 일정한 주파수가 출력되도록 하기 위해 1차 전류 보상에 V-I 변환기 회로에 2차 전류 보상을 트랜지스터를 추가하여, PLL VCO의 지터 특성을 개선하였다.

그림 5는 2차 전류 보상을 하기 위한 회로도이다. 그림 4(b)에서 A지점 이후에 전류 특성을 그림 6(a)와 같이 전류를 보상한다면, 그림 6(b)와 같은 주파수 특성

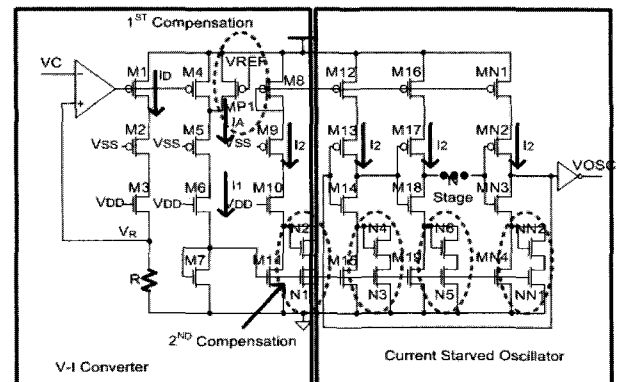


그림 5. 제안된 V-I converter와 current starved oscillator 회로도

Fig. 5. Schematic of current starved oscillator with proposed V-I converter.

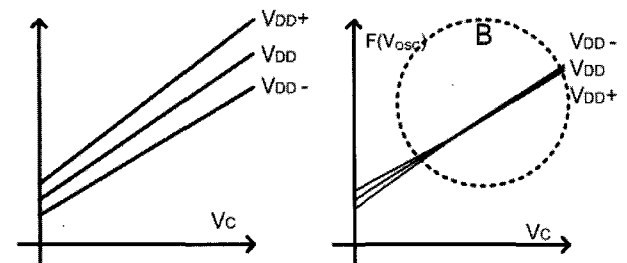


그림 6. (a) 전원 전압에 대한 제안한 회로의 전류 변화
(b) 전원 전압에 대한 제안한 회로의 주파수 변화

Fig. 6. (a) Current variation of proposed circuit with power supply.
(b) Frequency variation of proposed circuit with power supply.

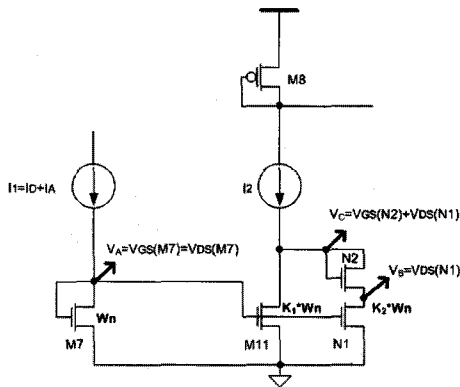


그림 7. 제안된 2차 보상 회로도
Fig. 7. Schematic of proposed 2ND compensation.

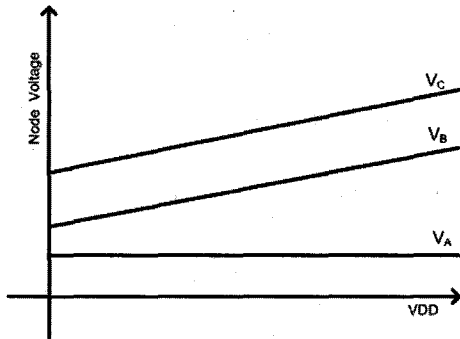


그림 8. 전원 전압에 대한 노드 전압 변화
Fig. 8. Node voltage variation with power supply.

을 얻을 수 있으므로, 상대적으로 전원 전압에 대해 보다 넓은 일정한 주파수 출력을 얻을 수 있다. 따라서 PLL VCO의 지터 특성이 개선될 것이다. 그림 6(a)와 같은 그래프에 의한 전류 보상을 하기 위해 트랜지스터의 V_{DS} 전압 변화에 따른 전류 차이를 이용하였다.

M7, M11, N1의 V_{DS}가 동일하다면 I₂와 I₁의 관계는 수식 (6)와 같이 표시되나, 그림 7에 도시된 바와 같이 V_{DS}에 차이가 존재하며, 또한 이는 그림 8에 도시된 바와 같이 전원 전압의 변화의 영향을 받는다. 따라서 수식 (6)은 수식 (7)처럼 수정되어야 한다.

$$I_2 = (K_1 + K_2)I_1 \quad (6)$$

$$I_2 = (K_1(1 + \lambda V_C) + K_2(1 + \lambda V_B)) \cdot I_1 \quad (7)$$

수식 (7)과 수식(4)을 이용하여, 그림 6(b)에 도시한 본 설계의 최종 목적의 가능성에 대한 확인 후, Simulation을 통한 최적화 작업을 통해, 트랜지스터들의 사이즈를 결정하였다.

III. 구현 및 측정

24~45MHz의 입력으로 192MHz~360MHz의 주파수를 출력하는 MINI LVDS(Low Voltage Differential Signaling)용 주파수 합성 PLL은 TSMC 0.25um 1-Poly 3-Metal CMOS공정으로 설계 되었으며, 전원 전압은 2.5V이다. 전원 전압 변화에 대한 주파수 변화 특성은 Hspice로 검증하였으며, 전원 전압의 변화는 2.5V±10%로 하여 Simulation하였다. Simulation결과는 그림 9와 같다.

1차 전류 보상에 의해 한 지점에서 교차되는 주파수 변화 특성을 2차 전류 보상의 의해 그림 6(b)와 같이 됨을 Simulation결과로 알 수 있다.

V-I 변환기가 적용된 PLL의 주파수 범위는 192~360MHz이지만 공정, 전원전압, 온도특성을 고려하여, 192~360MHz보다 넓은 마진을 두어 PLL을 설계하였다.

제안된 회로는 TSMC 0.25um 1-Poly 3-Metal CMOS공정을 이용하여 구현되었다.

Jitter의 측정은 Lecroy LT374M 장비를 이용하여 수행하였으며, 특정 레벨에서의 주기에 대한 히스토그램과 특정레벨에서의 Delta Period의 히스토그램을 산출하여, 그 분포에 대한 RMS값과 Peak-to-Peak 값을 관측 하는 방법을 사용하였다. 이는 Period 지터와 Cycle-to-Cycle 지터에 상응한다고 알려져 있다.

PLL의 출력은 안정적인 테스트를 위해 PLL 피드백 루프 내 Divide 8번 출력을 측정하였으며, 그 결과 1.2차 전류 보상함으로 모든 주파수내에서 85ps@200MHz, 65ps@360MHz의 값을 가지게 되었다.

지터의 측정 결과를 분석할 때, 최대 360MHz으로 동작 시 최소 데이터 크기(Width) 약 2.777ns의 4%이내 값을 지터 특성을 가짐으로, FPD용 TCON칩의 IP로 사용 시 우수한 성능을 가지게 된다.

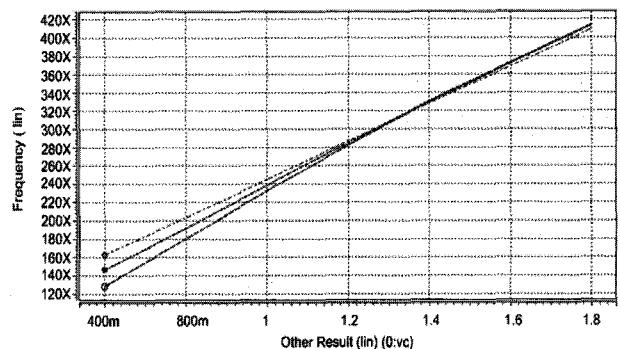
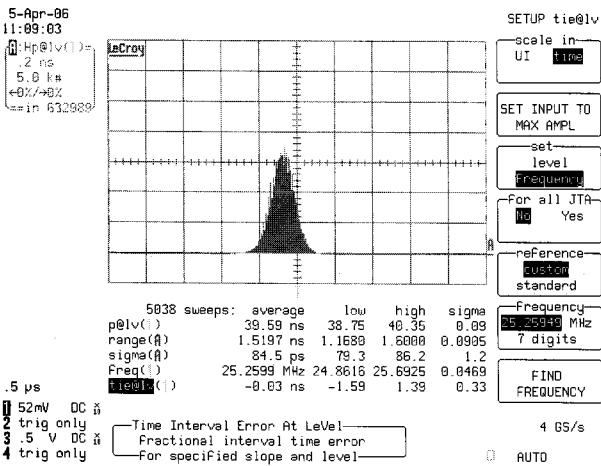
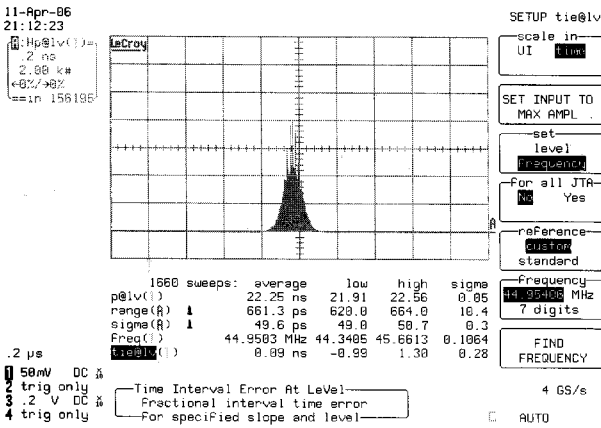


그림 9. VC 전압에 의한 VCO 주파수 특성
Fig. 9. Frequency characteristic of the VCO by the VC.



(a)



(b)

그림 10. (a) 25MHz Period Jitter (b) 45MHz Period Jitter
 Fig. 10. (a) 25MHz Period Jitter (b) 45MHz Period Jitter.

표 1. 성능 요약

Table 1. Performance summary.

Process	0.25um 1-Poly 3-metal TSMC CMOS Technology
Supply Voltage	2.5V ± 10%
Input Frequency Range	24 ~ 45 MHz
Operating Input Frequency Range	192 ~ 360 MHz
Period-to-Period jitter (RMS)	85ps @ 200MHz(Divide 8) 65ps @ 360MHz(Divide 8)
Core Area	380 um x 270 um w/o PADS
Current Consumption	2.5mA @ 45MHz 2.5V

IV. 결 론

본 논문에서 TCON에서의 동작 시 발생하는 급격한 전원 전압의 변화는 PLL의 큰 지터를 발생시킴으로 이에 따라 전원 전압 둔감한 PLL를 설계함에 있어, 전원 전압에 따른 출력 주파수 변화를 출력 주파수를 결정하는 또 다른 인자인 전류를 이용하여, 전원 전압에 따른

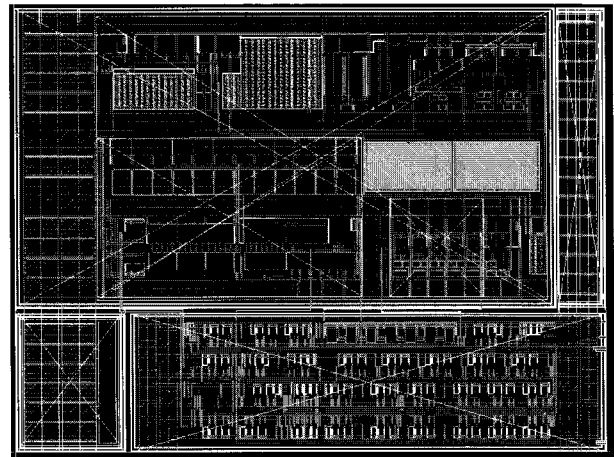


그림 11. Synthesizer PLL 레이아웃
 Fig. 11. Layout of synthesizer PLL.

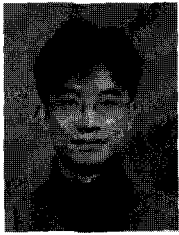
출력 주파수 보상을 하였다.

본 논문에서 설계된 새로운 구조의 V-I 변환기는 전원 전압 변화에 대한 주파수 변화를 1,2차 전류 보상 회로로 주파수 변화를 보상하여, 보다 지터 성능이 개선된 PLL을 설계 할 수 있었다.

참 고 문 헌

- [1] I. A. Young, J. K. Greason, and K. L. Wong " A PLL Clock Generator with 5 to 110MHz of Lock Range for Microprocessors," IEEE Journal of Solid-State Circuits, Vol. SC-27, pp. 1599~1607, November 1992. Presents the practical design of a CMOS delay element.
- [2] J. G. Maneatis, "Low-jitter and process-independent DLL and PLL based on self-biased techniques," IEEE J. Solid-State Circuits, vol. 31, pp. 1728-1732, Nov. 1996.
- [3] R. Jacob Baker, Harry W. Li, David E. Boyce "CMOS Circuit Design, Layout and Simulation," IEEE Press. Second Edition, pp.564-565, 2005.

저 자 소 개



이 현 석(정회원)
 1993년 고려대학교 전기공학과 졸업(공학석사)
 1993년~1995년 삼성전자 주임연구원
 1995년~1997년 고려대학교 전기공학과 박사과정 수료
 1997년~2003년 ㈜더즈텍 수석연구원
 2005년~현재 ㈜에이디테크놀로지 수석연구원
 <주관심분야 : 고속직렬통신회로, 센서인터페이스회로>



홍 동 희(정회원)
 2001년 서경대학교 컴퓨터공학과 졸업(공학사)
 2002년~현재 ㈜에이디테크놀로지 선임연구원
 2006년~현재 서경대학교 컴퓨터공학과 석사과정
 <주관심분야 : 아날로그 IC설계, 혼성회로 칩 설계, ADC/DAC 설계 평판디스플레이 구동회로>



박 종 옥(정회원)
 1992년 고려대학교 전기공학과 졸업(공학석사)
 1992~1997년 삼성전자 선임연구원
 1997년~2002년 ㈜더즈텍 수석연구원
 2004년~현재 ㈜에이디테크놀로지 연구소장
 <주관심분야 : 평판디스플레이 구동회로, 센서인터페이스회로>



임 신 일(정회원)
 1980년 2월 서강대학교 전자공학과 졸업(공학사)
 1983년 2월 서강대학교 대학원 전자공학과 졸업(공학석사)
 1995년 8월 서강대학교 대학원 전자공학과 졸업(공학박사)
 1982년 2월~1991년 1월 한국전자통신연구원(ETRI) 선임연구원
 1991년 1월~1995년 2월 전자부품연구원 선임연구원
 1995년 3월~현재 서경대학교 컴퓨터공학과 부교수
 <주관심분야 : 아날로그 IC설계, 혼성회로 칩 설계, ADC/DAC 설계, 통신용 IC설계>



성 만 영(정회원)
 1977년 고려대학교 전기공학과 졸업(공학석사)
 1981년 고려대학교 전기공학과 졸업(공학박사)
 1986년~1988년 Associate Professor at University of Illinois at Urbana-Champaign

1989년~현재 고려대학교 전기전자전파공학부 교수
 1991년 Visiting Scientist at Royal Institute of Technology (Sweden)
 1997년 Visiting Professor at University of Illinois at Urbana-Champaign
 2004년 한국전기전자재료학회 학회장
 <주관심분야 : 전력용반도체, 화합물반도체, 나노반도체, 박막트랜지스터>