

논문 2007-44SD-3-5

체성분 분석용 칩 설계

(A Chip Design of Body Composition Analyzer)

배성훈*, 임신일**, 문병삼***

(Sung-Hoon Bae, Shin-II Lim, and Byoung-Sam Moon)

요 약

본 논문에서는 신체 임피던스 측정법(Bioelectrical Impedance Analysis, 이하 BIA)을 기초로 한 체지방 측정 칩 설계에 대한 내용을 서술하였다. 제안된 회로는 인체에 전류 신호를 인가하는 회로, 인체를 통해 나온 전압 신호를 측정하는 회로, 회로의 동작을 제어하는 마이크로 콘트롤러(Micom), 그리고 분석프로그램이 내장된 메모리(SRAM, EEPROMs)의 모든 기능을 하나의 칩에 집적하였다. 특히 정밀한 인체 임피던스 측정을 위하여 다주파수 동작이 가능한 대역통과필터(Band Pass Filter, BPF)를 설계하였다. 또한, 설계된 대역통과필터는 weak inversion 영역에서 동작하기 때문에 면적과 전력소모를 줄일 수 있었다. 그리고 측정부분 회로의 성능을 개선하기 위해서 차동차이증폭기(Differential difference amplifier, DDA)를 이용한 새로운 전파정류기(Full wave rectifier, FWR)를 설계하였다. 또한 이 회로는 마지막 단계에 연결될 아날로그-디지털 변환기(ADC)의 설계에 대한 부담을 덜어주는 장점도 있다. 이 칩의 시제품은 CMOS 0.35um 공정을 이용하였고 전력소모는 모든 주파수에서 6mW 이며 전원전압은 3.3V이다. 전체 칩의 크기는 5mm x 5mm 이다.

Abstract

This paper describes a chip design technique for body composition analyzer based on the BIA (Bioelectrical Impedance Analysis) method. All the functions of signal forcing circuits to the body, signal detecting circuits from the body, Micom, SRAM and EEPROMs are integrated in one chip. Especially, multi-frequency detecting method can be applied with selective band pass filter (BPF), which is designed in weak inversion region for low power consumption. In addition, new full wave rectifier (FWR) is also proposed with differential difference amplifier (DDA) for high performance (small die area, low power consumption, rail-to-rail output swing). The prototype chip is implemented with 0.35um CMOS technology and shows the power dissipation of 6 mW at the supply voltage of 3.3V. The die area of prototype chip is 5 mm x 5 mm.

Keywords : Body composition analyzer(BCA), Band Pass filter(BPF), Full wave rectifier(FWR), Level shifter, Differential difference amplifier(DDA)

I. 서 론

건강에 대한 관심이 점점 커지고 있는 가운데 비만에 대한 관심은 그 물결에 선두에 있다고 해도 과언이 아닙니다. 체지방 분석기는 인체 내의 근육과 지방량을 측

정할 수 있기 때문에 널리 사용되고 있다. 실제로 체성분 분석기는 건강 검진 기능과 치료 수단 기능 등으로 사용되고 있다. 현재 상용화 되어있는 체성분 분석기는 디지털 컨트롤 블록과 아날로그 측정 블록이 나누어져 있어서, 각 블록들을 연계시키는 시스템보드의 면적이 상당히 크다는 문제점이 있다. 또한 고가의 장비라서 가정이나 휴대용으로 사용하기에 부적합한 것이 현실이다. 본 논문에서는 제안하는 체성분 분석기는 아날로그와 디지털 블록을 하나로 집적하였기 때문에 시스템 보드의 크기를 현저히 줄이는 것은 물론, 장비의 단가도 줄일 수 있을 것으로 기대된다. 본 논문에서 제안한 회로는 아날로그 회로부분에서 대역 통과 필터와 전파정류회로를 새로이 고안함으로 적은 전류로 좀 더 정밀한

* 학생회원, ** 정회원-교신저자, 서경대학교 컴퓨터공학과 (Department of Computer Engineering, Seokyeong University)

*** 정회원, (주)바이오스페이스 바이오공학 연구소 (Bio-engineering R&D Center, Biospace Co., Ltd)

※ 본 논문은 정통부 및 정보통신연구진흥원의 정보통신선도기반기술개발사업(과제번호: 2005-s-093)의 지원과 IDEC의 장비지원으로 수행되었습니다.
접수일자: 2006년11월1일, 수정완료일: 2007년2월5일

계측을 할 수 있도록 설계하였다. 제안된 회로는 저 전력 동작을 하면서 성능 또한 개선했기 때문에 이동용 장비(가정용 모델, 노트북, PDA 등)에 적용할 수 있다. 본 논문의 체지방 분석기는 생체 전기 임피던스법(BIA)을 적용한 것으로 인체에 적은 전류를 흘려 측정되는 임피던스 값으로 체지방을 분석하는 기술을 사용하였다.^[1] 기존의 체지방 측정기는 50kHz의 단주파수를 사용하기 때문에 세포막을 통과할 수 없는 단점이 있다. 그러나 제안된 회로는 20kHz, 50kHz, 100kHz의 다 주파수를 사용하기 때문에 세포 내액과 외액의 리액턴스 값을 보다 정밀하게 측정할 수 있는 장점이 있다. 또한 본 논문의 칩에는 전체 시스템을 제어하는 마이크로 컨트롤러(Micom)와 신체 각 부위별로 측정할 수 있는 프로그램용 메모리(SRAM, EEPROM)도 내장하였다.

II. 제안된 시스템의 기능

1. 전체 회로의 기능

그림 1은 제안된 체성분 분석기의 블록도이다.

그림에서 보는 바와 같이 제안된 회로는 디지털블록과 아날로그 블록으로 구성되어 있다. 아날로그 블록은 인체에 전류신호를 인가하여 다시 그 신호를 전압으로 측정하는 측정블록으로, 전류를 인가하는 부분은 주파수 분주기, 주파수 선택이 가능한 대역통과필터, 전압-전류변환기로 구성 되어있고, 그 전류로 인해 인체에 걸리는 전압을 측정하는 부분인 증폭도 변환 증폭기(Variable gain amplifier), 전파정류기, 저역통과필터, 아날로그-디지털 변환기로 이루어져 있다. 디지털 블록은 전체 시스템의 동작을 제어하며, 아날로그 블록에서 출력된 디지털 신호를 연산하여 인체의 임피던스 값을 산출하는 기능을 하는 마이크로 컨트롤러와 그 데이터 값을 저장, 보관하는 메모리로 구성되어 있다.

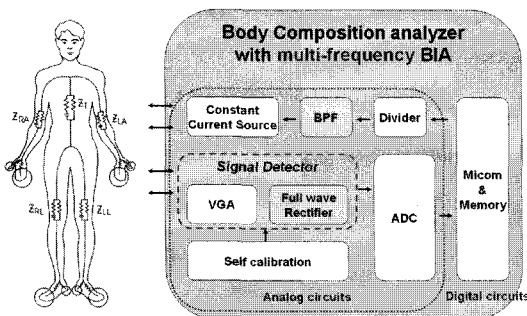


그림 1. 제안된 체성분 분석기의 블록도
Fig. 1. The block diagram of proposed body composition analyzer.

전체 회로의 동작은 먼저 1MHz의 클럭이 마이크로 컨트롤러(이하 마이콤)에 의해 아날로그 블록으로 인가 되면 분주기를 통해 20kHz, 50kHz, 100kHz로 분주된다. 분주된 펄스 신호는 대역통과필터를 통해 일정한 크기의 정현파로 변환되고, 변환된 전압은 전압-전류 변환기를 통해 전류로 변환되어 인체에 인가되게 된다. 이때 주파수 별로 인체의 8개의 점(그림 1의 왼쪽 인체모형에서 동그라미로 표시된 부분) 중에서 선택적으로 2 점을 선택하여 그 부분에 걸리는 전압차를 측정하게 되는데, 이 방법을 이용하면 인체의 임피던스 값을 부분적으로(좌/우측 팔/다리, 몸통) 측정할 수 있게 된다^{[2][3]}. 인체에 걸리는 전압은 실험대상자의 비만도에 따라 신호크기의 차이가 많이 나기 때문에 증폭도를 변환할 수 있는 증폭기를 이용하여 신호의 크기를 측정할 수 있도록 증폭 시켜준다. 증폭된 신호는 전파정류기를 통하여 정류되는데 본 논문의 전파정류기는 정류기능 뿐만 아니라 레벨변환(level shift)기능도 가지고 있기 때문에 신호의 출력범위를 넓히는 장점이 있다. 정류된 신호는 저역통과필터를 통해 RMS-DC 전압으로 변환되고, 이 전압은 순차 접근 아날로그-디지털 변환기(Successive approximation register ADC)를 통하여 디지털 값으로 변환된다. 이 디지털 값은 디지털 블록을 통해 연산되고 마이콤을 통해 우리가 알아보기 쉬운 값으로 연산되어 출력되게 된다.

본 논문에서는 체성분 분석칩 중에서 저전력, 저면적, 성능보완의 장점을 갖춘 대역통과필터와 전파정류 회로에 대해 자세히 설명하도록 하겠다.

2. 주파수 선택이 가능한 대역통과필터 가. Gm-C 대역통과필터

아래 그림 2는 본 시스템에 적용된 대역통과필터의 전체 블록도이다.

본 회로는 기존의 2차 특성을 갖는 바이쿼드

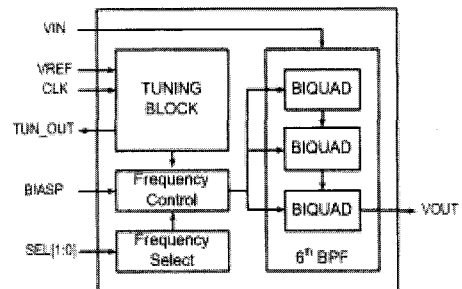


그림 2. 제안된 BPF의 전체 구조도
Fig. 2. Total block diagram of proposed BPF.

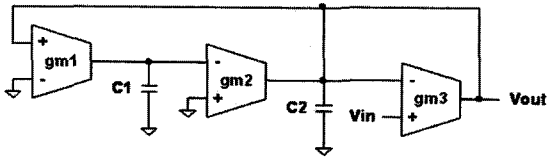


그림 3. 2차 대역통과 필터
Fig. 3. BIQUAD.

(BIQUAD) 3개와 마이콤에서 제공되는 선택신호에 따라 통과대역을 선택하기 위한 주파수 선택 블록 (Frequency Select), 결정된 통과대역에 맞게 동작하도록 바이어스 전압을 제공하는 주파수 제어 블록 (Frequency Control), 그리고 외부변화(온도, 공정 등)가 발생해도 정확한 통과대역을 맞추기 위해서 바이어스 전압을 조절하는 튜닝블록(Tuning Block)으로 이루어져 있다.

그림 3은 GMCELL(gm) 3개와 커패시터 2개로 이루어진 BIQUAD 구조이다^[4]. 이 회로는 GMCELL과 커패시터와의 관계를 통해서 아래와 같은 수식을 얻을 수 있다.

$$-gm_2 \frac{gm_1 V_{out}}{s C_1} - gm_3 (V_{out} - V_{in}) = s C_2 V_{out}$$

$$\frac{V_{out}}{V_{in}} = \frac{\frac{gm_3}{C_2} S}{S^2 + \frac{gm_3}{C_2} S + \frac{gm_1 gm_2}{C_1 C_2}} \quad (1)$$

$$\omega_0 = \sqrt{\frac{gm_1 gm_2}{C_1 C_2}}, Q = \frac{1}{gm_3} \cdot \sqrt{\frac{C_2 gm_1 gm_2}{C_1}} \quad (2)$$

위 식 (1)에서 보는 것과 같이 전달함수의 분자가 일차항만 존재하므로 대역통과필터의 특성을 나타내게 되며, 식 (2)와 같이 GMCELL의 gm값과 커패시터의 값의 관계에 따라 중심 주파수와 Q값이 결정된다. 이 구조의 장점은 중심주파수는 gm_{1,2} 또는 C_{1,2}에 의해 조절 가능하며 Q값은 gm₃에 의해 조절이 가능하다는 것이다. 본 시스템에 적용되는 대역통과 필터는 저주파수 영역(20kHz, 50kHz, 100kHz)을 통과대역으로 갖고 있기 때문에 필터를 구성하게 될 저항과 커패시터 값이 커지게 되어 실제로는 집적화하기 어렵다는 문제가 있다. 하지만 본 논문에서 소개된 대역통과필터는 gm값을 아주 낮은 값으로 조정(약 1nS 이하)하여 큰 임피던스 값(약 1MΩ 이상)을 갖도록 하였기 때문에 낮은 커패시터 값(약 1pF)을 사용하여도 저주파의 통과대역을 얻을 수 있도록 하였다.

아래 그림 4는 제안된 GMCELL의 회로도 이다. 앞

서 설명했듯이 필터의 gm값을 작게 하는 것이 중요한데 이를 위해 MOS 트랜지스터를 Sub-threshold region에서 동작하도록 하였다. 이 때 Sub-threshold region 동작으로 인한 잡음, 오차 등을 줄이기 위하여 레이아웃으로 디지털 부분과 아날로그 부분을 분리하였으며, 튜닝 블록을 추가하여 필터링 동작에서의 문제점을 보완 하였다. Sub-threshold region 동작을 수식으로 표현하면 다음과 같다.

$$I_D = \frac{W}{L} I_{D0} \exp\left(\frac{q V_{gs}}{nkT}\right) \quad (3)$$

$$g_m = \frac{I_D}{nkT/q} \quad (4)$$

식 (4)를 보면 분모의 n은 sub-threshold slope factor를, k는 공정 상수, kT/q=26mV (상온에서)를 각각 나타내는 값이므로 고정된 값이다. 그러므로 gm값은 전류에 의해 결정된다. 따라서 GMCELL의 gm값은 위 식(3)의 Vgs값을 조절해 줌에 따라 원하는 전류량으로 결정된다. 이 Vgs 값은 주파수 제어블록으로부터 받게 되는 바이어스 전압에 따라 변하게 된다.

그림 5의 주파수 제어 블록은 필터의 중심주파수를 결정하기 위해 사용된다. 동작원리는 뒤에서 설명할 튜

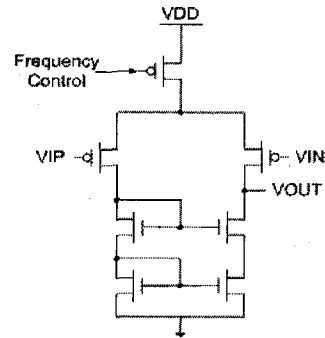


그림 4. 제안된 GMCELL
Fig. 4. Proposed GMCELL.

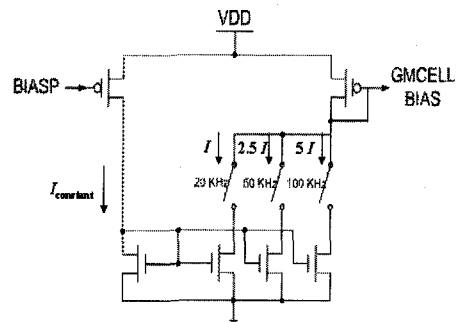


그림 5. 주파수 제어
Fig. 5. Frequency control.

닝회로부터 BIASP전압을 받아 전류가 흐르면 Current Mirror를 통해 위에서 설명한 GMCELL에 전류를 공급하게 된다. 이때 주파수에 따라 흐르는 전류의 양이 다르므로 스위칭을 통해 원하는 전류를 공급하게 된다. 전류의 양은 Current Mirror의 MOS크기에 의해 조절 가능하다. 여기서 주파수의 선택은 게이트 조합으로 이루어진 주파수 선택 블록에 의해 결정된다.

나. Tuning Circuits

튜닝 블록은 대역통과필터의 중심주파수가 여러 변화요인(온도변화, 전원전압의 변화, 공정 등)에 의해 변하게 되므로 정확한 통과대역을 갖도록 하는 역할을 한다. 본 논문에서는 전력 소모와 칩 면적을 줄이기 위해 간단한 형태의 튜닝 회로^[5]의 개념을 이용하였으며 체지방 분석기 회로에 맞도록 집적화하였다.

그림 6에서 보는 것과 같이 튜닝 블록은 4개의 스위치와 캐패시터(Cc)로 구성된 Switched Capacitor 회로, 메인 필터와 똑같은 GMCELL, 적분기(INT), 적분기를 통해 나온 바이어스 전압을 smooth하게 하기 위한 LPF로 구성되어있다. 동작 원리는 우선 정교한 외부 CLK이 Nonoverlap CLK Generator를 통해 Switched Capacitor 회로를 제어 하면 식 (5)와 같이 저항으로 사용된다.

$$R = \frac{1}{f_{CLK} \cdot Cc} \quad (5)$$

식 (5)에서 얻은 저항 값과 정교한 입력 전압 (VREF)에 의해 전류가 결정된다. 이 전류와 GMCELL의 출력 전류와의 차가 적분기를 통해 BIASP 전압을 생성하게 되고, 이 전압이 다시 GMCELL에 피드백 되어 결과적으로 입력 전압과 저항 값에 의해 생성된 전

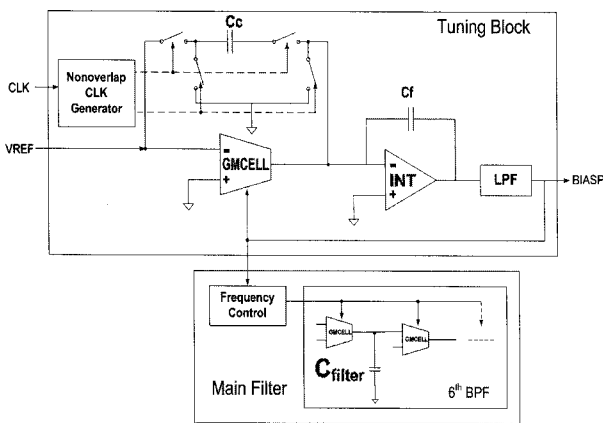


그림 6. 튜닝 회로
Fig. 6. Tuning Circuits.

류와 GMCELL의 출력 전류가 같아지게 되는 BIASP 전압을 찾아가게 된다. 이 전압이 메인 필터의 GMCELL에 바이어스를 가하게 되어 주파수 튜닝이 이루어진다.

$$f_{center} = \frac{gm}{C_{filter}} \propto \frac{I}{C_{filter}} = \frac{VREF \cdot f_{CLK} \cdot Cc}{C_{filter}} \quad (6)$$

주파수 튜닝을 했을 때 필터의 중심주파수는 식 (6)과 같다. 이 식에서 보면 VREF와 클럭 주파수는 외부에서 매우 정교한 입력이고 여러 변화요인이 있더라도 캐패시터의 비율은 거의 일정하므로 항상 일정한 중심주파수를 갖게 만들어 준다.

2. 제안된 전파정류회로

그림 7은 기존의 전파정류 회로의 신호와 제안된 전파정류회로의 신호에 대한 개념도이다. 그림 7(a)에서 보는 바와 같이 일반적으로 전파정류기는 다이오드를 이용하기 때문에 출력전압이 다이오드의 강하전압 (V_{Limit+})만큼 제한되는 문제와 출력범위로 전체 전원전압의 반 정도밖에 사용할 수 없다는 단점이 있다. 그리고 하나의 전파정류회로를 만들기 위해서는 두 개 이상의 증폭기를 사용하기 때문에 전력소모가 상대적으로

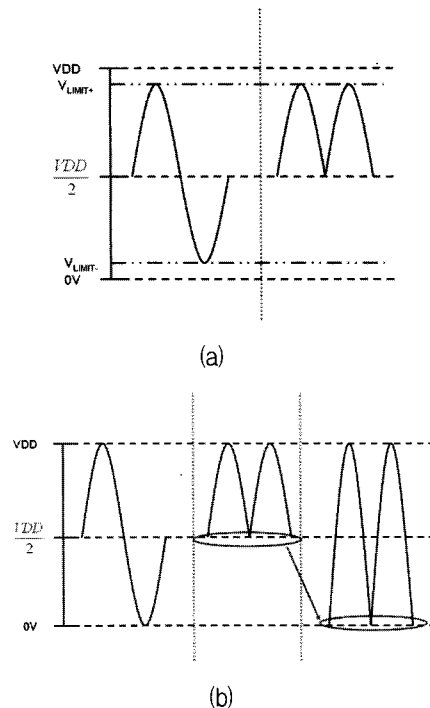


그림 7. (a) 기존의 FWR 회로와 (b) 제안된 전파정류 회로의 신호 개념도
Fig. 7. Conceptual diagram of (a) conventional FWR circuit, (b) and proposed FWR circuit.

많다는 문제가 있다^[6]. 그러나 제안된 전파정류회로는 그림 7(b)와 같이 출력신호의 제한이 없으며, 출력레벨을 접지(ground)로 낮추고 2배 증폭을 하였기 때문에 전원전압의 전체영역으로 출력할 수 있다. 이렇게 되면 정류된 신호를 통해 디지털코드를 얻을 때 좀 더 정밀한 값을 측정할 수 있게 된다.

제안된 전파정류회로는 다음 그림 8(b)와 같이 정류회로부와 직류전압변환회로로 구성되어있다. 정류회로부에서는 입력된 차동신호를 전파정류신호로 출력하고 직류전압레벨 변환기에서는 차동차이증폭기(DDA)를 이용하여 정류된 신호를 접지(ground)레벨로 낮추고 두 배를 증폭함으로 출력되는 범위를 넓혀준다. 기존 회로의 출력범위는 전원전압의 반 정도지만 제안된 회로는 전원전압 전 영역을 출력할 수 있는 장점이 있다. 만약 기존의 회로를 사용하여 전 영역 범위의 출력을 얻게 하려면 그림 8(a)에서 보는 바와 같이 정류회로자체에 증폭기가 2개 필요하며, 이후 전파된 신호의 DC 레벨을 변환하고, 2배 증폭을 해야 하므로 2개 이상의 추가적 증폭기가 필요하게 된다. 그러나 제안된 회로에서는 그림 8(b)에서 보는 바와 같이 믹스, 비교기, 차동차이증폭기를 사용하여 간단하게 구현하였다. 이 때문에 기존의 회로보다 적은 면적으로 적은 전력을 소모하게 되

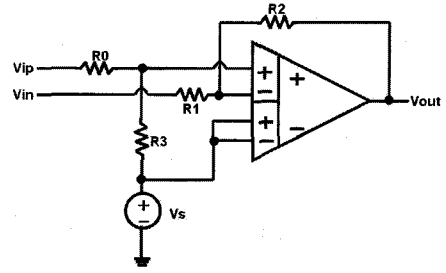


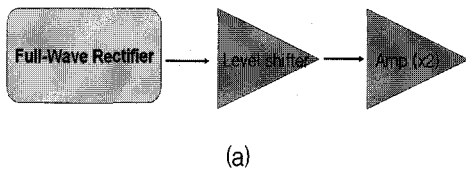
그림 9. 직류전압레벨 변환기의 회로도
Fig. 9. Circuit of level shifter.

는 장점이 있다.

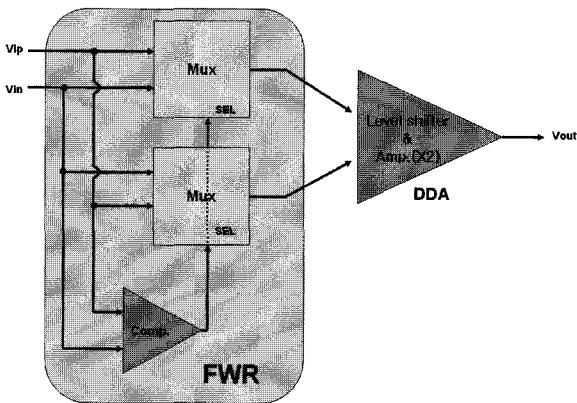
제안된 회로의 먹스는 일반적인 트랜스미션 게이트 스위치(transmission gate switch)를 이용하였다. 트랜스미션 게이트는 NMOS와 PMOS를 병렬연결 함으로 입력되는 전압을 감쇄없이 출력한다. 또한 본 논문에서 사용된 비교기 회로는 고속의 래치형 비교기를 이용하여 빠르게 신호비교를 하도록 하였다.

정류된 신호를 그림 7(b)에서와 같이 접지레벨로 낮춰주며 2배 증폭하는 역할을 하는 직류전압레벨 변환기는 그림 9와 같이 차동차이증폭기(DDA)의 개념을 이용한 것이다. 그림 9에서 R0와 R1은 같은 저항 값을 갖고, R2와 R3는 R0(=R1)보다 2배 큰 저항 값을 갖게 하여 Vip와 Vin으로 입력되는 신호의 차이를 2배 증폭하도록 한다.

출력신호의 DC레벨은 V+와 V-에 연결된 전압 Vs로 변환출력하게 된다. 이 동작의 소신호 분석을 하면 다음과 같다.



(a)



(b)

그림 8. (a)기존의 정류회로를 이용하여 제안된 결과를 얻기 위한 회로의 블록도와 (b)제안된 전파정류회로의 블록도

Fig. 8. (a)Block diagram of conventional rectifier and (b)Block diagram of Proposed Full wave rectifier.

$$V_{out1} = \left(\frac{R}{R+2R}\right) V_{ip} \cdot \left(1 + \frac{2R}{R}\right) = \frac{2}{3} V_{ip} \cdot 3 = 2 V_{ip} \tag{6}$$

$$V_{out2} = \left(-\frac{2R}{R}\right) V_{in} = -2 V_{in} \tag{7}$$

$$V_{out} = V_{out1} + V_{out2} = 2(V_{ip} - V_{in}) \tag{8}$$

위의 식 (8)에서 입력신호의 차이의 2배를 출력하는 것을 볼 수 있다. 다음은 신호의 직류성분을 분석한 수식이다.($V_{IP,DC}=V_{IN,DC}=V_{LDC}$)

$$V_{out} = Av(V_{LDC} - V_s) = 0 \tag{5}$$

위의 수식은 입력신호의 직류레벨을 전원전압의 반 ($V_{DD}/2$)이라고 가정했을 때의 결과이다. 제안된 회로는 위의 Vs전압을 접지(ground)전압으로 맞춘 것이다.

이와 같이 제안된 회로는 하나의 증폭기만을 이용하여 구성하였으므로 기존의 회로로 같은 기능을 수행하기 위한 경우보다 훨씬 전력소모가 적고, 적은 면적을 차지하며, 직류전압 수준 변환기를 이용하여 접지전압부터 전원전압까지 출력할 수 있도록 하였다.

III. 구현 및 측정

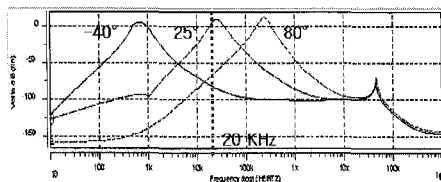
1. 모의 실험결과

가. 대역통과필터의 모의 실험결과

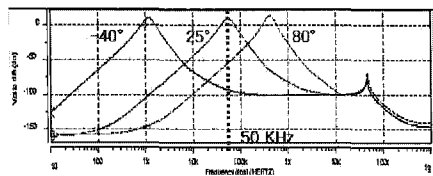
그림 10의 모의실험 결과는 튜닝 회로를 포함하지 않고 각각의 주파수에 대해 온도를 -40°C , 25°C , 80°C 로 변화하여 AC특성을 보인 것이다. 그림에서 보는 것과 같이 온도에 따라 주파수가 변하는 것을 볼 수 있다. 그림 11에서는 튜닝 회로를 포함하여 모의실험한 결과를 보인 것이다. 그림에서 보는 것과 같이 튜닝 회로에 의해 온도가 변하여도 주파수에 따라 일정하게 유지되는 것을 볼 수 있다.

나. 제안된 전파정류기의 모의 실험결과

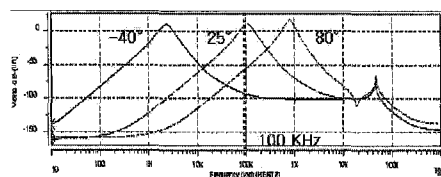
그림 12는 제안된 전파 정류회로의 입력을 변화시키면 출력되는 전압 값을 확인한 것이다.



(a) $f_{center} = 20\text{ KHz}$

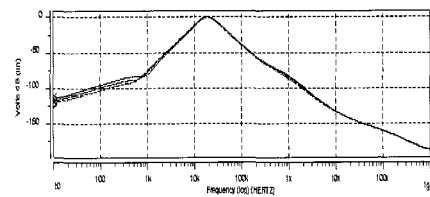


(b) $f_{center} = 50\text{ KHz}$

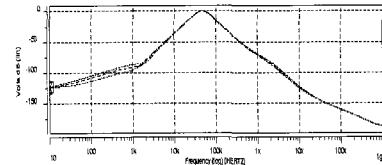


(c) $f_{center} = 100\text{ KHz}$

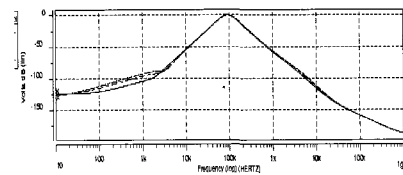
그림 10. 튜닝 회로가 없을 때의 모의실험 결과
Fig. 10. Simulation Results without Tuning Circuits.



(a) $f_{center} = 20\text{ KHz}$



(b) $f_{center} = 50\text{ KHz}$



(c) $f_{center} = 100\text{ KHz}$

그림 11. 튜닝 회로를 포함한 모의실험 결과
Fig. 11. Simulation Results with Tuning Circuits.

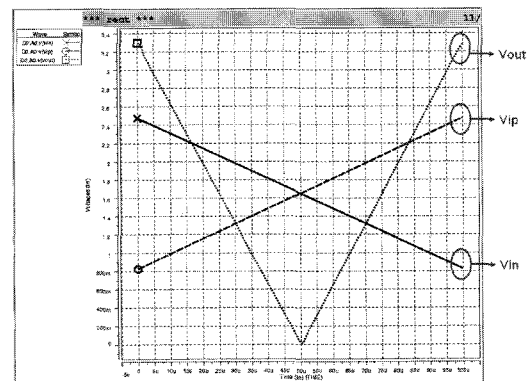


그림 12. 입력변화에 따른 전파정류기의 모의실험 결과
Fig. 12. Simulation result of full wave rectifier with DC transfer.

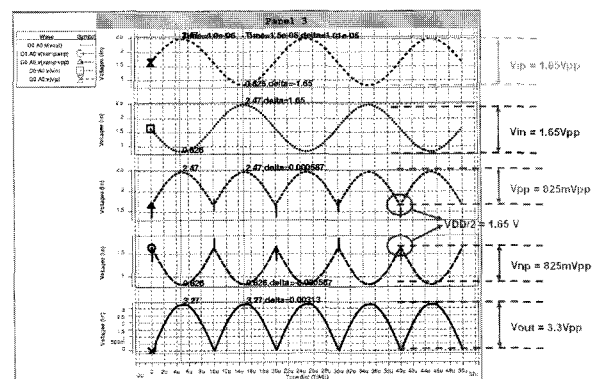


그림 13. 제안된 회로의 모의 실험결과
Fig. 13. Simulation result of proposed circuit.

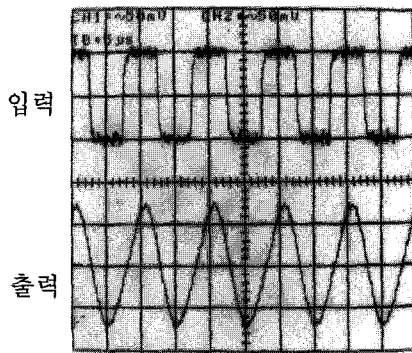
입력신호를 대칭적으로 1.65V를 변화시켰을 때, 출력 전압이 3.3Vpp로 변환하는 것을 볼 수 있다. 이 때, 두 신호의 교차점에서 정확히 0V가 되는 것을 확인할 수 있다.

그림 13은 제안된 회로의 모의 실험결과이다. 이 실험은 3.3V의 전원전압일 때 시행한 것으로 입력으로 각 1.65Vpp를 인가하였다.(입력신호의 차이는 3.3Vpp로 전원전압과 같은 레벨이다.) 세 번째와 네 번째 파형은 맥스의 출력을 나타낸 것으로 정류된 신호를 차등으로 표현하게 되어있다. 맨 아래의 신호는 전파정류기의 최종 출력으로 3.3Vpp의 크기를 갖는 정류신호임을 확인할 수 있다. 기존의 회로에 위와 같은 입력을 넣었을 때, 전원전압의 반(VDD/2)레벨에서 1.65Vpp 크기로 출력하게 된다.

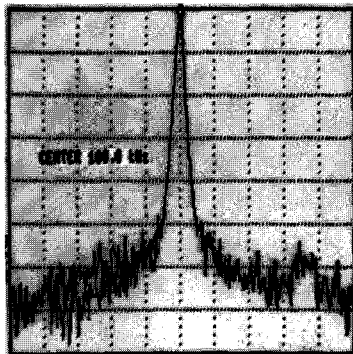
2. 측정결과

가. 대역통과필터의 측정결과

제안된 회로는 0.35um CMOS 1P2M 공정을 이용하였으며, 칩의 면적은 약 5mm x 5mm 이며, 소모되는 전력은 3.3V에서 약 6mW이다. 그림 14는 입력주파수가



(a) $f_{center} = 100 \text{ KHz}$



(b) $f_{center} = 100 \text{ KHz}$

그림 14. 대역통과필터의 출력 스펙트럼
Fig. 14. Measured output spectrum of BPF.

100kHz 일 때 구형파를 입력받아 BPF를 통과한 출력신호와 주파수 스펙트럼의 측정결과를 나타낸 것이다.

나. 전파정류기의 측정결과

전파정류기의 측정결과는 그림 15와 같다. 입력으로 약 1.56Vpp의 전압을 인가하면 3.12Vpp의 전압이 출력되는 것을 볼 수 있다.

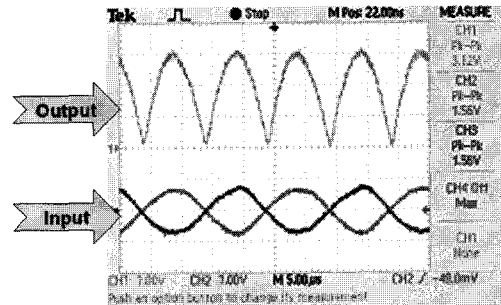
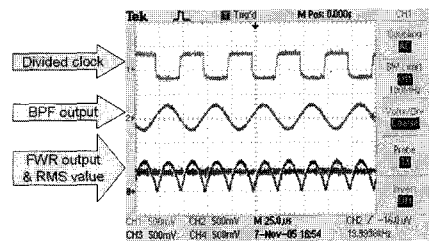


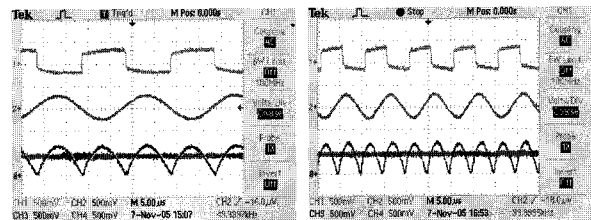
그림 15. 제안된 전파정류회로의 측정결과
Fig. 15. Test result of proposed circuit.

다. 전체 칩의 측정결과

그림 16은 체성분 분석칩의 아날로그 부분 전체 측정결과이다. 노란선은 분주기의 출력으로 20kHz, 50kHz, 100kHz의 펄스신호를 만들게 된다. 그림에서 약간의 슬루(slew)가 생기는 이유는 오실로스코프 프로브의 커패시터 성분(10pF 정도)때문으로 사료되며 실제 회로 동작에는 아무런 영향이 없다. 또한 파란색선의 대역통과



(a) 20KHz 측정시



(b) 50KHz 측정시

(c) 100KHz 측정시

그림 16. 제안된 회로의 칩 측정결과
Fig. 16. Test result of proposed circuit.

필터의 출력부분은 결국 전류로 변환되어 인체로 인가되며, 맨 아래의 보라색, 초록색부분은 인체모델을 통해 측정된 전압이 정류되며 RMS-DC 값으로 변환되는 것을 나타낸다.

IV. 결 론

본 논문에서는 체성분 분석기를 집적화하여 하나의 칩 안에 디지털, 아날로그 블록을 하나로 구현한 방법을 설명하였다. 본 회로는 기존의 기기에 비해 시스템 보드의 크기를 크게 줄일 수 있고, 추가적인 칩을 줄일 수 있으므로 원가를 상당히 절감할 수 있다는 장점이 있다. 또한 제안된 체성분 분석칩 내부의 회로를 저전력 동작이 가능하게 함으로 차후 가정용이나 휴대용 장비에 탑재할 수 있도록 하는 장점이 있다. 제안된 회로는 0.35um CMOS 1P2M 공정을 이용하였으며, 칩의 면적은 약 5mm x 5mm 이며, 소모되는 전력은 3.3V에서

약 6mW 이다. 기존의 장비와 제안된 칩의 성능을 비교해본 결과 오차가 ±2.5% 이내로 들어오는 것을 확인할 수 있었다. 표 1은 제안된 체성분 분석칩의 성분 요약 표이고, 그림 17은 칩 사진이다.

참 고 문 헌

[1] R. F. Kunshner and D. A. Schoeller, "Estimation of Total Body Water by Bioelectrical Impedance Analysis," Am. J. Clin. Nutr. Vol 44, p.417-424, 1986.
 [2] R. F. Kunshner, R. Gudivaka and D. A. Schoeller "Clinical characteristics influencing bioelectrical impedance analysis measurement", Am. J. Clil. Nutr. Vol 64 (suppl), pp 423s-427s., 1996.
 [3] K. Cha and G. M. Chertow, J. Gonzalez, J. M. Lazarus, and D. W. Wilmore, "Mutifrequency Bioelectrical Impedance Estimates the Distribution of Body Water," J. Appl. Physiol. Vol 79, pp. 1316-1319, 1995.
 [4] Jhons, D. A., Martin, K. "Analog Integrated Circuit Design," John Wiley & Sons. New York pp. 574-584, 1997.
 [5] J. Silva-Martinez, M. Steyaert, and W. Sansen, "High-Performance CMOS Continuous-Time Filters," Kluwer Academic Publishers, 1993.
 [6] Zhenhua Wang "Full-Wave Precision Rectification that is Performed in Current Domain and Very Suitable for CMOS Implementation", IEEE trans. Vol.39, No.6, JUNE 1992.

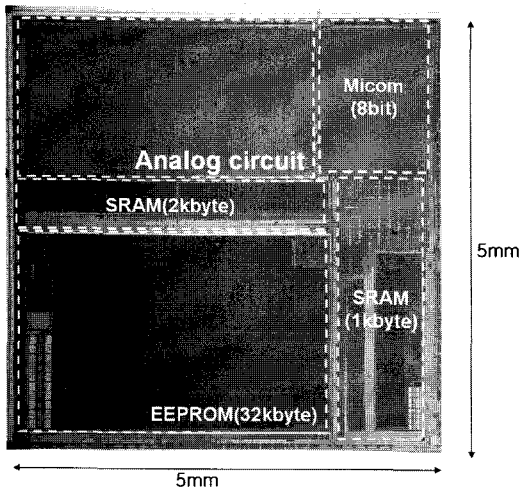


그림 17. 제안된 회로의 칩 사진

Fig. 17. Die photo of proposed circuit.

표 1. 제안된 체지방 측정칩의 성능요약

Table 1. Performance summary of proposed Full wave rectifier.

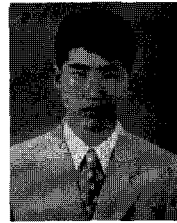
Parameter	Results
Process	0.35um 1P2M CMOS
Supply voltage	3.3V
Power dissipation	6mW(모든 주파수에서)
ADC	10bit SAR ADC
Input clock	1MHz
Signal frequency	20kHz, 50kHz, 100kHz
Procing current	200uA RMS
Measured accuracy	Less than ±2.5%
Chip size	5mm x 5mm (with SRAM(1k,2kbyte), EEPROM(32kbyte))

저 자 소 개



배 성 훈(학생회원)
 2005년 2월 서경대학교 컴퓨터
 공학과 졸업(공학사)
 2005년 3월~현재 서경대학교
 컴퓨터공학과 석사 과정

<주관심분야 : 아날로그 및 음성신호 칩 설계,
 ADC/DAC 설계>



문 병 삼(정회원)
 1995년 3월 호남대학교
 전자공학과 졸업(공학사)
 2000년~현재 바이오스페이스
 생체공학연구소 연구원
 <주관심분야 : 신호처리, 계측, 센
 서 >



임 신 일(정회원)-교신저자
 1980년 2월 서강대학교
 전자공학과 졸업(공학사)
 1983년 2월 서강대학교 대학원
 전자공학과 졸업
 (공학석사)
 1995년 8월 서강대학교 대학원
 전자공학과 졸업
 (공학박사)

1982년 2월~1991년 1월 한국전자통신연구원
 (ETRI) 선임연구원
 1991년 1월~1995년 2월 전자부품연구원
 선임연구원
 1995년 3월~현재 서경대학교 컴퓨터공학과
 부교수

<주관심분야 : 아날로그 IC설계, 음성회로 칩 설
 계, ADC/DAC 설계, 통신용 IC설계>