

논문 2007-44SD-3-2

디지털 오디오 인터페이스용 개선된 20Mb/s CMOS 광수신기

(Improved 20Mb/s CMOS Optical Receiver for Digital Audio Interfaces)

유 재 택*, 김 길 수**

(Jae Tack Yoo and Gil Su Kim)

요 약

본 논문에서는 고성능 디지털 오디오 인터페이스용 CMOS 광수신기의 면적 감소와 펄스폭 왜곡을 감소시키기 위한 2종의 CMOS 광수신기를 제안한다. 면적 감소와 펄스폭 왜곡 감소를 위한 2종의 제안하는 회로는 이중 출력을 생성하는 전치 증폭기 광수신기와 문턱 전압을 수렴하는 레벨 변환기 광수신기이다. 제안한 회로들의 성능을 검증하기 위해 0.25 μm CMOS 공정을 이용하여 칩이 제작되었으며, 측정 결과 이중 출력 전치 증폭기를 이용한 광수신기의 경우, 270 \times 120 μm^2 의 유효 면적을 차지하고 $\pm 3\%$ 이내의 펄스폭 왜곡을 나타내며, 문턱 전압 수렴형 레벨 변환기를 이용한 광수신기의 경우 410 \times 140 μm^2 의 유효 면적을 차지하고 $\pm 2\%$ 이내의 펄스폭 왜곡을 나타내므로, 고성능 디지털 오디오 인터페이스용 광수신기의 면적과 펄스폭 왜곡을 효과적으로 감소시킬 수 있었다.

Abstract

This paper proposes CMOS optical receivers to reduce effective area and pulse width distortion (PWD) in high definition digital audio interfaces. To mitigate effective area and PWD, proposed receivers include a trans-impedance amplifier (TIA) with dual output and a level shifter with threshold convergence, respectively. Proposed circuits are fabricated using 0.25 μm CMOS process and measured results demonstrated the effective area of 270 \times 120 μm^2 and PWD of $\pm 3\%$ for the receiver with a dual output TIA, and the effective area of 410 \times 140 μm^2 and PWD of $\pm 2\%$ for the receiver with a threshold convergence level shifter.

Keywords : CMOS optical receiver, digital audio interface, small area, pulse width distortion

I. 서 론

디지털 오디오 기술의 발전으로 고성능 오디오에 대한 수요자들의 요구가 증가함에 따라 고성능 오디오 규격인 Super Audio Compact Disc (SACD)와 Digital Video Disc (DVD)-audio에 대한 관심이 고조되고 있다^[1]. 이러한 고성능 오디오 규격은 최대 16.9344Mb/s의 데이터 전송률을 요구하고 있으며, 고품질의 오디오 신

호 재생을 위해 복원된 신호는 최소의 펄스폭 왜곡 (Pulse width distortion: PWD)을 요구하고 있다.

CMOS 광수신기는 제어 신호의 종류에 따라 자동 이득 조절 기법 (Automatic Gain Control: AGC) 과 자동 문턱 전압 조절 기법 (Automatic Threshold Control: ATC)으로 분류될 수 있다. 자동 이득 조절 기법을 적용한 광수신기는 피드백 시스템의 안정도와 정확도를 위해서 고속의 소자와 옵셋 제거 기법을 필요로 하기 때문에 이로 인해 생산 비용이 증가하고 시스템이 복잡해진다는 문제점이 있다^[2]. 이에 반해, 자동 문턱 전압 조절 기법을 적용한 광수신기는 저속의 소자를 이용해 피드 포워드 시스템을 구현하기 때문에 자동 이득 조절 기법에 비해 저가의 광수신기를 구현하는데 이용된다. 그러나 최근의 자동 문턱 전압 조절 기법은 자동 이득 조절 기법과 마찬가지로

* 정회원, 안양대학교 전기전자공학과
(Department of Electrical Eng., Anyang University)

** 학생회원, 고려대학교 전자컴퓨터공학과
(Department of Electronics and Computer Eng., Korea University)

※ 본 논문은 안양대학교 안식년 기간에 연구되었음.
접수일자: 2006년12월23일, 수정완료일: 2007년1월23일

가지로 정확한 문턱 전압을 생성하기 위한 DC-오프셋 제거 기법과 변화된 수신 전력에 따른 문턱 전압 생성을 위한 리셋 회로를 필요로 하게 되며 이로 인하여 설계의 복잡도가 증가한다는 문제점이 있다^[3].

본 논문에서는 이러한 자동 전압 이득 조절 기법과 자동 문턱 전압 조절 기법의 단점을 보완한 2종의 CMOS 광수신기를 제안한 후 설계 및 제작한 회로의 실험 결과를 보여준다. 제안하는 2종의 CMOS 광수신기는 시스템의 복잡도와 생산 비용 절감을 위해서 각각 이중 출력을 생성할 수 있는 전치 증폭기 (Trans-Impedance Amplifier: TIA)와 수렴된 문턱 전압을 생성하는 레벨 변환기를 포함한다.

II. 기존의 CMOS 광수신기 구조

그림 1은 기존의 자동 문턱 전압 조절 기법을 이용한 CMOS 광수신기를 나타낸 것^[3,4]으로 광검출기, 전치 증폭기 (TIA), 자동 문턱 전압 조절 (ATC) 회로와 비교기로 구성된다. 전치 증폭기는 광검출기에서 생성된 전류 신호를 전압 신호로 증폭하는 역할을 하며, 자동 문턱 전압 조절 회로는 수신 전력에 비례하는 문턱 전압을 생성한다. 전치 증폭기에서 생성된 전압 신호와 자동 문턱 전압 조절 회로에서 생성된 전압 신호는 비교기에 공급되어 로직 레벨의 디지털 신호로 변환된다.

광검출기와 전치증폭기는 광케이블의 길이와 수신 전력의 변화에 따라 다양한 크기의 전류 신호와 전압 신호를 생성하게 되므로, 고정된 문턱 전압으로 이러한 다양한 크기의 신호들을 복원할 경우 펄스폭 왜곡을 발생시키게 되므로 디지털 오디오 신호의 품질을 저하시키게

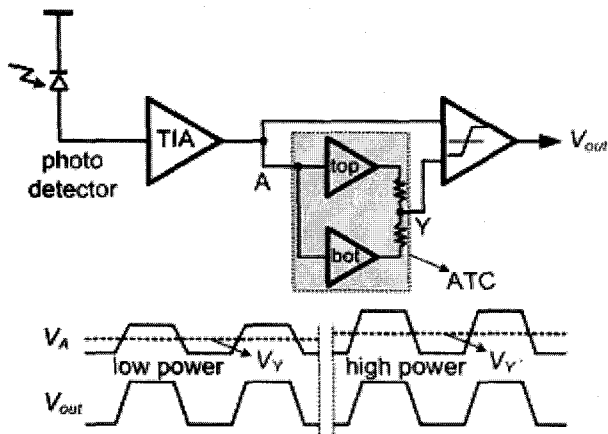


그림 1. 기존 CMOS 광수신기의 블록 다이어그램
Fig. 1. Block diagram of conventional CMOS optical receiver.

된다. 자동 문턱 전압 조절 회로는 이러한 문제점을 해결하기 위해 전치 증폭기 출력 신호로부터 두 개의 피크 신호를 검출한 후 평균 전압값을 사용한다. 그러나 이러한 자동 문턱 전압 조절 회로는 피크 검출기의 부정합과 저항 소자의 부정합으로 인한 DC-오프셋이 발생하게 되며, 이를 보상하기 위한 오프셋 제거 회로를 필요로 한다. 또한, 수신 전력의 변화가 있을 경우, 변화된 신호가 도달하기 전에 피크 검출기에 사용된 캐패시터를 방전시킨 후 정확한 문턱 전압을 생성할 수 있는 리셋 회로를 필요로 하게 된다. 이러한 오프셋 제거 회로와 리셋 회로의 구현은 시스템의 복잡도를 증가시켜 생산 비용을 증가시키는 원인이 된다^[3].

III. 제안하는 CMOS 광수신기

기존 CMOS 광수신기의 시스템 복잡도를 줄이기 위해 광수신기의 구조를 변화시키는 방법을 생각해 볼 수 있다. 본 장에서는 전치 증폭기 구조를 변화시킨 광수신기와 ATC 회로 대신 문턱 전압 수렴형 레벨 변환기를 이용한 광수신기를 각각 제안하고 이를 분석한다. 제안하는 2종의 광수신기는 작은 면적을 차지하면서 저전력을 소모하도록 설계한다.

1. 이중 출력 전치 증폭기를 이용한 CMOS 광수신기

그림 2는 제안하는 이중 출력 전치 증폭기를 이용한 CMOS 광수신기의 구조를 보여준다. 제안하는 광수신기는 광검출기, 이중 출력을 생성하는 전치 증폭기, 레벨 변환기와 비교기로 구성된다. 이중 출력 전치 증폭기는 광검출기의 수신 전력에 비례하는 두 개의 신호

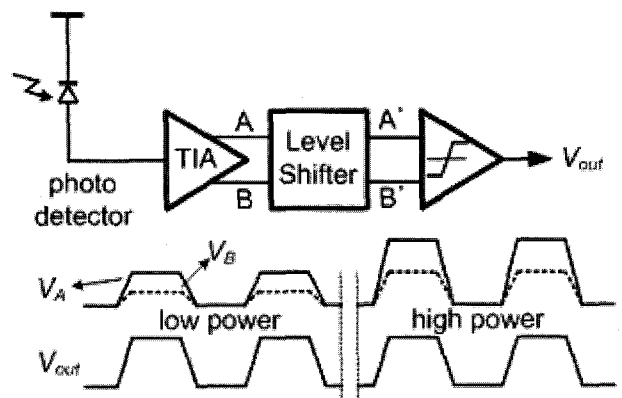


그림 2. 이중 출력 전치 증폭기를 이용한 CMOS 광수신기의 블록 다이어그램
Fig. 2. Block diagram of proposed CMOS optical receiver with dual output TIA.

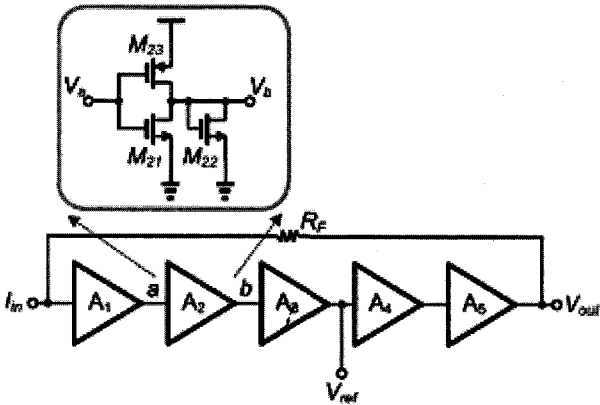


그림 3. 이중 출력 전치 증폭기의 회로도
Fig. 3. Schematic of dual output TIA.

(V_A , V_B)를 생성하며, 문턱 전압 신호 (V_B) 이득을 원 신호 (V_A) 이득의 1/2이 되도록 설계하는 것이 핵심이며, 결과적으로 그림 2의 하단의 V_{out} 과 같은 파형을 얻을 수 있다.

그림 3은 5개의 증폭단으로 구성된 이중 출력 전치 증폭기의 회로도를 보여준다. 각 단의 이득은 다음의 식 (1)과 같이 표현될 수 있다.

$$A_i \approx \frac{g_{m,i1} + g_{m,i3}}{g_{m,i2}} \quad (1)$$

여기서 $g_{m,ij}$ 는 트랜지스터 M_{i1} , M_{i2} , M_{i3} 의 트랜스컨덕턴스를 나타낸다. 따라서 전치 증폭기의 전체 이득, A_{1-5} ,은 아래와 같이 각 단의 이득의 곱으로 나타낼 수 있다.

$$A_{1-5} = A_1 \times A_2 \times A_3 \times A_4 \times A_5 \quad (2)$$

또한 첫 번째 단으로부터 세 번째 단까지의 이득의 곱, A_{1-3} ,은 다음과 같이 나타낼 수 있다.

$$A_{1-3} = A_1 \times A_2 \times A_3 \quad (3)$$

따라서 수식 (2)와 수식 (3)의 비가 2가 되도록 네 번째 단과 다섯 번째 단의 이득의 곱, $A_4 \times A_5$,을 결정하면 원 신호와 원신호의 1/2 이득을 갖는 문턱 전압 신호를 생성할 수 있다. 이 관계를 다음식과 같이 나타낼 수 있다.

$$\begin{aligned} A_{4-5} &= \frac{A_1 \times A_2 \times A_3 \times A_4 \times A_5}{A_1 \times A_2 \times A_3} \\ &= A_4 \times A_5 = 2 \end{aligned} \quad (4)$$

여기서 A_4 와 A_5 는 트랜지스터의 g_m 비율을 이용하는 수식 (1)을 활용하여 적절한 크기로 설계한다.

전치 증폭기의 이중 출력 범위가 비교기의 입력 범위

보다 클 경우 비교기의 출력에는 심각한 펄스폭 왜곡이 발생하기 때문에, 이를 방지하기 위하여 전치 증폭기의 뒷단에 레벨 변환기 (Level shifter)를 추가로 설계하여 삽입하였다.

2. 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기

그림 4는 제안하는 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기를 나타낸 것이다. 제안하는 광수신기는 광검출기, 전치 증폭기, 레벨 변환기 (Level shifter), 기준 전압 발생기 (Reference)와 비교기로 구성된다.

기존의 자동 문턱 전압 조절 기법은 옵셋 제거 회로와 리셋 회로의 사용으로 인해 시스템이 복잡해진다는 문제점 외에도 근본적으로 입력 신호의 크기에 비례하는 서로 다른 레벨의 문턱 전압을 발생시켜야한다. 이러한 문제점을 해결하기 위한 방법으로 입력 신호의 평균 전압을 한 곳으로 수렴시킬 수 있는 문턱 전압 수렴 회로 및 신호의 복원을 위한 기준 전압 발생기를 제안

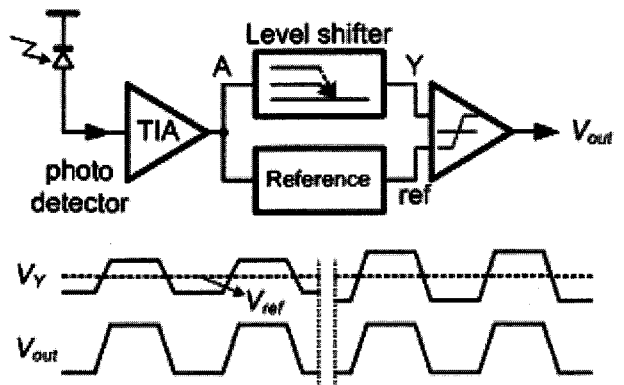


그림 4. 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기의 블록다이어그램

Fig. 4. Block diagram of CMOS optical receiver with threshold convergence level shifter.

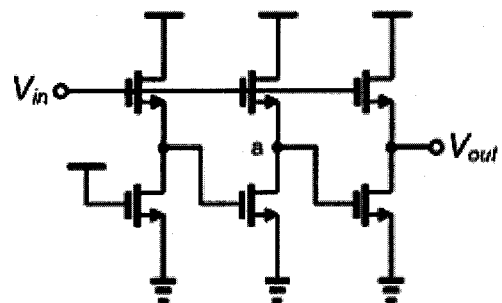


그림 5. 문턱 전압 수렴형 레벨 변환기의 회로도
Fig. 5. Schematic of threshold convergence level shifter.

한다. 이러한 문턱 전압 수렴 기법은 옵셋과 리셋 문제에 자유로운 AC-커플링 기법과 유사하지만 DC 성분을 차단하는 AC-커플링 커패시터를 포함하지 않으므로 이로 인하여 많은 면적을 감소시킬 수 있다.

그림 5는 문턱 전압 수렴형 레벨 변환기 회로를 나타낸 것이다. 제안하는 회로는 입력 신호의 평균 전압에 비례하는 또 다른 평균 전압을 갖는 신호를 발생시키며 입력 신호와 발생된 신호와의 차이를 구하기 위하여 3단의 선형 뺄셈기로 구성하였다. 첫 번째 단은 두 번째 단을 Subthreshold 영역에서 동작시키기 위한 Region keeper 역할을 한다. 두 번째단에서는 입력 신호의 평균 전압에 비례하는 또 다른 평균 전압을 갖는 신호를 발생하여 다음 단계에 공급한다. a 노드에서의 전압 평균 (Voltage Averaging)은 a 노드에서의 매우 큰 기생저항과 세 번째 단 입력 트랜지스터의 입력 커패시턴스의 시정수를 이용한다. 평균 전압 발생을 위한 시정수는 적당한 값이 되도록 조절하여야 하며 이를 위하여 두 번째 단이 Subthreshold 영역에서 동작하도록 하였다. 마지막단에서는 a 노드에서 발생된 신호와 입력 신호 사이의 뺄셈을 함으로써 수렴된 평균 전압을 갖는 신호를 생성하게 된다.

그림 6은 레벨 변환기의 출력 파형을 나타낸 것으로, 큰 신호 (high) 와 작은 신호 (low)의 평균 레벨이 순차적으로 수렴되어 평균 전압의 차이인 ΔV 가 0이 됨을 확인할 수 있다. 그림 6은 이 회로에 추가적으로 레벨 변환기의 출력 파형을 복원하기 위한 기준 전압이 필요함을 보여준다.

그림 7은 기준 전압 발생기 (Reference)로 설계된 복제 바이어스 회로 (Reference)를 나타낸 것이다. 광 수

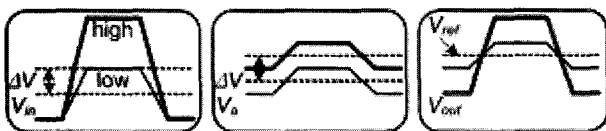


그림 6. 문턱 전압 수렴형 레벨 변환기의 출력 파형
Fig. 6. Waveform of threshold convergence level shifter.

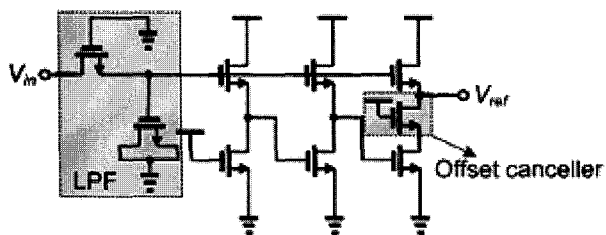


그림 7. 복제 바이어스 회로도
Fig. 7. Schematic of replica bias circuit.

신기 출력단의 비교기에서 펄스폭 왜곡이 없는 디지털 신호를 발생시키기 위해서는 레벨 변환기에서 수렴된 문턱 전압과 동일한 기준 전압을 생성해야 함을 그림 6에서 보여 주었다. 설계된 복제 바이어스 회로는 입력 신호의 최소 피크 전압을 검출하기 위한 저역 통과 여파기와 실제 회로에서의 옵셋을 보상하기 위한 트랜지스터가 첫 번째 단과 마지막 단에 각각 추가되었다.

IV. 실험 및 결과

제안된 2종의 광수신기 구조를 실험하기 위하여 0.25 μ m CMOS 공정을 이용하여 칩을 제작하였으며, 본 장에서는 각 광수신기의 실험 및 결과를 보여준다.

1. 이중 출력 전치 증폭기를 이용한 CMOS 광수신기

그림 8은 제작된 이중 출력 전치 증폭기를 이용한 CMOS 광수신기의 칩사진을 나타낸 것이다. 제작된 회로는 270 \times 120 μ m²의 유효 면적을 차지하며, 기존 ATC 기법을 이용한 CMOS 광수신기^[4]와 비교해 1/30로 면적을 획기적으로 축소시켰다. 축소된 원인은 큰 면적을 요구하는 리셋 회로, ATC 회로, 옵셋 제거 회로 등

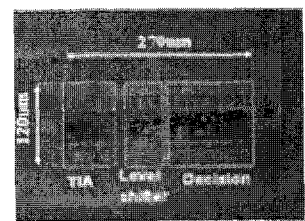


그림 8. 이중 출력 전치 증폭기를 이용한 CMOS 광수신기의 칩사진

Fig. 8. Chip photo of CMOS optical receiver with dual output TIA.

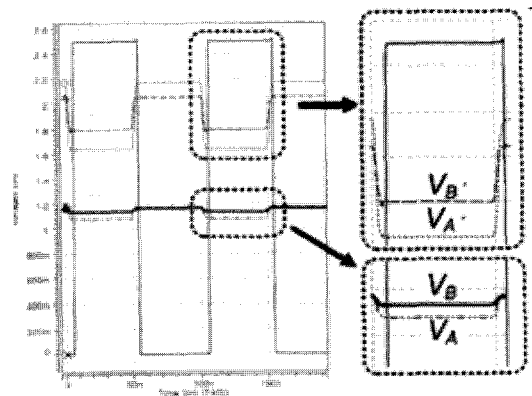


그림 9. 이중 출력 전치 증폭기의 모의실험 결과
Fig. 9. Simulation result of dual output TIA.

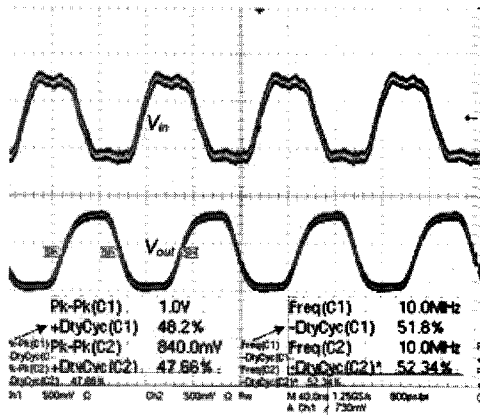


그림 10. 이중 출력 전치 증폭기를 이용한 CMOS 광수신기의 과도 응답 특성

Fig. 10. Transient response of CMOS optical receiver with dual output TIA.

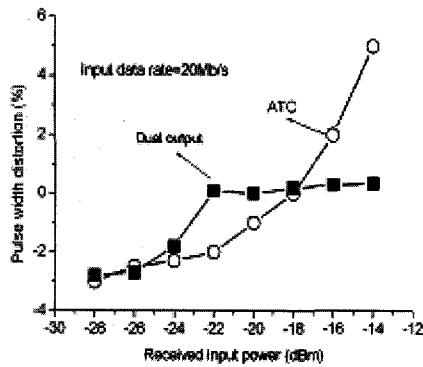


그림 11. 수신 전력에 따른 펄스폭 왜곡

Fig. 11. PWD against received input power.

이 제거되었기 때문이다.

그림 9는 이중 출력 전치 증폭기의 모의 실험 결과를 나타낸 것이다. 그림 9를 통해 제안하는 전치 증폭기가 전치 증폭기의 원 신호 (V_A)와 원 신호의 1/2 이득을 갖는 문턱 전압 신호 (V_B)를 정상적으로 생성함을 확인할 수 있다.

그림 10은 제작된 광수신기의 과도 응답 특성을 측정 한 결과이며, 20Mb/s의 데이터 신호를 인가하여 측정된 펄스폭 왜곡을 나타낸 것이다.

그림 11은 제작된 회로의 펄스폭 왜곡을 측정 한 결과이며, 20Mb/s의 데이터 신호를 -28dBm부터 -13dBm까지 변화시키며 측정 한 결과를 나타낸 것이다. 그림 11을 통해 제안된 광수신기가 기존 ATC 기법의 광수신기보다 작은 $\pm 3\%$ 의 펄스폭 왜곡을 나타냄을 확인할 수 있다. 최대 소모 전력은 3mW로 측정되었다.

2. 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기

그림 12는 제작된 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기의 칩 사진을 나타낸 것이다. 제작된 회로는 $410 \times 140 \mu m^2$ 의 유효 면적을 차지하며, 기존 ATC 기법을 이용한 CMOS 광수신기^[4]와 비교해 1/16 면적을 차지한다.

그림 13은 제안된 문턱 전압 수렴형 레벨 변환기의 과도 응답 특성을 모의 실험 한 결과를 나타낸 것이다. 모의 실험 결과 제안된 회로가 최대 -13dBm의 전력을 갖는 신호와 최소 -28dBm의 전력을 갖는 랜덤 신호를 번갈아 수신할 때 250ns 이내의 빠른 반응 시간을 나타냄을 확인할 수 있다.

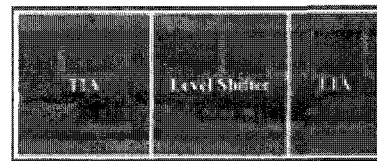


그림 12. 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기의 칩 사진

Fig. 12. Chip photo of CMOS optical receiver with threshold convergence level shifter.

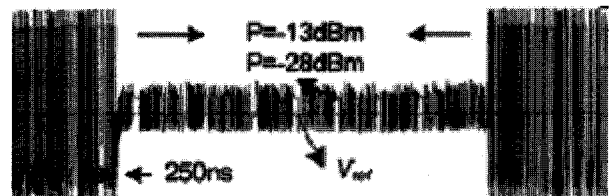


그림 13. 문턱 전압 수렴형 레벨 변환기의 과도 응답 특성

Fig. 13. Transient response of threshold convergence level shifter.

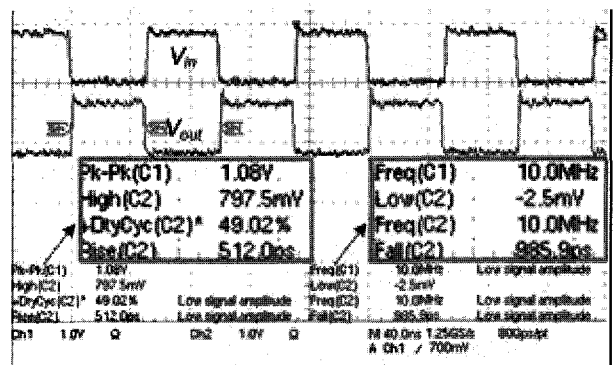


그림 14. 문턱 전압 수렴형 레벨 변환기를 이용한 CMOS 광수신기의 과도 응답 특성

Fig. 14. Transient response of CMOS optical receiver with threshold convergence level shifter.

참고 문헌

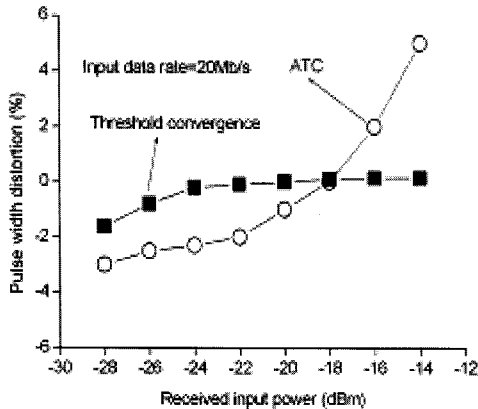


그림 15. 수신 전력에 따른 펄스폭 왜곡
Fig. 15. PWD against received input power.

그림 14는 제작된 문턱 전압 수렴형 광수신기의 과도 응답을 측정된 결과이며, 20Mb/s의 데이터 신호를 인가하여 측정된 펄스폭 왜곡을 나타낸 것이다. 제작된 회로는 이중 출력 전치 증폭기를 이용한 광수신기에 사용된 전치 증폭기와 비교해 입력단의 기생 캐패시턴스가 작은 전치 증폭기를 설계하였기 때문에 빠른 상승/하강 시간을 나타낸다.

그림 15는 제작된 회로의 펄스폭 왜곡을 측정된 결과이며, 20Mb/s의 데이터 신호를 -28dBm부터 -13dBm까지 변화시키며 측정된 결과를 나타낸 것이다. 그림 15를 통해 제안된 광수신기가 기존 ATC 기법의 광수신기보다 작은 ±2%의 펄스폭 왜곡을 나타냄을 확인할 수 있다. 최대 소모 전력은 9mW로 측정되었다.

V. 결 론

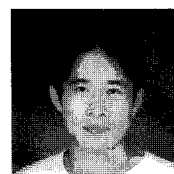
본 논문에서는 자동 전압 이득 조절 기법과 자동 문턱 전압 조절 기법의 단점을 보완하기 위한 2종의 CMOS 광수신기를 제안하였다. 제안한 광수신기는 시스템의 복잡도 감소 소형화 및 저전력화를 위해서 각각 이중 출력을 생성할 수 있는 전치 증폭기 광수신기와 수렴된 문턱 전압을 생성하는 레벨 변환기 광수신기이며, 측정 결과 두 광수신기 모두 기존 자동 문턱 전압 조절 회로를 이용한 광수신기와 비교해 모두 매우 작은 면적을 차지하며, 각각 ±3%, ±2%의 작은 펄스폭 왜곡을 나타내고, 각각 3mW, 9mW의 전력을 소모함으로써, 고성능 디지털 오디오 인터페이스에서 요구하는 가격 경쟁력과 고품질의 디지털 신호를 제공하는 응용분야에 사용될 수 있게 된다.

[1] Konstantinides, K.: 'An Introduction to Super Audio CD and DVD-Audio', *IEEE Signal Processing Magazine*, 2003, 20, (4), pp 71-82
 [2] Nakamura, M., Ishihara, N., and Akazawa, Y.: 'A 156-Mb/s CMOS Optical Receiver for Burst-Mode Transmission', *IEEE J. Solid-State Circuits*, 1998, 33, (8), pp. 1179-1187
 [3] S. Han and M.S. Lee: 'AC-coupled burst-mode optical receiver employing 8B/10B coding', *Electron. Lett.*, 2003, 39, (21), pp. 1527-1528
 [4] Quan, Le, S.G., Lee, Y.H., Oh, H.Y. Kang, and T.H. Yoo: 'A Burst-Mode Receiver for 1.25-Gb/s Ethernet PON with AGC and Internally Created Reset Signal', *IEEE J. Solid-State Circuits*, 2004, 39, (12), pp. 2379-2388

저 자 소 개



유 재 택(정회원)
 1979년 고려대학교 전기공학과 학사 졸업.
 1989년 Case Western Reserve Univ. 컴퓨터공학과 석사 졸업.
 1995년 Univ. of Utah 컴퓨터공학과 박사 졸업.
 1985년~1998년 한국전력 전력연구원 근무
 1998년~현재 안양대학교 전기전자공학과 부교수
 <주관심분야 : 회로 및 시스템, High speed system design>



김 길 수(학생회원)
 2002년 고려대학교 전기공학과 학사 졸업.
 2006년 고려대학교 전자컴퓨터공학과 석박사 통합과정 수료.
 <주관심분야 : High speed CMOS transceiver, Low power analog/digital circuits>