한국산학기술학회논문지
Vol. 8, No. 1, pp. 25-32, 2007

자연산화막 존재에 따른 코발트 니켈 복합실리사이드 공정의 안정성

송오성[1*], 김상엽[1], 김종률[1]

Silicidation Reaction Stability with Natural Oxides in Cobalt Nickel Composite Silicide Process

Oh-Sung Song[1*], Sang-Yeob Kim[1] and Jong-Ryul Kim[1]

요 약 코발트 니켈 합금형 실리사이드 공정에서 단결정실리콘과 다결정실리콘 기판에 자연산화막이 있는 경우 나노급 두께의 코발트 니켈 합금 금속을 증착하고 실리사이드화하는 경우의 반응 안정성을 확인하였다. 4인치 p-type(100)Si 기판 전면에 poly silicon을 입힌 기판과 single silicon 상태의 두 종류 기판을 준비하고 두께 4 ㎚의 자연산화막이 있는 상태에서 10 ㎚ 코발트 니켈 합금을 니켈의 상대조성을 10~90%로 달리하며 열증착하였다. 통상의 600, 700, 800, 900, 1000, 1100℃ 각 온도에서 실리사이드화 열처리를 시행 후 잔류 합금층을 제거하고, XRD(X-ray diffraction)및 FE-SEM(Field emission scanning electron microscopy), AES(Auger electron spectroscopy)를 사용하여 실리사이드가 생겼는지 확인하였다. 마이크로라만 분석기로 실리사이드 반응시의 실리콘 층의 잔류 스트레스도 확인하였다. 자연산화막이 존재하는 경우 실리사이드 반응이 진행되지 않았고, 폴리실리콘 기판과 고온에서는 금속과 산화층의 반응잔류물이 생성되었다. 단결정 기판의 고온열처리에서는 실리사이드 반응이 없더라도 핀홀이 발생할 수 있는 정도의 열스트레스가 존재하였다. 코발트 니켈 복합실리사이드 공정에서는 자연산화막을 제거하는 공정이 필수적이었다.

Abstract We investigated the silicide reaction stability between 10 ㎚-Co1-xNix alloy films and silicon substrates with the existence of 4 ㎚-thick natural oxide layers. We thermally evaporated 10 ㎚-Co1-xNix alloy films by varying x=0.1~0.9 on naturally oxidized single crystal and 70 ㎚-thick polycrystalline silicon substrates. The films structures were annealed by rapid thermal annealing (RTA) from 600℃ to 1100℃ for 40 seconds with the purpose of silicidation. After the removal of residual metallic residue with sulfuric acid, the sheet resistance, microstructure, composition, and surface roughness were investigated using a four-point probe, a field emission scanning electron microscope, a field ion beam, an X-ray diffractometer, and an Auger electron depth profiling spectroscope, respectively, to confirm the silicide reaction. The residual stress of silicon substrate was also analyzed using a micro-Raman spectrometer. We report that the silicide reaction does not occur if natural oxides are present. Metallic oxide residues may be present on a polysilicon substrate at high silicidation temperatures. Huge residual stress is possible on a single crystal silicon substrate at high temperature, and these may result in micro-pinholes. Our results imply that the natural oxide layer removal process is of importance to ensure the successful completion of the silicide process with CoNi alloy films.

Key words : composite NiCo silicides, natural oxides, silicidation, silicide. thermal stress

1. 서론

살리사이드는(Self-aligned silicide) 마스크 없이 폴리실리콘으로 제작된 게이트 양 측면에 주로 실리콘 산화막으로 구성된 스페이서를 만든 후 기판 전면에 실리사이드화 하려는 금속층을 증착하고 열처리한 후 남은 금속층을 습식방법으로 처리하는 공정이다.

궁극적으로 경제적으로 소오스와 드레인과 게이트 상부에만 선택적으로 저저항의 실리사이드(Silicides)층이 형성되고 이층은 접촉저항을 낮추고 금속배선층과 실리

이 논문은 한국과학재단의 2006년 특정기초연구(과제번호 R01-2004-000-10028-0)지원에 의하여 연구되었음.
[1]서울시립대학교 신소재공학과
*교신저자: 송오성(songos@uos.ac.kr)

콘의 직접접촉을 방지하여 확산에의해 누설전류가 생기는 것을 방지하는 기능을 수행하므로 최근의 대부분 CMOS소자를 위한 공정에서 채택되고 있다.

이러한 실리사이드 물질로는 $TiSi_2$, $CoSi_2$, $NiSi_2$, 등이 쓰이고 있으나 최근에는 나노급 최소선폭을 가진 CMOS 소자에 채용되기에는 선폭이 작아지면서 저항이 커지는 문제와 자연 산화막이 있으면 실리사이드화 반응을 못하거나, 실리사이드화 온도가 700℃이하로 제한되는 각각의 문제점들이 있어서 이를 극복하고자[1~3] Ti/Co, Co/Ni 등의 적층구조나 합금구조로부터 복합실리사이드를 형성하여 기존의 실리사이드 보다 물성을 개선하려는 연구가 활발하다.[4~5]

기존의 $CoSi_2$를 제작할 때 Co는 실리콘 표면에 잔존하는 천연 SiO_2가 있는 경우 실리사이드 반응이 일어나지 않아서 자연 산화막 제거를 위한 과도한 습식 크리닝이나 금속을 증착하기 직전에 비경제적인 건식플라즈마 크리닝 등의 추가공정이 필요한 단점이 있었다. 만약 기존의 코발트계 실리사이드 공정에서 니켈을 첨가시켜 이러한 자연산화막을 제거하고 성공적으로 복합실리사이드가 형성되면 기존의 실리사이드 공정에서 중요한 크리닝 단위공정을 생략해도 되므로 반도체 산업에서 생산 원가 절감에 의한 경제적인 파급효과가 기대될 수 있다.

본 연구에서는 이러한 자연 산화막이 존재하는 경우 단결정으로 실리콘 형성된 활성화 영역과 폴리실리콘으로 구성된 게이트부를 Ni의 첨가에 따라 실리사이드의 반응을 확인하여 보고자 하였다.

2. 실험방법

4인치 p-type(100)Si 기판을 준비하여 LPCVD를 이용하여 Poly-Si를 700 Å 올린 기판과 아무 처리도 하지 않은 single-Si 기판을 준비하였다. 기판위에 40 Å의 산화막이 형성한 후 산화막의 두께는 ellipsometer를 이용하여 확인하였다.

Co에 Ni의 무게비를 달리하며 준비한 $Co_{1-x}Ni_x$ (x= 0.1~0.9) 합금 소스를 준비하였다. 이 합금 소스를 이용하여 열증착기를 써서 미리 준비된 단결정과 다결정 실리콘 기판 전면에 합금 소스를 텅스텐 발열체에 넣어 열증착을 하였다. 증착두께는 금속층이 30 ㎚ 이 되도록 증착하였으며 오차는 ±10% 내로 조정하였다.

니켈코발트 합금과 SiO_2간의 계면 반응을 확인하기 위해 10^{-3} torr의 진공에서 7쌍의 할로겐 램프로 구성된 RTA를 활용하여 40초간 온도를 600, 700, 800, 900, 1000, 1100℃의 6가지 조건에서 처리하였다. 열처리가 끝난 후 반응하지 않고 남은 잔류 니켈코발트 합금 소스를 제거하기 위해 황산클리닝(30% H_2SO_4, 70℃, 10 min)을 실시하였다.

완성된 시편에 대해 4 point probe를 사용하여 면저항을 측정하고, AES depth profiling에 의하여 시편 표면으로부터의 깊이에 따른 조성의 변화를 조사하였다. 표면으로부터의 측정깊이는 30~40 ㎚ 깊이까지 측정하였다.

또한 Hitachi사의 FE-SEM(field emission scanning electron microscopy)로 수직단면미세구조를 확인하였다. 준비된 시편을 샘플 홀더에 수직으로 세워 장착한 후 전도성을 좋게 하기 위해 표면에 Au 코팅을 100 Å 두께로 실시하였다. 이렇게 준비한 시편의 수직단면미세구조를 관찰하기 위해서 20 kV, 가속전압을 사용하여 배율 ×10000와 ×30000에서 시편의 단면을 관찰하였다.

XRD 분석은 Rigaku GEIGERFLEX D/MAX-II A 모델을 사용하였고 Cu target을 사용하여 30 ㎸, 20 ㎃, 20~80°에서 측정하였다. 열처리 후 산세공정을 거친 시편을 10 ㎜ × 10 ㎜ 크기로 가공하여 측정하였다. 측정된 자료는 JCPDS 파일을 이용하여 결정하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Ir의 조성변화를 스퍼터링 속도를 유지하면서 표면부로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

실리사이드 공정에 따른 표면조도의 변화를 확인하기 위해 주사탐침현미경(Scanning Probe Microscope: SPM, PSIA CP)을 이용하여 5× 5 μm^2 범위를 콘택 모드로 스캔 분석하여 root mean square(rms)를 측정함으로써 정량화하였다.

Micro-Raman Spectrometer(Jobin Yuon사 Lab Ram HR model)을 사용하여 시료 표면에 Laser 초점을 맞추고 632.817 ㎚의 레이져가 시료에 입사하여 반사되어 나올 때의 에너지 손실을 측정하는 것으로 400~3000 cm^{-1}까지 측정하였다[6].

마이크로 라만 스펙트럼을 이용하여 실리사이드 상의 변화를 측정하는 것과 함께, 특히 레이저의 표면투과효과는 실리사이드 하부의 실리콘의 메인 피크까지 검출이 가능을 이용하여 실리콘에서의 라만 피크변동(Δw_0)을 고려하여 Eq.(1)에 의해 실리사이드 박막 생성에 의한 실리콘의 스트레스(σ)와 스트레인(ϵ)의 측정을 시도하였다. 이차원적인 열스트레스 등의 원인으로 실리콘의 메인 피크는 아래 식 (1)과 같은 변동량을 갖고 이때의 잔류 스트레스와의 관계를 갖는다[7~8].

$$\sigma = -435\Delta w_0 [MPa] \cdots\cdots\cdots\cdots (1)$$

$$\epsilon = \frac{-435\Delta w_0}{E} = 2.289\text{x}10^{-3}\ \Delta w_0$$

여기서 E는 실리콘의 탄성계수로 190 ㎬로 주어진다. 식(1)로부터 실리사이드 공정조건에 따른 하부 실리콘의 잔류응력을 판단하였다.

3. 실험결과 및 토의

3.1 면저항분석

그림 1에는 단결정 실리콘 기판(a)과 게이트를 상정한 다결정실리콘 기판(b)이 자연산화막이 있는 상태에서 $Co_{1-x}Ni_x$(x=0.1~0.9)로 변화시키면서 RTA온도에 따라 실리사이드처리하고 황산처리로 잉여금속층을 제거한 후 면저항을 측정한 결과를 나타내었다.

(a)의 단결정에서는 전조성과 온도범위에서 ~M/sq. 이상으로 고저항이 형성되어 자연산화막이 없는 경우 전 온도범위에서 동일한 공정에 의한 실리사이드가 50 Ω/sq.이하의 저저항이 나타난다는 김상엽 등의 보고(5)에 비추어 실리사이드가 형성되지 않았음을 의미한다. 3개 정도 조건에서 수백 Ω/sq. 정도의 이하의 저항이 형성되는 것을 재현성 없이 산화막이 실리사이드처리 후 크리닝이 완벽하지 않아 불안정한 자연산화막과 금속의 반응 잔류물이 보았다고 생각된다.

(b)의 다결정기판의 경우에도 전 조성범위에서 모두 수백 Ω/sq.정도의 고정항을 보이고 있어 자연산화막에

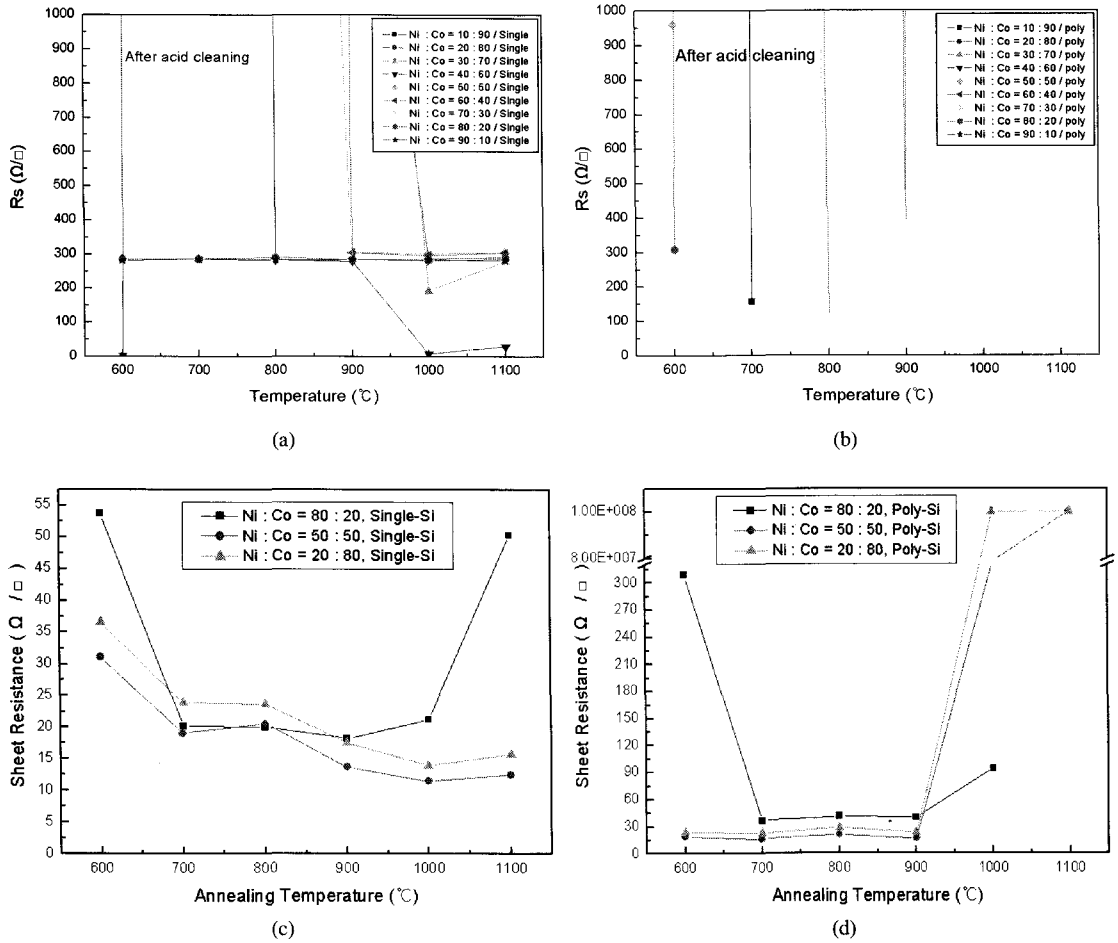


그림 1. CoNi 실리사이드 처리 후의 실리콘기판의 면저항 변화. (a) 단결정 기판, (b) 다결정기판, (c) 자연산화막 제거 후의 실리사이드 공정 후 단결정 기판 위에 생성된 실리사이드 층 (d) 자연산화막 제거 후의 실리사이드 공정 후 다결정 기판 위에 생성된 실리사이드 층.

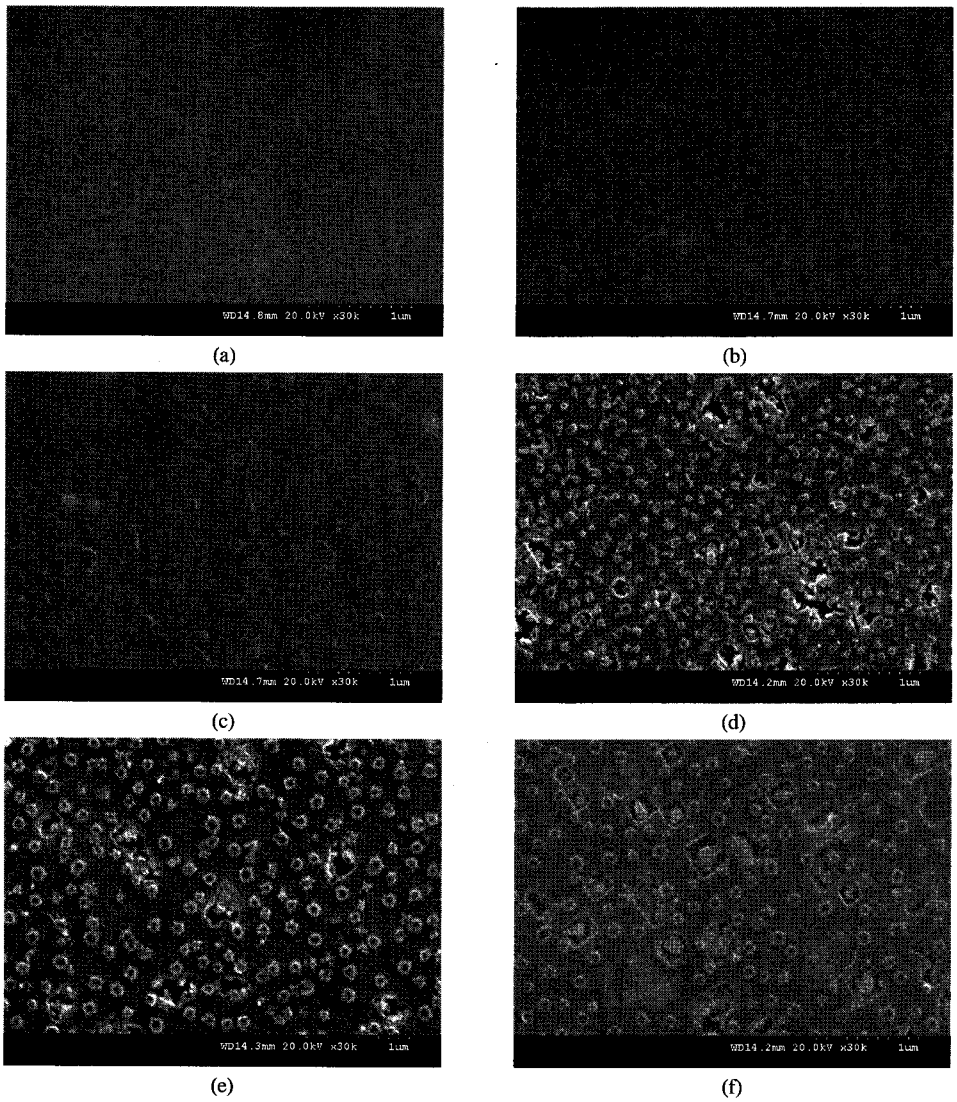
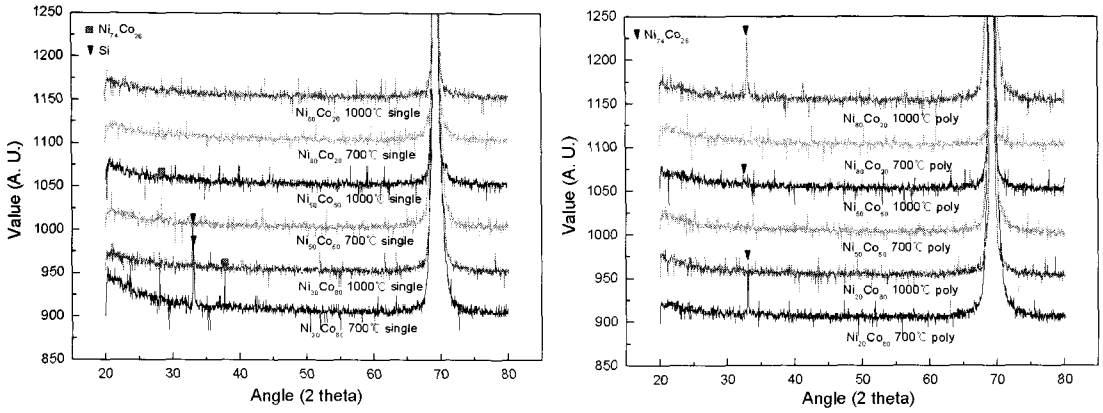


그림 2. CoNi 합금박막의 조성에 따른 실리사이드 1000℃처리 후의 주사전자현미경 이미지 (a) Ni0.2Co0.8/단결정기판, (b) Ni0.5Co0.5/단결정기판, (c) Ni0.8Co0.2/단결정기판, (d) Ni0.2Co0.8/다결정기판, (e) Ni0.5Co0.5/다결정기판, (f) Ni0.8Co0.2/다결정기판.

의한 실리사이드 반응이 진행되지 않았음을 보이고 있다. 그러나 단결정의 경우와는 달리 3개의 조건에서 수십 Ω/sq.의 저저항을 보이고 몇몇 조건에서 약 300 Ω/sq.의 저항을 보이고 있다. 이는 다결정인 경우 결정립계를 따라 실리사이드 반응의 국부적으로 잔연산화막이 얇은 곳을 따라 형성되었음을 의미하고 있다. 그러나 이러한 현상은 재현성이 없었으며 측정위치에 따라 크게 변화하였다. 따라서 신뢰성 있는 실리사이드반응을 위해서는 금속층의 증착 전에 자연산화막의 제거가 필수적이라고 판단된다.

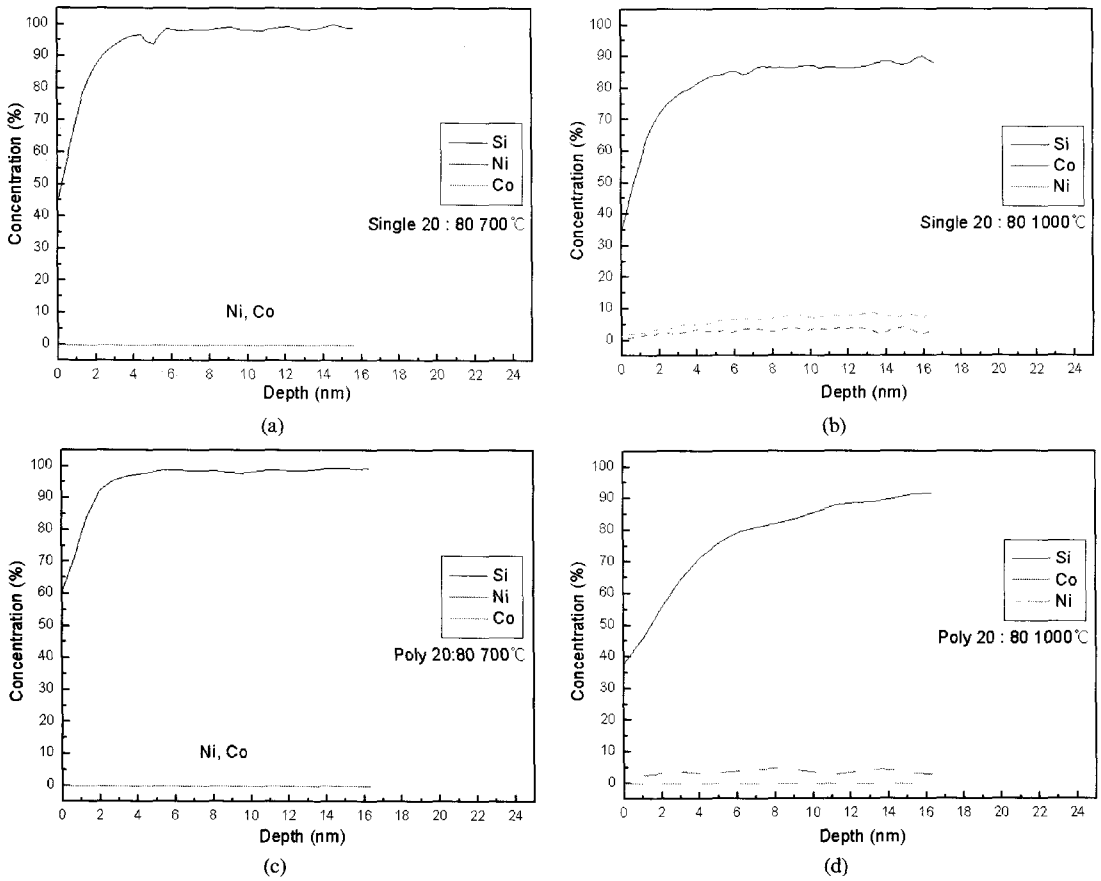
(c)와 (d)에는 HF dipping공정을 추가하여 금속층의 증착 직전에 자연산화막을 제거하고 이후에 동일한 살리사이드 공정으로 진행한 단결정과 다결정 실리콘 기판 위의 코발트니켈복합실리사이드의 면저항 결과를 나타내었다. 모두 전체실험범위에서 CMOS 트란지스터 소자의 접촉저항을 줄일 수 있는 30 Ω/sq.이하의 저저항을 보이고 있다.

그림 2에는 $Ni_{0.2}Co_{0.8}$, $Ni_{0.5}Co_{0.5}$, $Ni_{0.8}Co_{0.2}$ 합금조성을 자연산화막이 있는 겨우 단결정과 다결정 박막위에 증착하고 1000℃로 쾌속열처리한 후의 잉여금속을 황산으로



(a) (a)

그림 3. 자연산화막이 존재하는 경우 실리사이드 공정 후의 XRD회절 스펙트럼 (a) 단결정기판, (b) 다결정기판.



(a) (b) (c) (d)

그림 4. $Ni_{0.2}Co_{0.8}$ 함금박막의 700℃와 1000℃에서의 실리사이드화 처리 후 오제이 두께 방향 성분 분석 결과. (a) $Ni_{0.2}Co_{0.8}$/단결정기판-700℃, (b) $Ni_{0.2}Co_{0.8}$/단결정기판-1000℃, (c) $Ni_{0.2}Co_{0.8}$/다결정기판-700℃, (d) $Ni_{0.2}Co_{0.8}$/다결정기판-1000℃.

처리하고 난 후의 이미지를 주사전자현미경으로 관찰한 것을 나타내었다. 단결정 실리콘 기판의 경우인 (a) $Ni_{0.2}Co_{0.8}$조성박막, (b) $Ni_{0.5}Co_{0.5}$, (c) $Ni_{0.8}Co_{0.2}$는 Ni의 상대조성 증가에 따른 변화를 크게 보이지 않으나 모구 동일하게 약 0.1 ㎛크기의 잔류물이 다수 발견되는 특징이 있었다. 이는 크리닝의 문제로 보이며, 실리사이드 반응이 균일하게 일어나는 것이 아니라 특정위치로 금속층이 우선 응집하고 실리사이드 반응이 진행됨을 보이고 있다. 또한 단결정에서 한 면이 약 2 ㎛정도로 핀홀이 생긴 것이 보이는데 이는 실리사이드 반응시의 2차원적인 열팽창계수에 따른 스트레스 때문에 생긴 것으로 판단된다.

다결정 실리콘 기판 위에 형성된 (d) $Ni_{0.2}Co_{0.8}$, (e) $Ni_{0.5}Co_{0.5}$, (f) $Ni_{0.8}Co_{0.2}$의 Ni증가에 따른 경우는 비교적 비슷하게 동일크기와 밀도의 앞서 보인 반응 잔류물이 모두 보이고 있으나, 핀홀은 없어서 다결정 기판의 경우 고온에서 잔류응력은 상대적으로 작은 것이 예상되었다.

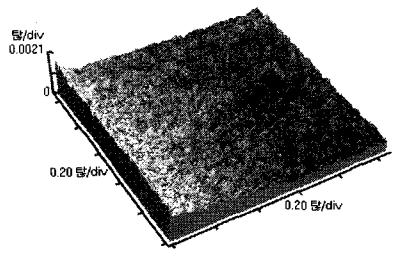
그림 3에는 자연산화막이 있는 경우 실리사이드공정 후 잔류금속까지 황산크리닝으로 제거하고 난 후의 단결정과 다결정 실리콘 기판을 검사한 XRD rocking curve를 나타내었다. (a)에는 단결정 기판은, (b)에는 다결정 기판은 조성의 변화와 700℃와 1000℃에서 처리한 경우를 보였다. 조성별, 온도별로 주요 실리콘 외에 특이한 물질이 잔류함을 알 수 없었으나, 특정조건에서 $Ni_{74}Si_{26}$, $Ni_{31}Si_{12}$, Ni_3Si 등 Co계 보다는 Ni계 준안정 실리사이드가 표면에 잔류함을 보이고 있다.

그림 4에는 $Ni_{0.2}Co_{0.8}$경우의 합금박막을 단결정 기판과 다결정 기판위에 자연산화막이 있는 상태에서 증착하고 실리사이드 처리를 700℃와 1000℃에서 Si, Ni, Co의 조성이 표면부로부터 변화하는 모습을 오제이 두께방향 분석기로 표면부로부터 시료를 스퍼터링하면서 측정한 결과이다.

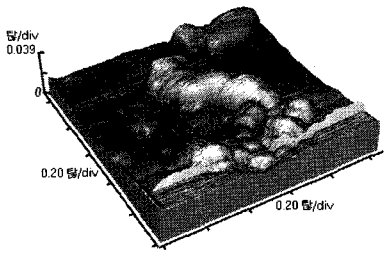
단결정의 (a), (b)인 경우에는 측정오차 때문에 표면부의 잔류물이 남아있는 정도를 볼 수는 없었으나 1000℃가 되면 실리콘이 안정화 되는 표면효과가 700℃에서는 2 ㎚ 정도이다가 4 ㎚로 상대적으로 커짐을 알 수 있다. 따라서 정성적으로 고온 실리사이드처리에 의해서는 표면 반응 부산물이 더 많이 잔존한다고 예상된다.

(c), (d)의 다결정의 경우에는 동일한 조성에서 표면효과가 6 ㎚정도로 더 넓어지는 것을 볼 수 있는데 이는 다결정에서 표면 반응 잔류물이 더 많이 있을 수 있음을 간접적으로 나타내고 있다. 5%이하의 Co, Ni의 실리콘 내부로의 침투는 측정오차라고 판단된다.

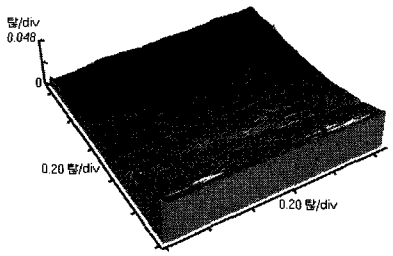
그림 5에는 $Ni_{0.2}Co_{0.8}$경우의 합금막막을 단결정 기판과 다결정기판위에 자연산화막이 있는 채로 700℃와 1000℃로 각각처리한 후에 AFM으로 표면조도를 측정한 이미지와 root mean square(rms) 표면조도 결과를 나타내었다.



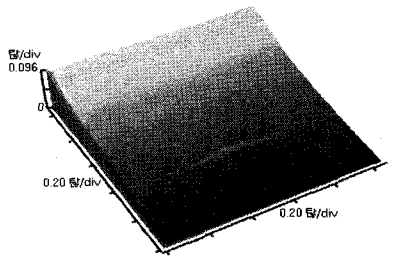
(a) rms : 0.458 ㎚



(b) rms : 14.17 ㎚



(c) rms : 21.56 ㎚



(d) rms : 49.72 ㎚

그림 5. $Ni_{0.2}Co_{0.8}$ 합금박막의 700℃와 1000℃에서의 실리사이드화 처리 후 AFM 표면조도 결과. (a) $Ni_{0.2}Co_{0.8}$/단결정기판-700℃, (b) $Ni_{0.2}Co_{0.8}$/단결정기판-1000℃, (c) $Ni_{0.2}Co_{0.8}$/다결정기판-700℃, (d) $Ni_{0.2}Co_{0.8}$/다결정기판-1000℃.

(a), (b)의 단결정의 경우 온도 증가에 따라 표면 조도 rms 는 0.458→14.17 ㎚로 변화하고, (c), (d)의 다결정의 경우 21.56→49.72 ㎚로 고온으로 되면 증가하는 경향이 있었다. 실험한 전체 조성 범위에서는 고온에서 실리사이드 공정을 하더라도 rms값이 모두 100 ㎚ 이하로써 매우 평탄한 모습을 보이고 있다.

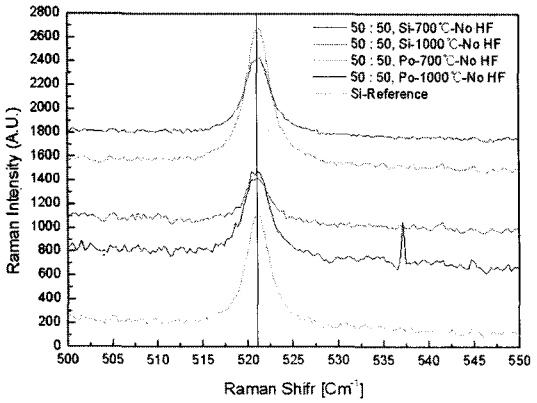


그림 6. $Ni_{0.5}Co_{0.5}$ 함금박막의 단결정, 다결정 기판에서 700℃와 1000℃에서의 실리사이드화 처리 후 실리콘의 마이크로 라만 피크변화.

그림 6에는 $Ni_{0.5}Co_{0.5}$경우의 함금박막의 단결정기판과 다결정기판 위에 자연산화막이 존재하고 700℃와 1000℃에서 각각 처리한 후 실리콘의 라만 고유피크의 변화를 나타내었다. 가장 아래에 있는 표준시료에 비해 단결정실리콘 왼쪽으로 shift가 일어나서 tension 잔류응력이 생김을 보이고 있고 반면에 폴리실리콘은 약간의 compression 잔류응력이 있는 것으로 판단된다.

앞서 설명한 식(1)에 의해서는 약 1×10^{-3}정도의 tension이 걸려서 앞서 보인 미세구조에서 본 고온에서의 핀홀을 일으키는 구동력이 될 수 있었으며, 폴리실리콘에서는 오히려 실리사이드처리에 의해 압축응력이 생겨서 응집효과가 생기고 있음을 알 수 있었다.

4. 결론

새로운 코발트니켈합금박막을 이용하여 나노급 코발트니켈실리사이드를 개발하는데 있어서 두께 4 ㎚의 자연산화막을 제거하지 않고도 실리사이드 반응이 일어날 수 있는지 확인하였다.

1. 고온에서 진행하더라도 단결정, 다결정 실리콘의 자연산화막의 제거 없이 복합실리사이드를 형성하지 못했다.
2. 실리사이드 반응에 의해서 자연산화막 위에는 반응부산물과 단결정기판인 경우 스트레스에 의해 마이크로급 핀홀이 생길 수 있었다.
3. 주로 니켈계 반응부산물이 형성되는 것으로 판단되며 표면조도는 100 ㎚이하로 유지가 가능하였다.
4. 복합실리사이드공정에 의한 하부 실리콘 기판의 국부적인 잔류응력은 10^{-3}정도로 클 수 있었다.

참고문헌

[1] S.H. Cheong, O.S. Song, Korean J. Mater. Res., 13(3), pp.200 (2003).

[2] F. Liu, B. Ren, Y. Jiang, J. Ye, Z. Tian, Chemical Physics Lett., 372, pp.15 (2003).

[3] K.L. Pey, P.S. Lee, D. Mangelinck, Thin Solid Films, 462-463, pp.137 (2004).

[4] S. H. Cheong, "Property and Unit Process of Composite Silicide for 65 ㎚-CMOS Device", doctoral dissertation, University of Seoul, (2006).

[5] S. Y. Kim, "Property of Composite Silicide using Nickel Cobalt Alloy", master's thesis, University of Seoul, (2006).

[6] I. Belousov, E. Rudenko, S. Linzen, P. Seidel, "Local nucleation and lateral crystallization of silicide cobalt phases at interaction of cobalt film with silicon surface", Thin solid film, pp. 145-150, (1998).

[7] W. H. Weber and R. Merlin, Raman scattering in materials science, Springer New York pp. 55-106 (2000).

[8] Yilan Kang, Yu Qiu, Z. Lei, Ming Hu, An application of Raman spectroscopy on the measurement of residual stress in porous silicon, Optics and Lasers in Engineering 43 pp. 847-855 (2005).

송 오 성(Oh-Sung Song) **[정회원]**

- 1987년 2월 :서울대학교 금속공학과 (공학사)
- 1989년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학과 (공학박사)
- 1997년 9월 ~ 현재 : 서울시립대학교 신소재공학과 교수

<관심분야>
반도체 재료, 자성 재료, 보석재료

김 상 엽(Sang-Yeob Kim) **[준회원]**

- 2005년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2005년 3월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>
반도체 재료, 자성 재료, 보석재료

김 종 률(Jong-Ryul Kim) **[준회원]**

- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 8월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>
반도체 재료, 자성 재료, 보석재료