

일반논문-07-12-1-05

실시간처리 운영체제 환경에서 Hybrid 방식을 이용한 디지털 DBS 위성수신기 성능개선

김성훈^{a)}, 김기두^{b)†}

Performance Enhancement of a DBS receiver using Hybrid Approaches in a Real-Time OS Environment

Sung-Hoon Kim^{a)} and Ki-Doo Kim^{b)†}

요 약

Digital Broadcasting Satellite (DBS) 수신기는 실시간으로 위성으로부터 수신되는 방송신호를 실시간으로 NTSC A/V 스트림으로 변환하는 기능을 수행한다. 따라서 Multi-tasking 방식은 실시간 응용시스템에서 프로세서의 효율적인 사용에 매우 효과적인 방법이다. 본 논문에서는 H/W, S/W micro kernel을 이용한 hybrid approach를 통하여 H/W micro kernel과 multi-tasking programming과의 관계를 적절히 조절하여 시스템의 처리속도를 증가시켰다. 또한 DBS수신기에서의 실시간 처리를 위해 각각의 프로세스들간의 스케줄 적정성을 확보하기 위해 시스템의 요구사항이 만족되도록 개발된 critical hard real-time task들에 대한 스케줄 적정성을 먼저 평가하고, 그 밖의 soft real-time task 들에 대한 스케줄링 가능성에 대한 평가를 진행하여 전체적으로 실시간 처리에 문제가 발생하지 않도록 embedded 소프트웨어를 개발하였다.

Abstract

A Digital Broadcasting Satellite (DBS) receiver converts digital A/V streams received from a satellite to analog NTSC A/V signals in real-time. Multi-tasking is an efficient way to improve the utilization of the processor core in real-time applications. In this paper, we propose a hybrid approach with a balanced trade-off between hardware kernel and multi-tasking programming to increase a system throughput. First, the schedulability of the critical hard real-time tasks in the DBS receiver is verified by using a simple feasibility test. Then, several soft real-time tasks are thoughtfully programmed to satisfy functional requirements of the system.

Keyword : DBS, Realtime kernel, RMA

I. 서 론

위성방송 송신 시스템은 TV 프로그램과 각종 부가서비스

스 등의 방송데이터를 RF변조를 거쳐 송신기, 중계기 등을 통해 방송신호를 송출하며, 수신기는 사용자 채널, 서비스 등의 선택 등에 따라 프로그램, 데이터 등의 역다중화를 수행하여 전송된 방송데이터를 복원한다. 일반적인 디지털 방송수신기의 기능은 전송된 비디오 및 오디오 신호를 복호화하여 시청자에게 보여주는 기본 기능 이외에도 디지털 방송수신기에서 필요로 하는 기능은 매우 다양하다고 할 수 있다. 예를 들면, 기존 아날로그 방송에서 부분적으로

a) 한국전자통신연구원(ETRI) 디지털 방송연구단 방송 시스템 연구그룹
Digital Broadcasting Research Division, Broadcasting System Dept., ETRI

b) 국민대학교 전자공학부
School of Electronics Engineering, Kookmin University

† 교신저자: 김기두(kdk@kookmin.ac.kr)

※ 본 연구는 국민대학교 2005년 교내연구비 지원으로 수행되었음.

실시되었던 자막방송 기능, 프로그램 안내기능, 시청제한 및 양방향 데이터 방송 등 매우 다양한 기능을 쉽게 적용할 수 있는 장점이 있다. 그러나 이러한 장점을 충분히 활용하기 위해서는 수신기의 데이터 처리속도, 메모리 용량 등이 매우 중요한 요소로 작용한다. 따라서 본 논문에서는 이와 같은 디지털 방송 수신기에서의 디지털 방송데이터 처리속도를 최적화 하기 위하여 실시간처리용 시스템 환경을 구축하기위한 디지털 방송 수신기의 하드웨어 및 소프트웨어의 구조에 대하여 기술하였다. 본 논문에서는 하드웨어로 구성된 on-chip micro-kernel을 task 스케줄러로 채택한 다중스레드 구조 마이크로프로세서를 사용하여, 다중스레드간의 병렬처리 및 context switching 시간을 최소화 하였다. 이러한 하드웨어 플랫폼 환경에서 필요한 task 및 process를 생성하기 위해, 전체 시스템 처리속도를 고려하여 각 task/process별 스케줄링 시간을 결정하였으며, 이들 task/process간의 통신 및 데이터 처리를 위한 동기화 기법으로 세마포어(semaphore) 등과 같은 멀티프로그래밍 자원 공유방식을 사용하였다¹¹⁾.

본 논문은 2장에서 RM(Rate Monotonic) 알고리즘을 기반으로 한 디지털 방송수신기의 task/process의 생성 및 스케줄링 시간자원 할당에 대하여 논한다. 이를 기반으로 3장에서는 이러한 task/process의 처리시간을 최적화하기 위한

디지털 방송수신기의 하드웨어, 소프트웨어의 구조 및 시스템 구현을 기술하며, 4장에서는 실험결과를 제시하고, 5장에서 결론을 맺는다.

II. RMA 방식을 이용한 디지털 방송수신기 Task/Process 생성 및 스케줄링 시간자원 할당

1. RMA를 이용한 스케줄 가능성 분석

디지털 방송수신기는 일반적으로 오디오, 비디오 방송프로그램 스트림을 실시간으로 처리하기 위하여 실시간 운영시스템(RTOS: Real-Time Operating System)을 지원하는 실시간 처리 시스템(Real-Time embedded system)이다. 이와 같이 디지털 방송을 수신하여 이를 실시간으로 처리하기 위해서는 엄격한 처리시간의 제약으로 인해 병행처리(concurrency)를 반드시 고려하여 task를 설계하여야 한다. 이와 같은 task설계를 기반으로 다중처리(multi-tasking) 방식을 도입하여 실시간 시스템의 시간적 요구사항을 만족시키는 것이 일반적이다. 또한 이렇게 디자인된 각각의 task들은 시스템의 처리속도 및 운영체제의 성능에 따라 적절히 스케줄링 되어야 한다. 본 논문에서는 새로운 task 생성

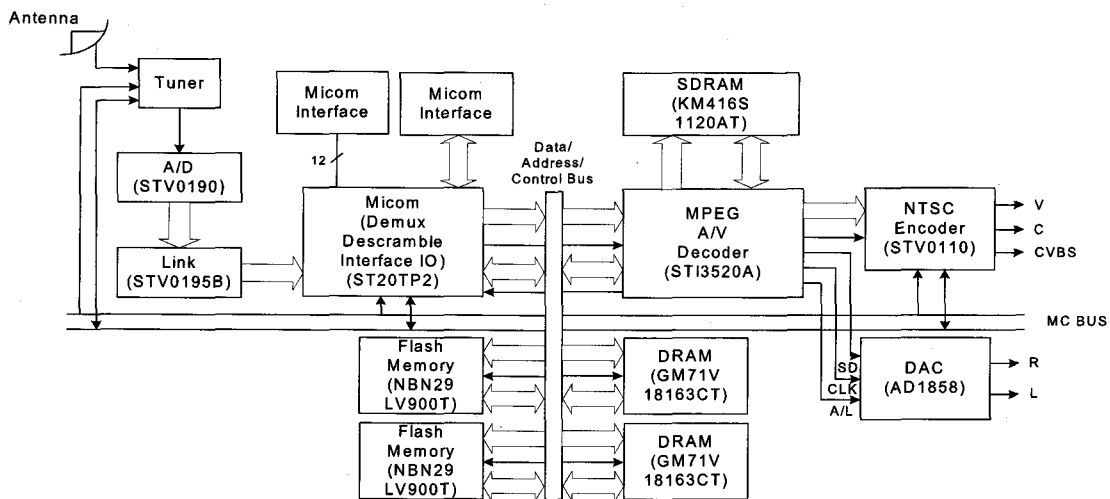


그림 1. 디지털 DBS 수신기 구조
Fig. 1. Structure of digital DBS receiver.

시 RMA(Rate Monotonic Analysis) 방식을 이용하여 스케줄 가능성 분석(Schedulability analysis) 수행을 통해 디지털방송 수신기내에서의 task별 스케줄링의 적절성, 혹은 모든 task가 처리시간 데드라인을 만족시킬 수 있도록 수행될 수 있는지를 검증하였다. 식 (1)은 RMA 스케줄 수행 가능성 테스트 시 사용하는 수식을 나타낸다.

$$\sum_{i=1}^n \frac{C_i}{T_i} \leq U(n) = n(2^{\frac{1}{n}} - 1) \quad (1)$$

여기서,

C_i : task i의 최악(critical task) 수행시간

T_i : task i의 주기

n : task의 수

$U(n)$: 프로세서의 사용률

식 (1)의 우변은 이론적인 프로세서 사용률의 하한 값을 나타낸다. 특정 task집합의 사용률이 이론적 하한 값보다 낮다면, 해당 task집합은 스케줄이 가능하다. n 값이 커질수록 U 값은 작아지며, n 이 무한히 커질 때 U 값은 69%로 수렴한다.

2. 스케줄 가능성 분석을 통한 High Priority Process Task 스케줄링 시간자원 할당

본 논문에서 구현한 디지털 위성수신기의 task중 상대적으로 엄격한 수행시간의 제한요소가 있는 hard real-time task들은 RF demodulator, MPEG-2 A/V 스트림 demux/decoding에 관한 3개이다. 이들 3개의 high priority task

표 1. High Priority Task의 자원할당
Table 1. Resource assignment of high priority task.

Task	Execution Time(msec)	Period (msec)	Utilization
RF demodulator	5	20	0.25
MPEG demultiplexer	10	40	0.25
MPEG Video Decoder	12	60	0.2

들의 스케줄링 시간자원 할당은 2.1절에서 언급된 RMA 방식을 참고하여 적정한 task 스케줄링 시간을 지정하였다. 표 1은 high priority task들의 task 수행시간, task 발생주기 및 프로세서 사용률을 나타낸 것이다.

식 (1)에서 볼 수 있는 것처럼 task수, $n=3$ 인 경우 스케줄 가능한 프로세서 사용률의 임계치는 0.779이며, 표1에 나타난 바와 같이 3개의 high priority task들의 프로세서 사용률은 총 0.7이므로 3개의 high priority task들에 할당된 시스템 자원할당은 적절하다고 볼 수 있다^{[2][3]}.

III. 다중스레드 구조 마이크로프로세서를 이용한 디지털 DBS 수신기 구현

본 논문에서 구현한 디지털 DBS수신기는 하드웨어적으로 실시간 운영시스템을 지원하는 다중스레드 마이크로프로세서를 사용하였고, 소프트웨어적으로는 프로그램의 유지, 보수가 용이하고 시스템의 처리속도 개선에 효과적인 다중스레드 프로그램 방식을 적용하였다.

1. 디지털 DBS 수신기의 하드웨어 구조

그림 1은 디지털 DBS 수신기의 하드웨어 구조를 보인 것이다. 주요 하드웨어의 구성은 RF 복조기, MPEG demultiplexr, MPEG A/V decoder, NTSC encoder, D/A 변환기, CAS 처리 인터페이스 및 각종 메모리 등으로 구성되어 있다.

RF 복조기는 RF로 변조된 방송신호를 입력 받아 기저대역으로 복조 하여 위성수신기의 MPEG-2 demultiplexr에 MPEG-2 TS 스트림을 전달하는 역할을 수행한다. MPEG-2 demultiplexr는 이러한 RF 복조기의 출력을 받아 사용자의 채널 선정 등의 사용자 입력 파라미터 등을 기반으로 MPEG-2 demultiplexing을 수행하고 해당 채널 및 부가정보를 가진 MPEG A/V, 데이터 방송 스트림을 MPEG-2 A/V decoder 및 데이터 방송 처리기에 송부하는 역할을 수행한다. MPEG-2 A/V decoder는 MPEG demultiplexr의 출력을 받아 비디오 스트림을 RGB값으로

decoding 하여 NTSC encoder로 전달하고, 오디오 스트림은 D/A변환기로 전달하여 아날로그 TV와의 인터페이스를 형성한다. 본 논문에서는 디지털방송 신호를 보다 효율적으로 실시간 처리하기 위하여, 실시간 운영체제의 일부인 micro-kernel을 hardwired logic으로 구성하여 task간의 스케줄링 시간 및 context switching등의 처리시간을 줄임으로써 하드웨어 설계시 high speed clock 디자인 오버헤드를 최소화 하도록 하였다. 다중스레드 마이크로프로세서는 32bit RISC 프로세서로서 instruction processing logic, instruction, data 포인터, operand 레지스터 등의 3부분으로 구성되며, 하나의 명령어를 수행하면서 다른 명령어를 fetch하거나 decoding할 수 있는 파이프라인 구조를 가진다. 또한 프로그램 메모리 포트와 데이터 메모리 포트를 독립적으로 가지고 있는 하버드 아키텍처로 구성되어 연산을 위해 연산명령어 및 데이터들을 동시에 읽어들이며 연산 명령어들을 한번의 명령어 사이클 내에 동시에 수행할 수 있는 병렬수행 개념을 도입한 구조를 갖고 있다. 또한 다중스레드 마이크로프로세서의 가장 큰 특징은 프로세서내 hardwired logic 으로 구성된 micro-kernel을 사용하여 스케줄러의 queue에 있는 task/process들을 시간응답의 중요도, 신속성에 따라 high priority, low priority process로 구분하여 이를 처리한다. 스케줄링을 수행함으로써 순수하게 소프트웨어로 구성되어 있는 실시간 운영체제를 운영하는 기타 다른 시스템보다 데이터 처리속도 측면에서 효율적인 시스템 운영을 할 수 있다. micro-kernel의 구성은 크게 multi-tasking을 위한 스케줄러, 인터럽트 핸들러, 타이머, task간 communication을 위한 channel, 세마포어 핸들러 등으로 구성되어 있으며, 각 구성은 task간의 job 스케줄링 및 task간의 자원공유를 위한 통신기능을 수행하고 있다. 각 task들의 스케줄링은 우선 task들을 크게 high priority, low priority로 구분하고 각각의 task work space pointer를 linked list 구조로 관리하고 high priority task의 경우 task가 시작된 이후 종료 될 때까지 스케줄링을 하지 않으며, low priority task의 경우 1ms마다 time sliced스케줄링을 통해 multi-tasking을 수행하도록 되어 있다. 그림 2는 high priority task queue에서 task T1, T2, T3간의 linked list 구조를 보인 것 이며, 그림 3은 task의 memory상의 work

space 구조를 보인 것이고, 그림 4는 다중스레드 마이크로 프로세서의 주요 내부구조를 블록도로 보인 것이다.

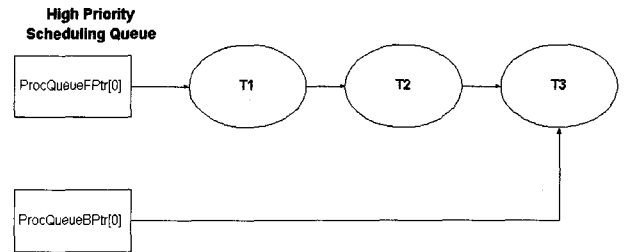


그림 2. High priority task queue의 pointer 구조
Fig. 2. Pointer structure of high priority task queue.

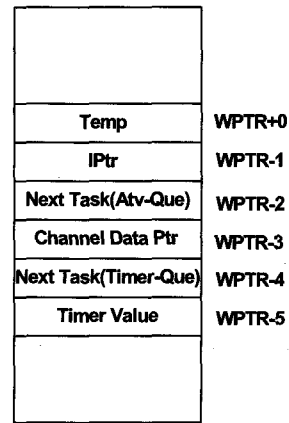


그림 3. Memory 상에서의 task work space 구조
Fig. 3. Structure of task work space in memory.

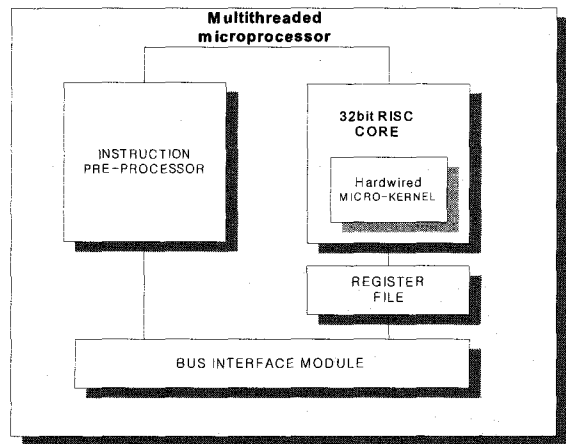


그림 4. 다중스레드 마이크로프로세서 구조
Fig. 4. Structure of multi-thread microprocessor.

또한 디지털 DBS수신기내의 MPEG 데이터 처리부에는 section filter가 hardwired logic으로 되어있으며, 이 section filter는 MPEG-2 TS스트림 패킷에 있는 프로그램 사양정보(PSI) 중에 다음 프로세스들의 데이터처리에 중요하지 않은 정보를 미리 제거하고 필요한 section들만 선택하여 입력데이터의 비율을 감소시켜, 결과적으로 마이크로프로세서의 부하를 감소시키는 기능을 수행한다. Section filter는 MPEG-TS 스트림 패킷에 있는 section정보를 분석하고 다음 프로세스에 필요한 section들을 선택한다. 하나의 방송채널 정보는 A/V 프로그램, 데이터 서비스, RSMS (Resource and Subscriber Management System) 등이 다중화 되어있고, 이 스트림은 패킷 내용에 관련된 정보를 나타내는 4 바이트 헤더와 184바이트의 선택적인 부가필드나 payload를 포함하는 188바이트의 스트림으로 구성되어 있다. 이때 각각의 section들은 MPEG-2 시스템 규격에 따라 고정된 형식을 가지고 있으며, 이러한 각 section들의 패킷 헤더 정보를 이용하여 CAM(Contents Access Memory)를 사용하여 필터링함으로써 마이크로프로세서의 부하를 최소로 감소시킨다. 그림 5는 이와 같은 section filter가 CAM 및 Mask 레지스터로 구성되어 있는 것을 보여준다.

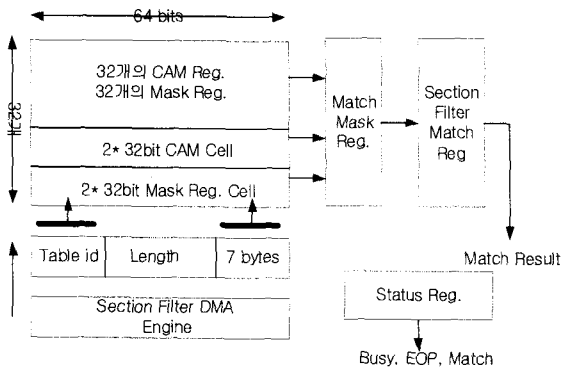


그림 5. Section Filter의 구조
Fig. 5. Structure of section filter.

2. 디지털 DBS 수신기의 소프트웨어 구조

디지털 DBS 수신기의 소프트웨어 구조는 실시간 운

영체제 기반에서 프로그램의 유지 및 보수가 편리하고, 시스템의 처리속도 개선에 효과적인 다중스레드 프로그램 방식을 적용하였다. 다중스레드 프로그램 방식은 실시간 운영체제를 기반으로 여러 task가 동시에 기능을 수행하기 때문에 각 task간의 메시지 전송이 매우 중요하며, 이러한 메시지 전송은 서로 동기가 맞아지지만 정상적으로 동작할 수 있다. 이러한 메시지를 주고 받기 위해서 주로 메시지 큐(message queue)를 사용하고, 메시지간의 동기 동작을 위해서 세마포어(semaphore)가 필요하게 되는데, 경우에 따라서는 서로 배타적인(mutually exclusion) 세마포어도 사용할 필요가 있다. 그림 6는 section filtering을 위한 task들의 상호작용 및 메시지 흐름을 보인 것이다.

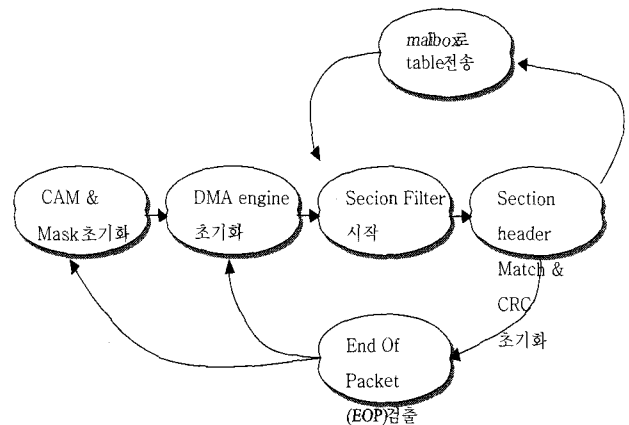


그림 6. Section filtering을 위한 task들간의 상호작용 및 메시지 흐름
Fig. 6. Inter-operation and message flow among the tasks for section filtering.

각 task들의 스케줄링 방식으로는 Time-sliced 방식과 Pre-emptive priority 스케줄링 방식을 사용하였으며, 각 task별로 중요한 task를 high priority로 두고 상대적으로 덜 중요한 task들을 low priority로 차별화하여, low priority task들은 high priority가 마이크로프로세서를 점유하지 않은 상태에만 시스템 자원을 할당 받을 수 있는 방식을 채택하였다. 따라서 low priority가 실행되는 도중에라도 high priority task가 active되면, low priority task는 실행을 멈추고 high priority task가 완전히 실행이 끝났을 때 다시 low

priority task가 실행된다. 디지털 DBS 수신기의 전체 소프트웨어 구성은 LINK IC 인터페이스를 통해 RF신호를 기저대역의 MPEG-TS 스트림으로 복조한 후 Demux_Input_Process(high priority task)에서 유효한 패킷을 추출하여 버퍼에 저장하고, Demux_Descramble_Process(high priority task)를 구동하기 위하여 세마포어 신호를 전송한다. Demux_Descramble_Process에서는 semsignal이 올 때까지 기다리다가 semsignal이 오면 디스크램블 처리 후 패킷을 Demux_Main(high priority task)으로 전송하게 된다. Demux_Main에서는 패킷의 종류를 분석하여, 패킷이 비디오 데이터일 경우 mpeg_video_packet_manager(high priority task)로 스트림을 전달한다. 그림 7은 전체 소프트웨어 구조 및 스레드간의 데이터 전송흐름을 보여준다[4][5].

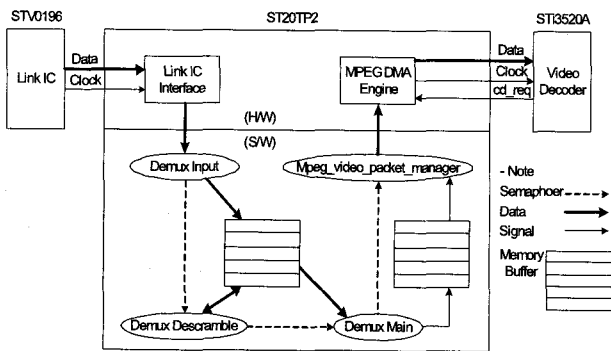


그림 7. 전체 소프트웨어 구조 및 데이터 전송흐름
Fig. 7. Overall software structure and data transmission flow.

IV. 실험결과

그림 8은 앞장에서 설명한 하드웨어 및 소프트웨어 구성으로 이루어진 디지털 DBS prototype 수신기를 보인 것이다.

하드웨어의 구성은 크게 Tuner, QPSK demodulator, 32bit Microcontroller & MPEG transport demultiplexer, MPEG 2 decoder 및 NTSC encoder로 구성되어 있다. 그림 6에서 보인 디지털 DBS수신기 하드웨어에 실시간 운영체제를 포팅한 이후 입력된 디지털 방송신호를 다중스레드

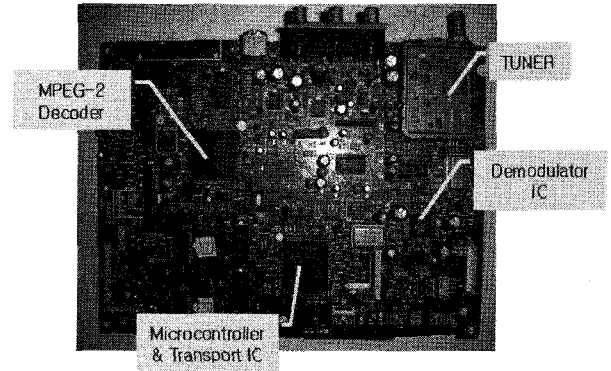


그림 8. 디지털 DBS prototype 수신기
Fig. 8 Receiver of digital DBS prototype

구조의 각 task들로 기능별 응용프로그램을 구성하였다. 영상, 음성, 각종 부가정보 등을 성공적으로 복원 하였으며, 이를 통해 RMA 기법을 이용한 task 스케줄링의 유효성을 확인 할 수 있었다. 각종 부가정보는 사용자의 편의를 위하여 DBS 수신기의 OSD(On Screen Display) 형태로 사용자에게 제공되며, OSD는 MPEG A/V decoder(Sti3520A)에 내장되어 있는 16 colour OSD이다. 데이터의 구성은 BitMap index 방식으로 화면에 위치하는 좌표축 및 OSD의 크기정보, 16개의 색을 지정하는 Palette, 실제 OSD모양을 나타내는 BitMap data로 이루어져 있다. BitMap 영역의 끝 부분에 다시 OSD 데이터의 헤더가 오게 되면 다음 영역을 나타내게 된다. OSD 영역간의 구분은 수평으로 나뉘어진다. 수직으로 분할은 회로구성상 불가능 하며, 1개의 영역만을 OSD화면을 구성하는데 사용 하였다. Video Decoder Reg(VID_DCF.EVD)에 의해 영상이나 mute된 화면 출력

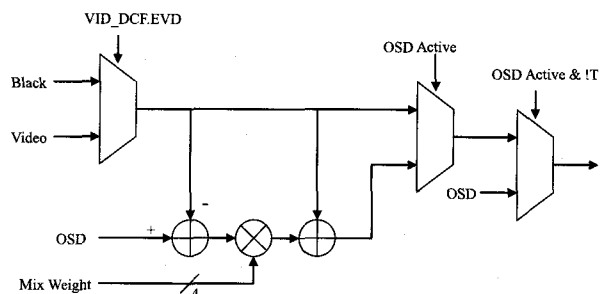


그림 9. OSD 하드웨어 블록
Fig. 9. Hardware block of OSD.

처리가 가능하게 되며, 이 결과를 OSD 영역이 있는 화면을 출력할 때 OSD active신호와 T control 신호에 따라 순수한 OSD 데이터 또는 blending 된 OSD를 얻을 수 있다. Blending된 OSD는 Mix Weight(가중치)에 따라 blending 된 정도를 16단계로 조절할 수 있다. 0이면 OSD정보가 투명하게 되고 15이면 blending mode가 아닐 때의 불투명한 OSD 효과를 낼 수 있다. 그림 9는 이와 같은 OSD의 H/W 구조를 보인 것이다.

그림 10은 디지털 방송신호를 복원한 이후 사용자의 요청에 따라 추가적인 부가정보를 사용자에게 보이기 위한 영상을 OSD메뉴상에 overlay기법으로 TV화면에 띄운 것을 보여준다.

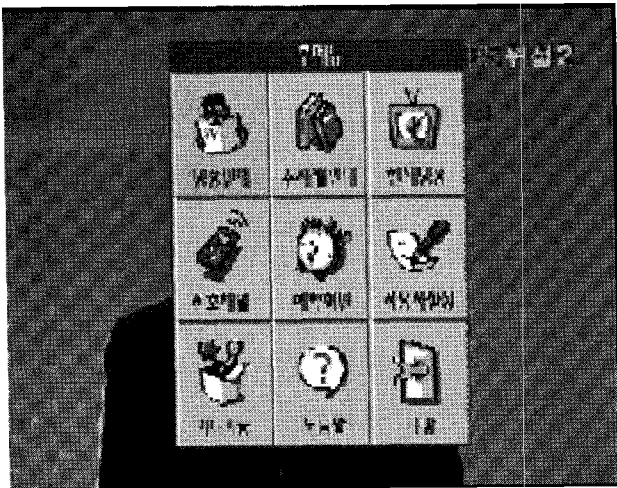


그림 10. TV수신화면상의 OSD
Fig. 10. OSD of TV receiving screen.

V. 결 론

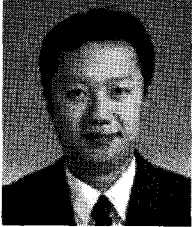
본 논문에서는 하드웨어 측면에서 on chip micro-kernel hardwired logic으로 구성된 다중스레드 마이크로 프로세서를 사용하고, 소프트웨어 측면에서 실시간 운영체계를

기반으로 한 다중스레드 프로그래밍 방식을 적용하여 디지털 DBS 수신기의 데이터처리 성능을 향상시켰다. 다중스레드 구조의 소프트웨어 개발 시 필요한 task를 생성할 때에는 RMA 기법을 사용하여 task별 스케줄링의 적절성, 혹은 모든 task가 처리시간 데드라인을 만족시킬 수 있도록 수행될 수 있는지를 검증하였다. 본 논문에서는 향후 디지털 방송용 데이터 프로세서의 VLSI개발에 소프트웨어로 구성된 실시간 운영체계 중 task 스케줄러와 같이 빠른 수행속도가 요구되는 OS kernel일부를 hardwired logic으로 on chip 화 함으로써 그렇지 않은 구조를 가진 CPU에 비해 그렇지 않은 구조를 가진 CPU에 비해 task간 context switching time을 약 10배 이상 줄여, 상대적으로 낮은 시스템 클럭을 이용하고도 동일한 데이터 처리 속도를 얻을 수 있다는 것이 실험을 통해 입증되었으며, 향후 보다 DBS 수신기의 특성에 맞는 효율적인 task 스케줄링 방식, 응용 프로그램 구조 및 개발등에 대한 내용을 지속적으로 연구할 계획이다.

참 고 문 헌

- [1] 김성훈, 김기두, "다중스레드 구조 마이크로프로세서를 이용한 무궁화 위성 디지털DBS 수신기 구현에 관한 연구," 제11회 신호처리 합동학술대회논문집, 11권, 1호, pp. 195-198, 1998년 10월.
- [2] M.Bottazzi and C. Salati, "Processes, threads, parallelism in real-time systems. In: The 5th Annual European Computer Conference on Advanced Computer Technology, Reliable Systems and Applications," pp. 103-107, 1991.
- [3] C.L. Liu and J.W. Layland, "Scheduling algorithms for multiprogramming in a hard-real-time environment," J. ACM 20, pp. 46-61, 1973.
- [4] Kyu-Tae Yang and Dong-Hee Han, "The Design and Implementation of KOREASAT DBS Set-Top-Box Software," Proceedings of the 1997 International Conference on Information, Communications & Signal Processing- Vol.2, IEEE, Sept. 1997.
- [5] Guangzuo Cui, Mingzeng and Hu, Xiaoming, "Parallel Replacement Mechanism for MultiThread," Proceedings of the 1997 Conference on Advances in Parallel and Distributed Computing, March 1997.

 저 자 소 개


김 성 훈

- 1994년 2월 : 국민대학교 전자공학과(공학사)
- 1996년 2월 : 국민대학교 전자공학과(공학석사)
- 1996년 3월 ~ 2000년 3월 : LG전자멀티미디어연구소
- 2000년 4월 ~ 현재 : 한국전자통신연구원 선임연구원
- 주관심분야 : 디지털방송, 디지털신호처리


김 기 두

- 1980년 : 서강대학교 전자공학과 졸업
- 1980년 ~ 1985년 : 국방과학연구소 연구원
- 1988년 : 미국 펜실베이니아주립대학교 전자공학(MS)
- 1990년 : 미국 펜실베이니아주립대학교 전자공학(Ph.D.)
- 1997년 ~ 1998년 : 미국 UCSD, Visiting Scholar
- 1991년 ~ 현재 : 국민대학교 전자공학부 교수
- 주관심분야 : 이동통신, 디지털신호처리 등