

재구성 가능한 통신 단말 플랫폼의 설계 및 구현

이경학^{*}, 고흥화^{**}

요 약

SDR(Software Defined Radio) 기술은 RF 및 IF를 신호처리를 위한 고성능 디지털 신호처리 소자를 기반으로 하드웨어 수정 없이 모듈화 되어 있는 통신 플랫폼을 이용하여 소프트웨어 변경만으로 단일의 송수신 시스템을 통해 다수의 무선 통신 규격을 통합·수용하기 위한 무선 접속 기반 기술이다. 다양한 복합 네트워크 환경 하에서 구성될 다양한 통신 시스템은 각각의 무선 네트워크들 간의 쉽고 빠른 인터페이스를 보장하기 위해 재구성 가능한 SDR 개념 기반의 통신 플랫폼이 요구된다. 본 논문은 이러한 SDR 기반의 플랫폼 구현을 위해 TMS320C6713 CPU를 이용한 DSP 보드, IF 신호처리를 위한 FPGA 보드와 무선랜 대역의 RF 송수신기가 결합된 형태의 통신 플랫폼을 설계 및 제작하였다. 또한, 제작된 플랫폼을 이용하여 다양한 통신방식(BPSK, QPSK, 16QAM)을 적용함으로써, 재구성 가능한 통신 단말 플랫폼의 구현을 확인하였다.

Design and Implementation of a Reconfigurable Communication Terminal Platform

Kyoung-Hak Lee^{*}, Hyung-Hwa Ko^{**}

ABSTRACT

SDR technology is a fundamental wireless access technology that combines and accommodates multiple wireless communication standards in one transceiver system through just modifying software using modular communication platforms without any hardware modifications for RF and IF signal processing on the basis of high performance DSP devices. Various communication systems that are designed under diverse and complex network environments require the communication platforms on the basis of SDR supporting reorganization to guarantee simple and fast communication interfaces among the respective wireless networks. This paper introduces a main idea on the implementation of platform on the basis of SDR and a communication platform is designed for experiments that is composed of a DSP board with TMS320C6713 CPU, a FPGA board processing IF signals, and a module with RF transceiver processing wireless LAN frequency bandwidth. Various modulation schemes(BPSK, QPSK, and 16QAM) used in communication systems are applied and tested on the designed platform and the test results shows that it is possible to design a reconfigurable communication terminal platform.

Key words: SDR(에스디알), Reconfigurable Platform(재구성 가능한 플랫폼), QPSK(직교위상편이변조), QAM(구조진폭변조)

1. 서 론

SDR 기술은 크게 다양한 소프트웨어에 의하여 재

구성이 가능한 하드웨어 플랫폼과 이 하드웨어를 특정 규격 내지 특정 목적의 통신 송수신 시스템으로 바꾸어 주는 소프트웨어 모듈들로 구성된다. 따라서

※ 교신저자(Corresponding Author) : 이경학, 주소 : 서울시 노원구 월계동 447-1(139-701), 전화 : 02)940-5137, FAX : 02)940-5137, E-mail : goldbug@itep.re.kr
접수일 : 2006년 10월 10일, 완료일 : 2006년 10월 26일

^{*} 정회원, 한국산업기술평가원
^{**} 광운대학교 전자통신공학과
(E-mail : hkhkoh@kw.ac.kr)

SDR은 단일 송신 및 수신 하드웨어 플랫폼에 소프트웨어 모듈만을 변경함으로써 다양한 무선 규격을 하나의 시스템으로 제공할 수 있다.[1,2,3] SDR 기술은 다음과 같은 여러 측면에서 그 필요성을 찾을 수 있다. 무선통신과 관련된 장비운영업체 및 서비스 제공업체에서는 사용자에게 통합 서비스를 제공함에 있어 사용자가 단말기의 업그레이드와 새로운 서비스의 추가가 용이하게 되며 별도의 하드웨어 수정 없이 다중모드 전환이 가능하게 된다. 또한, 사용자의 측면에서는 무제한적 로밍이 가능하며, 향후 무선통신 규격 선정에 따른 단말기와 기지국의 별도의 하드웨어 업그레이드가 사라지게 된다. 시스템 제조업체는 하드웨어 플랫폼의 단일화 및 다른 표준과 규격간의 통합형 단일 플랫폼의 제공이 가능하게 되며 사용자에게 소프트웨어의 추가 업그레이드 기능을 쉽게 제공할 수 있게 된다.[4,5]

최근 ADC/DAC 및 범용 디지털 신호처리 소자들의 빠른 고속화 및 고성능화로 인해 RF 및 IF 대역과 기저대역의 신호간의 직접 디지털 변환의 구현이 현실화되고 있다. 이를 위해서는 기지국상 혹은 단말기상의 무선 인터페이스 처리 부분, 즉 주파수 상·하향 변환 및 채널 선택 블록이 용도에 맞게 별도의 하드웨어 수정 없이 소프트웨어적으로 변환하기 위한 SDR 기술이 기반으로 하는 통신 플랫폼 구현이 필수이다.[6,7] 그림 1은 이러한 SDR 기반의 통신 플랫폼의 처리과정을 보여준다. 안테나를 통해 수신된 RF 신호는 저잡음 증폭기를 거쳐 하향변환 되어 ADC를 통해 기저대역 신호로 들어오게 되는데 이때 기존시스템을 중간주파수를 바로 입력받아 디지털 신호처리를 하게 된다. 기저대역의 신호는 디지털 I/Q 로 변환되어 처리 되게 되며 이 데이터를 DSP가 받게 되어 최종처리를 수행하게 된다.

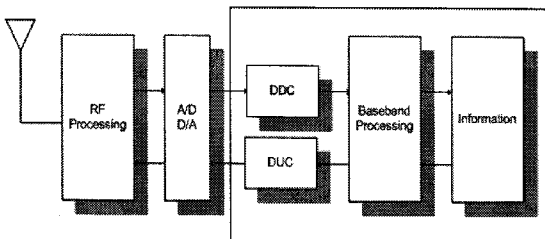


그림 1. SDR 기반의 통신 블럭도

채널화기 또는 역채널화기의 구현을 위한 기존

의 방법은 여러 개의 국부 발진기들과 아날로그 대역통과 필터로 구성된 필터 뱅크를 사용하는 아날로그 방식이 있으며, 또한 이러한 형태의 채널화기 및 역채널화기를 디지털 형태로 바꾼 시스템이 있다.[8,9] 이러한 방법들은 아날로그 필터 뱅크를 단순히 디지털 필터 뱅크로 바꾼 시스템으로 전체 시스템의 복잡도가 채널의 개수에 증가하게 되고 처리 속도는 ADC의 표본주기에 의해 제약을 받게 된다. 그러므로 구현의 측면에서 이 접근 방법은 매우 빠른 속도의 디지털 신호처리 소자를 요구하며 결국 비용의 측면에서 효율적이지 못하다. 이러한 기존의 디지털 방식에 비해, 낮은 처리 지연과 적은 계산으로 저렴한 범용 디지털 신호처리 소자를 이용하여 실시간으로 구현하기에 적합한 채널화기에 의한 채널 분리와 역채널화기의 역할을 수행하는 다상 필터 뱅크 기법이 구현되었고[10] 그림 2는 이러한 SDR 기반의 디지털 채널화기 및 디지털 IF처리를 이용한 디지털 수신기이다.

본 논문에서는 이러한 장점들을 수용하여 DSP 기반의 SDR 응용에 적용 가능한 하드웨어 플랫폼을 설계 및 제작하고, 3개의 디지털 변조 방식(BPSK, QPSK, 16QAM)을 적용하여 윈도우 프로그램의 GUI를 통해 확인하였다.

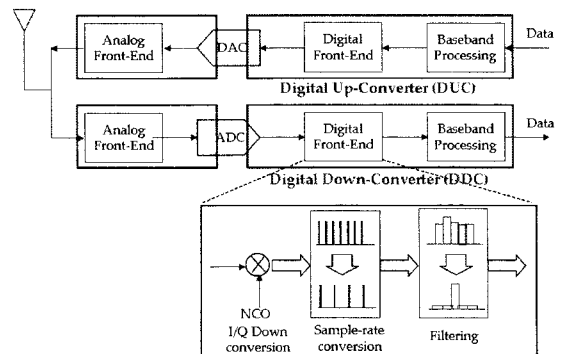


그림 2. 디지털 채널화기 및 IF 구조의 수신기

2. 하드웨어 구현

플랫폼의 구성은 RF 송수신기 모듈, DSP 모듈, FPGA 모듈 등으로 구성되어 있다. 그림 3은 SDR 개발 플랫폼 구현을 위한 하드웨어 블록다이어그램으로 구현된 하드웨어는 기본적으로 ISM 밴드의 2.4GHz RF 신호를 사용하게 되며, 30MHz 대역의 IF 신호를

상·하향 변환하여 RF 신호를 송수신하고 다양한 통신의 신호처리 환경을 제공한다.

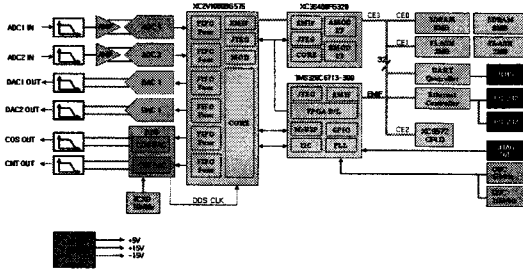


그림 3. 하드웨어 시스템 블록다이어그램

2.1 DSP 모듈

그림 4는 SDR 플랫폼 구성요소의 하나인 DSP 모듈로서 연산 처리를 위한 TMS320C6713-300과 프로그램 및 데이터용 저장용의 메모리, 그리고 Digital Logic을 위한 FPGA와 주변 통신 부분으로 구성되어 있다.

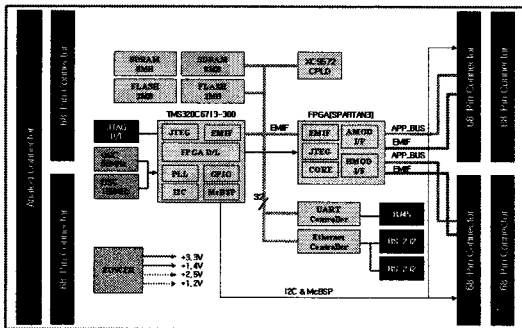


그림 4. 설계된 DSP 보드의 내부 구조

TMS320C6713-300은 300MHz의 클럭(Clock)으로 동작하는 고속 신호처리용 프로세서로서 32bit 버스로 구성되어 내용량의 연산 처리에 적합하며, 4개의 외부 인터럽트 및 2개의 MCBSP(Multichannel buffered Serial Ports), 2개의 I2C port와 같은 직렬통신 포트를 내장하고 있다.[11] 프로그램 메모리로 4MByte 플래시 메모리와 데이터 메모리로 16MByte의 SDRAM을 내장하고 있다. 또한 이러한 SDRAM은 128MByte까지 확장 가능하게 설계되었으며, DSP 클럭으로 사용되는 Oscillator는 두 가지로서, 50MHz는 내부에서 6배로 채배되어 DSP 내부 코어의 클럭으로 사용되고, 100MHz는 외부 메모리 접속을 위한 EMIF 클럭으로 사용된다.

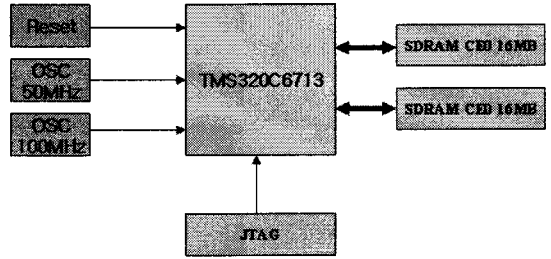


그림 5. DSP 메모리부 블록다이어그램

그림 6은 통신부의 구조이다. UART는 DUAL UART 칩을 이용하여 최대 115200bps까지의 통신이 가능한 2port로 설계되었다. UART의 제어는 DSP를 이용하도록 설계되었으며, 이더넷은 SMSC의 LAN91C111를 이용하여 10/100Mbps의 통신이 가능하도록 구성하였다.

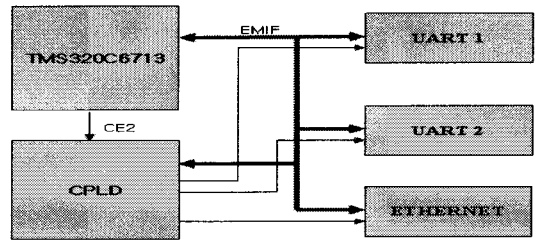


그림 6. DSP Communication part Block Diagram

그림 7은 UART 1을 이용하여 DSP 모듈과 PC간의 통신을 보여주는 통신 화면이다. 그림 8은 DSP 모듈과 192.168.1.214의 IP 주소를 가지고 있는 PC와의 Ping Test 결과를 보여주는 통신 화면이다.

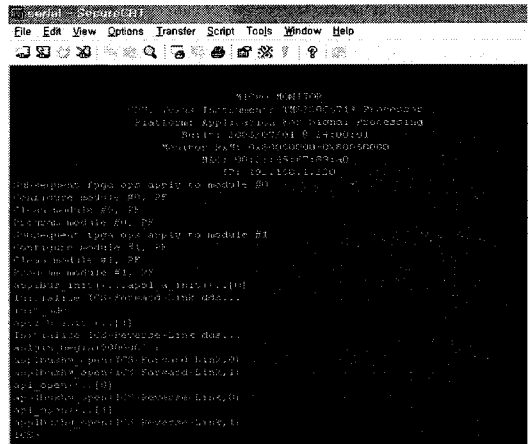


그림 7. UART 통신 화면

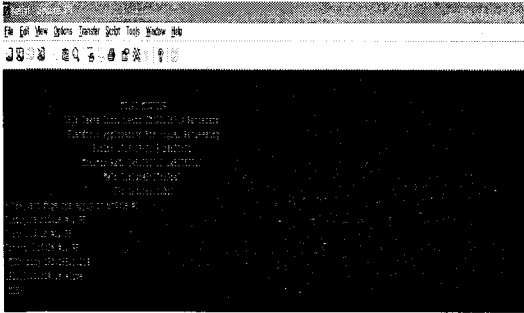


그림 8. Ethernet 통신 화면

2.2 FPGA 모듈

그림 9는 플랫폼의 FPGA 모듈로, IF 신호를 수신하기 위한 ADC부 및 DAC부, ADC/DAC의 샘플링 클럭(Sampling Clock)을 가변하기 위한 DDS(Direct Digital Synthesizer)와 구성 칩 제어 및 DSP 모듈과의 Parallel 통신을 하기 위한 FPGA 등 4부분으로 구성되어 있다.[12]

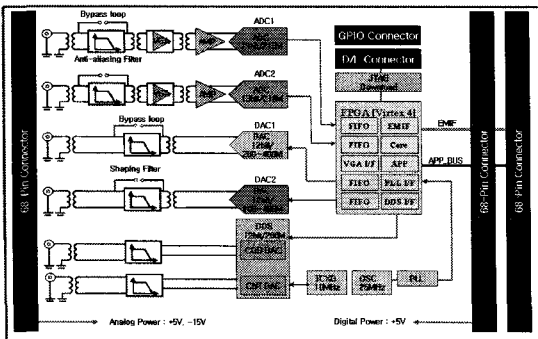


그림 9. FPGA 모듈 블록다이아그램

입력된 IF 신호는 VGA와 OP-AMP를 통해 ADC의 원하는 입력 레벨로 조정되어 ADC로 입력하게 된다. 입력된 신호의 디지털 신호로 변환되어 버스를 통해 FPGA로 입력되어 다양한 필터뱅크와 로직을 통하게 되며 처리된 신호는 다시 버스를 통해 DAC로 통해 IF로 변환하게 된다. 80MHz~125MHz의 샘플링 속도, 12Bit, 65dB 이상의 SNR을 가지는 ADC와 DAC를 장착하여 플랫폼을 구성하였다. 1~100MHz 신호를 출력할 수 있는 DDS에 의해 RF 송수신단의 IF로 사용가능하게 설계되었고, 2채널의 IF 신호의 입력과 2채널의 IF 신호의 출력 채널을 가질 수 있다. FPGA는 DSP와 인터페이스, ADC, DAC와의 인터페이스, DDC(Digital Down Converter), DUC(Digital

Up Converter) 로직 등을 구현하기 위한 재구성 가능하고, 적용분야에 맞는 디바이스의 변경만으로 새로운 시스템 구성이 가능하게 설계되었다.

그림 10과 그림 11은 아날로그 입출력을 나타낸다. Anti-aliasing 필터는 50MHz 이상의 고주파 노이즈를 제거하기 위한 부분으로 Elliptic 10order로 구성되어 있으며, 필터를 거치지 않고 아날로그 신호를 직접 받거나 50MHz이상의 데이터를 받을 경우 바이패스 되도록 설계되었다. VGA(Variable Gain Amplifier)는 미세한 신호가 들어오거나, 또는 ADC가 입력받기에는 너무 큰 신호가 들어오는 경우에 ADC와의 이득을 맞추기 위해 필요하며 이 VGA의 이득 범위는 -10dB~+35dB로 3dB 단위로 FPGA에서 가변시킬 수 있다. ADC는 12-bit/125Mps로서 고속의 아날로그 신호를 받는 것이 가능하고, Parallel 방식으로 데이터가 전송되기에 고속 전송이 가능하게 되며 이러한 ADC의 데이터는 FPGA에서 FIFO방식으로 입력받아 디지털 필터링을 거쳐 DSP의 요구가 들어오면 EMIF Bus를 통해 전송한다.

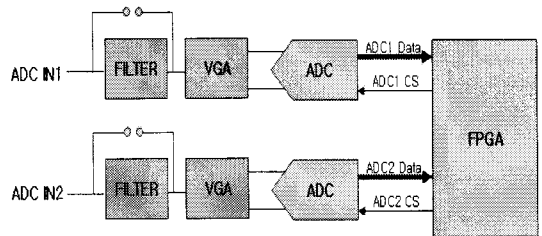


그림 10. 아날로그 입력부 블록다이아그램

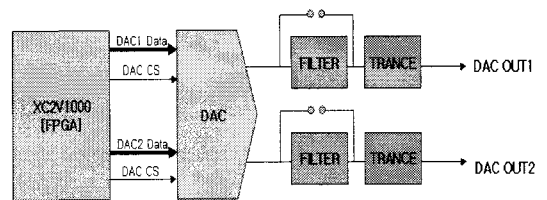


그림 11. 아날로그 출력부 블록다이아그램

아날로그 출력부분의 DAC는 12-bit/125Mps의 Tx DAC로서 ADC와 마찬가지로 고속의 신호 전송과 데이터 전송이 가능하게 설계되었다. DAC는 DSP에서 FPGA로 데이터를 송신하면 이를 받아 외부에 연결된 트랜시버로 전송한다. Anti-aliasing Filter는 ADC단의 필터와 상호 대칭형의 Elliptic 10차 저주파 필터로 구성되어 있다.

그림 12는 DDS의 블록도를 보여준다. DDS는 ADC나 DAC의 샘플링 클럭을 조정하기 위해 사용된다. 10MHz의 TCXO에서 클럭을 받아 주파수를 가변하여 FPGA로 보내면 FPGA에서 이 클럭을 받아 ADC나 DAC의 샘플링 클럭으로 이용한다.

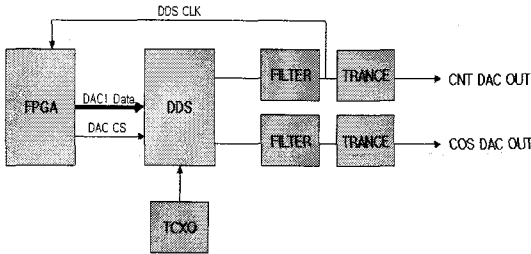


그림 12. DDS 블록 다이어그램

2.3 RF 송수신기 모듈

그림 13은 RF 송수신기의 블록도이다. FPGA 모듈의 입출력을 위해 중간주파수를 30 MHz로 설계하였고, RF 주파수는 ISM 밴드를 사용하였다. 표 1은 RF 송수신기의 사양을 보여준다. 기존의 슈퍼헤테로 다인 방식과 달리 단일 변환(Single Conversion)을 통해 FPGA 모듈로 입출력되는 구조이며 송신출력과 수신기의 감도를 측정하기 위해 샘플링 포트를 추가하였으며 송수신 이득을 조절하기 위해 이득조절 단자를 추가하였다. 송수신출력은 전체적으로 3-4dB까지 조절 가능한 구조로 설계하였다.

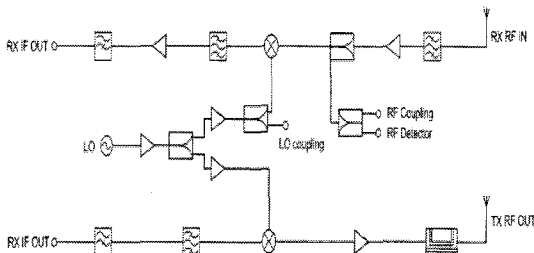


그림 13. RF 송수신기의 전체 블록도

표 1. RF 송수신기의 사양

Frequency	ISM Band (RF:2441.75 MHz, IF: 30 MHz)
Bandwidth	20 MHz
Supply Voltage	8 V
Gain	Tx: -14 dB, Rx: 15dB
Gain Adjustable	3-4 dB

3. 하드웨어 제작

TI DSP C6713과 100만 게이트 Xilinx FPGA, 메모리(SDRAM 16MB, Flash 4MB), 10/100 이더넷 인터페이스, 그리고 Dual 포트 RS-232를 탑재한 SDR 플랫폼을 설계 및 제작하였다. DSP6713 보드는 기본적으로 부트 플랫폼(모니터)을 가지고 있으며, 이 모니터 프로그램을 이용하여 다양한 명령어 셋과 스크립트, 파일시스템, 네트워크 기능을 제공하게 프로그램 하였다. 그림 14와 15는 DSP 및 FPGA 모듈의 실제 제작 사진이다.

그림 16은 제작된 송수신기 모듈이다.

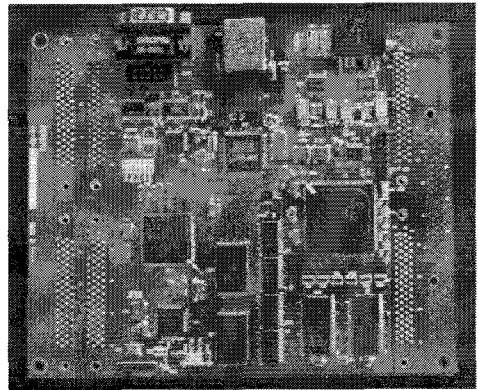


그림 14. 제작된 DSP 보드

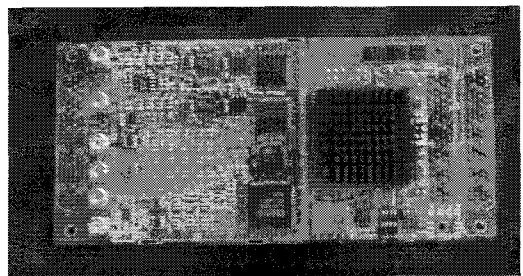


그림 15. 제작된 FPGA 모듈

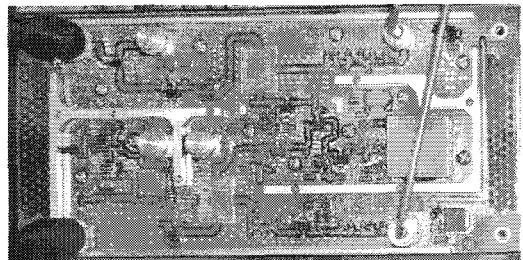


그림 16. 제작된 RF 송수신기 모듈

4. 소프트웨어 구현

실시간 시스템은 로직 및 특정 타이밍의 정확성이 매우 중요한 시스템으로 구현 플랫폼 실시간 운영체제는 DSP/BIOS를 적용하였고, SOFT(Task의 빠른 수행)와 HARD(Task가 정확한 시간에 수행)의 요구 사항에 맞게 설계되었다.

DSP 시스템은 다양한 주변 장치와 연계되어 동작하며, 이들 각각의 주변장치에 대한 디바이스 드라이버를 작성하고 포팅하는 일은 매우 중요하다. 본 논문에서는 드라이버 작성과 포팅을 용이하게 하기 위해 드라이버를 두 계층으로 나누어 한 계층은 전적으로 하드웨어와는 무관한 기능을 수행하고 나머지 다른 계층은 하드웨어와 관련된 기능만 수행하게 구성하였다. 하드웨어와 관련 없는 드라이버에서는 어플리케이션 소프트웨어에 일관된 인터페이스를 제공하고, 하드웨어와 관련 있는 드라이버에서도 상위 드라이버에 일관된 인터페이스를 제공한다면 소프트웨어를 재사용할 수 있게 된다. 그림 17은 어플리케이션이 두 계층으로 된 드라이버 모델을 사용할 때 어플리케이션과 드라이버의 관계를 도식적으로 보여준다.

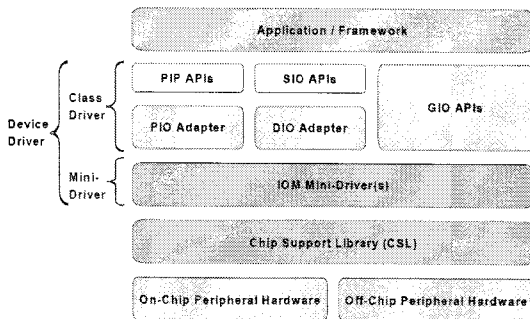


그림 17. 어플리케이션의 구조와 드라이버 컴포넌트

그림 17과 같이 최상위 레벨의 어플리케이션은 직접적으로 미니 드라이버의 함수들을 호출하지 않는다. 그러나 클래스 드라이버를 사용하여 미니드라이버의 함수들을 간접 호출한다. 각각의 클래스 드라이버는 어플리케이션에게 API를 제공하고 IOM 미니 드라이버와 통신한다. 클래스 드라이버는 동기화 문제 같은 OS 서비스들을 사용하기 위해 DSP/BIOS API를 사용한다. 또한 미니 드라이버의 표준 인터페이스 함수들을 호출하여 주변 하드웨어 장치들을 액세스하게 된다. 논문에서 사용된 운영체제인 DSP/

BIOS는 그림에도 보였듯이 3가지 종류의 클래스 드라이버(PIP/PIO, SIO/DIO, GIO)를 정의하고 있다. PIP/PIO와 SIO/DIO 클래스 드라이버 같은 경우에는 어플리케이션이 사용하는 API는 기존 DSP/BIOS의 PIP와 SIO 함수들이다. 이들 API들은 해당 어댑터와 통신하며 이들 어댑터는 또다시 미니 드라이버와 통신하게 된다. GIO 클래스 드라이버 같은 경우 어플리케이션은 새로운 API들을 호출하는데 이들은 어댑터를 거치지 않고 직접 미니 드라이버와 통신한다. 한 어플리케이션에서 동시에 한 종류 이상의 클래스 드라이버를 사용할 수 있다. 각각의 미니 드라이버는 표준화된 미니 드라이버 인터페이스 함수들을 클래스 드라이버에게 제공하여 클래스 드라이버가 하드웨어를 액세스할 때 사용하게 되며 미니 드라이버는 CSL(Chip Support Library)을 사용하여 주변 하드웨어 장치의 레지스터, 메모리, 인터럽트 자원들을 인터페이스 한다. 이런 과정을 통해 플랫폼에 사용된 운영체제와 디바이스 드라이버가 작성이 되었고 플랫폼을 구성하는 환경을 구현하였다.[11]

5. 통신 단말 시스템의 응용

그림 18은 제작된 모듈로 구현한 재구성 가능한 통신 단말 플랫폼이며, 제작된 플랫폼 환경에서 실제 통신시스템에서의 구현 사례를 그림 19에서 표현하였다. 하드웨어와 응용소프트웨어의 연동을 위해 필요한 인터페이스인 윈도우 프로그램을 작성하고 실제 DSP에서 발생된 BPSK, QPSK, 16QAM 신호를 FPGA를 통해 디지털 상향 변환시켜 RF 송수신기를 통해 전송하고 다시 RF 송수신기로 수신된 신호를 디스플레이 할 수 있도록 구성하였다.[13,14]

최초 DSP에서 발생된 신호는 디지털 변조과정을

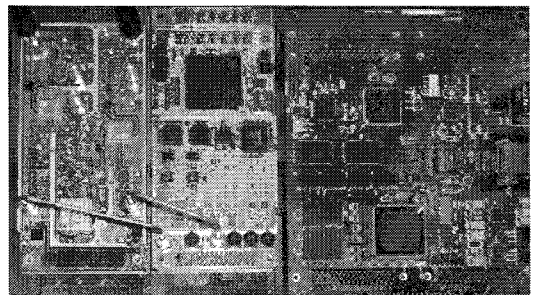


그림 18. 최종 제작된 하드웨어

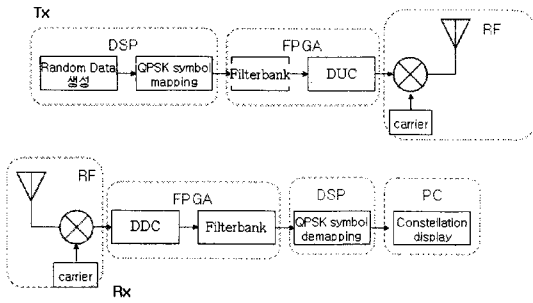


그림 19. 통신 시스템 구현의 예

거치면서 하드웨어적인 로직을 통해 I/Q 신호로 처리가 되며, FPGA 모듈에서는 분리된 I/Q 신호에 필터뱅크와 디지털 상향/하향 신호처리를 하여 중간주파수 변환하게 된다. IF로 변환된 신호는 2.4 GHz 송수신기의 IF 입력 포트에 전송되어 송신기의 송신 안테나를 통해 수신 안테나로 전송된다. 송신 안테나로 전송된 신호는 수신기를 거치면서 다시 중간주파수로 변환이 되게 되며 하향 변환된 IF 주파수는 원하는 입력레벨로 조정된 다음 ADC로 입력된다. 입력된 IF 신호는 디지털 신호로 변환되어 FPGA 내부의 디지털 하향 변환기를 거치고, 디지털 필터를 거쳐 처리 가능한 신호로 만들어 진다. 처리된 신호는 다시 DSP를 거쳐 GUI 프로그램을 통해 디스플레이 되게 되며 처리된 신호의 데이터에 관한 정보를 나타내게 된다.

6. 실험결과 (BPSK, QPSK, 16QAM)

그림 20, 21, 22는 제작된 플랫폼을 통해 처리된 신호의 특성을 보여준다. 결과는 DSP에서 처리된 데이터를 RS-232C와 이더넷을 통해 입력 받고 윈도우 프로그래밍을 통해 작성된 GUI를 통한 측정결과를 나타낸다. 그림은 BPSK, QPSK, 16QAM 처리된 신호의 정상도와 시간영역에서의 I/Q 신호를 보여준다.

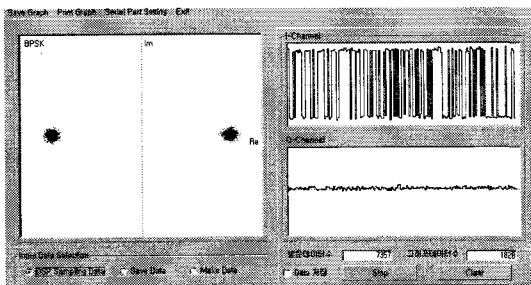


그림 20. DSP에서 복원된 BPSK 결과 파형

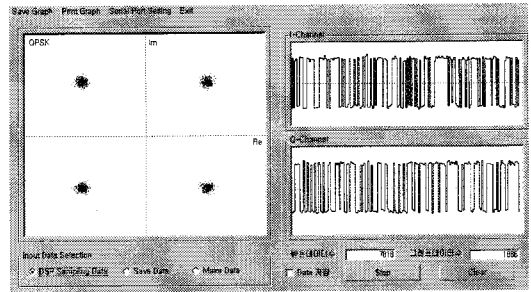


그림 21. DSP에서 복원된 QPSK 결과 파형

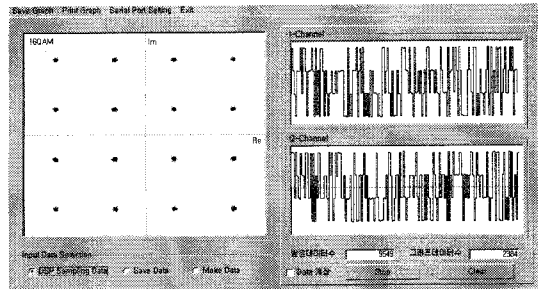


그림 22. DSP에서 복원된 16QAM 결과 파형

7. 결 론

본 논문은 다양한 무선 네트워크 환경에서 유연한 인터페이스를 위해 재구성이 가능한 SDR 기반의 통신 단말 플랫폼을 설계 및 구현하였다. 구현된 통신 단말 플랫폼은 다양한 응용분야에서 이용될 수 있고, 본 논문에서는 BPSK, QPSK, 16QAM이 가능한 통신시스템을 적용하였다. 전체 통신 시스템을 구현하기 위해 DSP 보드, FPGA 모듈, 베이스 보드 및 RF 송수신기를 설계 및 제작하였다. DSP를 위한 운영체제와 장치 드라이버, 윈도우 프로그래밍을 통해 DSP에서 처리된 데이터를 디스플레이 할 수 있는 GUI를 구현하였다. RF 송수신기는 2.4 GHz 대역에서 설계 및 제작 되었으며 본 논문에서 통신 채널로 사용하였다. 구현된 통신 플랫폼은 3세대 혹은 4세대 이동통신 개발 플랫폼으로 사용가능 할 것으로 예측되며 향후 더 나은 디바이스들이 출현 될 경우 따로 하드웨어 변경 없이 디바이스 교체만으로도 재구성이 가능하게 설계되었다.

참 고 문 헌

[1] E. Del Re, *Software Radio : Technologies and*

Services, Springer-Verlag, London, 2001.

[2] Walter Tuttlebee, *Software Defined Radio : Enabling Technologies*, John Wiley & Sons Ltd, Chichester, 2002.

[3] <http://www.sdrforum.com>

[4] X. H Huang and K. L. Du "A Unified Software Radio Architecture," *IEEE Signal Processing workshop*, pp. 330-333, Mar. 2001.

[5] 이승환, 조권도, 박성균, 이규대, "SDR에서의 하드웨어 Reconfiguration," 전자공학회지, 제 30권 제4호, pp. 64-75. 2003.

[6] W. Tuttlebee, "Software radio - Impacts and implications," *Proc. Int'l Symp. Spread Spectrum Tech. & Appl. (ISSSTA'98)*, Vol. 2, pp. 541-545, Sun City, South Africa, Sep. 1998.

[7] Joseph Mitola III, Zoran Zvonar, *Software Radio Technologies*, IEEE Press, New York, 2001.

[8] R. Baines, "The DSP bottleneck," *IEEE Commun. Magazine*, Vol. 33, No. 5, pp. 46-54, May 1995.

[9] D. B. Chester, "Digital IF technology for 3G systems: An introduction," *IEEE Commun. Magazine*, Vol. 37, No. 2, pp. 102-107, Feb. 1999.

[10] S. Im, W. Lee, C. Kim, Y. Shin, S. H. Lee, and J. Chung, "Implementation of SDR-based digital IF channelizer/de-channelizer for multiple CDMA signals," *IEICE Trans. Commun. (Special Issue on Software Defined Radio and Its Technologies)*, Vol. E83-B, No. 6, pp. 1282-1289, June 2000.

[11] <http://www.ti.com>

[12] Jeffrey H. Reed, *Software Radio*, Prentice Hall

PTR, New Jersey, 2002.

[13] Jun-Seo Lee, Jong-Hyun Park, Sang-Woo Kim, YinhShan Li, and Heung-Gyoon Ryu, "Implementation of DSP-Based Digital Receiver for the SDR Application," *10th Asia-Pacific Conference on Communication and 5th International Symposium on Multi-Dimensional Mobile Communication*, pp. 6-10, 2004.

[14] Hiroshi Harada and Ramjee Prasad, *Simulation and Software Radio for mobile communications*, Artech House, Massachusetts, 2002.

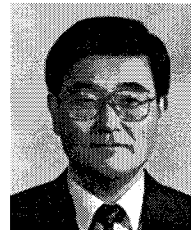
이 경 학



1992년 2월 광운대학교 전자통신 공학과 졸업
 1994년 2월 광운대학교 대학원 전자통신공학과(공학석사)
 2000년 3월~현재: 광운대학교 대학원 전자통신공학

과 박사과정
 1994년 4월~현재: 한국산업기술평가원 선임연구원
 관심분야: 동영상, 통신신호처리, DSP

고 형 화



1979년 2월 서울대학교 전자공학과 졸업
 1982년 2월 서울대학교 전자공학과 대학원(공학석사)
 1989년 2월 서울대학교 전자공학과 대학원(공학박사)
 1985년 3월~현재: 광운대학교 전

자통신공학과 교수
 관심분야: 영상통신, Wavelet 부호화, 임베디드 시스템