

Direct Conversion 방식용 프로그래머블 Baseband 필터 설계

김병욱[†], 신세라^{**}, 최석우^{***}

요 약

최근 무선통신 분야에서 가격, 소비전력과 칩 면적을 줄이기 위한 CMOS RF 집적화에 관한 연구가 수행되고 있다. 이동통신 단말기 수신단 구조 중 direct conversion 방식은 기존의 super-heterodyne 방식에 비해 IF단이 생략되어 수신단의 구조가 간단하고, RF 필터 등이 제거되어 one chip화가 가능하다는 장점을 갖는다. 그러나 direct conversion 구조는 발진 및 DC offset과 같은 문제점을 갖기 때문에 시스템 전체의 noise figure와 선형성 등을 고려하여 수신단용 필터와 VGA를 설계해야 한다. 본 논문에서는 direct conversion 구조의 이동통신 단말기용 프로그래머블 필터를 설계하였다. 제안된 필터 구조는 GSM, DECT, WCDMA와 같은 서로 다른 통신 방식에 적용할 수 있도록 차단주파수를 가변할 수 있고, RF단에서의 이득 변화에 대해 이득을 조절할 수 있도록 설계하였다. 설계된 프로그래머블 필터는 MOS 트랜지스터의 게이트 전압으로 차단주파수 부근에서 주파수를 조절할 수 있고, 제안된 구조는 필터 이득과 VGA를 이용하여 27dB~72dB까지 3dB 간격으로 이득을 가변할 수 있다.

Design of Programmable Baseband Filter for Direct Conversion

Byoung-Wook Kim[†], Sei-Ra Shin^{**}, Seok-Woo Choi^{***}

ABSTRACT

Recently, CMOS RF integration has been widely explored in the wireless communication area to save cost, power, and chip area. The direct conversion architecture, rather than a more conventional super-heterodyne, has been an attractive choice for single-chip integration because of its many advantages. However, the direct conversion architecture has several fundamental problems to solve in achieving performance comparable to a super-heterodyne counterpart. In this paper, we describe a programmable filter for mobile communication terminals using a direct conversion architecture. The proposed filter can be implemented with the active-RC filter and programmed to meet the requirements of different communication standards, including GSM, DECT and WCDMA. The filter can be tuned to select a detail frequency by changing the gate voltage of the MOS resistors. The gain of the proposed architecture can be programmed from 27dB to 72dB using the filter gain and VGA in 3dB steps.

Key words: Direct Conversion(직접 변환), Programmable Filter(프로그래머블 필터), VGA(가변 이득 증폭기)

※ 교신저자(Corresponding Author): 최석우, 주소: 전북 전주시 덕진구 덕진동 1가 664-14 공대 7호관 216(561-756), 전화: 063)270-3698, FAX: 063)270-2394, E-mail: swchoi@chonbuk.ac.kr
접수일: 2006년 9월 15일, 완료일: 2006년 11월 27일

[†] 전북대학교 대학원 전기공학과 박사과정
(E-mail: bwkim@chonbuk.ac.kr)

^{**} LG화학 전지사업부 Battery Tech Center 연구원
(E-mail: seira@lgchem.com)

^{***} 정희원, 전북대학교 전자정보공학부 부교수

1. 서 론

이동통신 분야는 최근 멀티미디어 기능, 즉 양방향 실시간 영상전달, 고급 음성 신호전달, 고속 데이터 전송 등을 서비스하고 있다. 또한 기존의 이동통신 단말기가 하나의 표준 방식만 지원하는 방식에서 벗어나 기존의 CDMA, TDMA 뿐만 아니라 미국, 유럽, 일본 등지에서 상용화되는 GSM, WCDMA, PDC 등 다양한 방식의 이동통신 시스템까지도 하나의 단말기로 송/수신할 수 있는 구조로 설계하고 있다[1,2].

그리고 이동통신 단말기의 수신단 구조를 super-heterodyne 방식에서 direct conversion 방식으로 변경함으로써 System-on-Chip(SoC)화하기 위한 연구가 수행되고 있으며, 이를 통하여 저가격화와 소형화하는 추세이다[3]. Super-heterodyne 방식은 IF단으로 인하여 시스템이 복잡하고, off-chip 소자인 RF와 IF 필터로 인하여 one chip화가 불가능하므로 최근 이동통신 시스템 설계 방향과 부합되지 않는다. 이러한 이유 때문에 최근에는 캐리어를 baseband로 주파수를 바로 변환하는 방식인 direct conversion 구조로 단말기를 설계하는 추세이다[4,5]. 이는 IF단이 생략됨으로써 수신단의 구조가 간단하고, RF 필터 등이 제거되어 one chip화가 가능하기 때문에 저전력 소모 및 시스템의 단가를 낮출 수 있는 장점이 있다. 그러나 성능면에서는 super-heterodyne 방식에 비해 선택도, 발진뿐만 아니라 DC offset과 같은 문제점들이 지적되고 있다. 그러므로 direct conversion 구조의 이와 같은 문제점을 해결하고, 다양한 이동통신 방식에 활용될 수 있도록 아날로그 baseband 블록은 프로그래머블이 가능하고 수신단의 성능을 향상시키도록 설계되어야 한다[6].

따라서 본 논문에서는 direct conversion 방식에서 RF단에서의 이득 변화에 대해 이득을 조절할 수 있고, ADC에 적절한 동적 범위를 제공함으로써 시스템 전체의 noise figure와 선형성 향상을 갖도록 필터와 VGA(Variable Gain Amplifier)를 설계하였다. 또한 단일 구조로 GSM/DECT/WCDMA 통신 방식에 적용할 수 있는 필터 구조를 적용하여 차단주파수를 가변하도록 하였다.

2. 이동 통신 단말기 시스템의 수신단 구조

2.1 Super-heterodyne 구조와 direct conversion 구조

Super-heterodyne 구조는 baseband 주파수와 캐리어 주파수간을 바로 변환하지 않고, 중간에 다른 주파수로 한번 변환한 후 다시 변환하는 구조이다. 따라서 RF와 baseband 사이에 IF단을 한 단 또는 두 단 이상이 사용됨으로써 각종 IF 필터와 증폭기 및 주변 회로들로 인해 이동통신 단말기의 단가가 높아지며, 또한 성능면에서 반복되는 주파수 변환으로 인해 잡음이 많이 발생하기 때문에 대역선택 필터를 필요로 한다. 이에 따라 높은 RF 주파수 대역을 처리하기 위한 SAW(Surface Acoustic Wave) 필터가 사용되어 one chip화가 불가능하다는 단점을 갖는다.

반면에 direct conversion 구조는 그림 1과 같이 RF 주파수를 직접적으로 baseband로 변환하는 구조이다. Direct conversion 구조는 super-heterodyne 구조와 달리 IF단이 생략되어 시스템이 간단해져 전력소모 및 시스템 단가를 낮출 수 있는 장점은 있으나 발진, 선택도 문제뿐만 아니라 mixer에 대한 역할 부담까지 커지게 되며, 특히 DC offset과 같은 문제가 발생한다. 그러나 direct conversion 구조는 이동통신 단말기용 수신단의 one chip화를 목적으로 하는 측면에서 IF 필터가 필요치 않아 CMOS 집적회로 기술로 필터 설계가 가능하며 비용을 낮출 수 있다.

2.2 다표준 방식용 수신단 설계명세조건

그림 2는 GSM/DECT/WCDMA 3가지 이동통신 방식을 수용할 수 있는 다표준 방식의 단말기 수신단 구조이다[7]. 또한 direct conversion 구조로서 IF단에서는 원하는 주파수대역 선택을 위한 필터와 LNA(Low Noise Amplifier) 등이 필요하다.

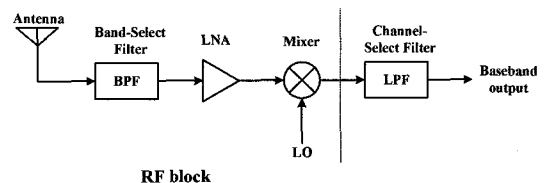


그림 1. Direct conversion 방식 수신단

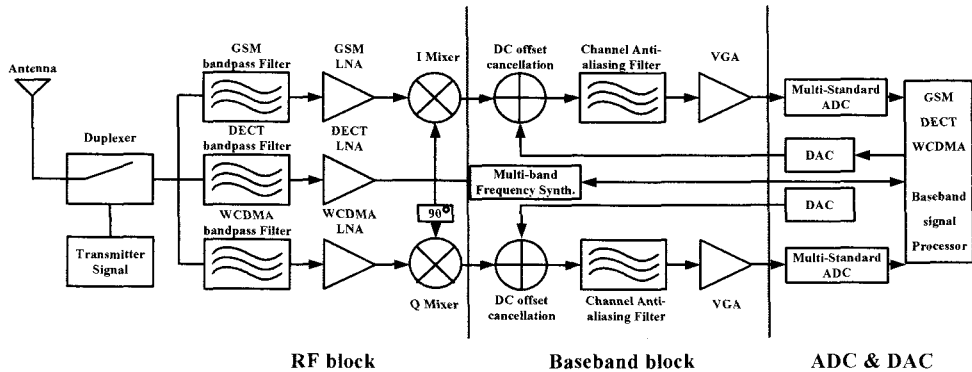


그림 2. 다표준 방식 단말기 수신단 구조

그림 2에서 3가지 통신 방식의 신호는 제어신호에 의해서 원하는 신호만 증폭시킬 수 있도록 그 신호에 맞는 LNA만 동작하도록 하고, 나머지 두 개의 LNA 전원은 off되도록 제어한다. 그 다음, 주파수 변환을 위한 두 개의 I/Q mixer는 넓은 대역폭을 갖으며 3가지 수신방식을 모두 수용하도록 한다. 마지막으로 baseband 블록과 ADC는 3가지 방식에서 요구하는 이득과 선택도 등의 설계조건을 만족하도록 설계하기 위하여 디지털 신호에 의해 제어가 가능한 프로그래머블한 구조를 요구한다. 따라서 baseband 블록은 이득과 주파수 조절을 가변하기 위해 프로그래머블한 baseband 필터와 VGA를 요구한다[8]. VGA의 이득 조절범위는 IF단의 이득 변화에 맞춰 각 통신방식의 설계명세조건을 만족시키도록 한다. 그리고 ADC는 프로그래머블 $\Sigma-\Delta$ modulator로서 실현되어질 수 있으며 ADC의 해상도와 신호 대역폭은 3가지 수신 방식을 만족시킬 수 있도록 제어되어야 한다[3-5].

2.3 다표준 방식용 baseband 블록 설계명세 조건

다표준 방식의 baseband 필터는 WCDMA를 위한 채널 선택 필터 기능과 함께 GSM과 DECT에서는 anti-aliasing 필터로서 동작하게 된다. 그러므로 다표준 방식의 baseband 필터의 설계명세조건은 차단 주파수가 가장 높은 WCDMA 의해 결정되어지고 ADC의 동작범위를 고려해야 한다. 왜냐하면 필터의 차수와 ADC의 동작범위는 서로 trade-off 관계에 있기 때문이다. 즉, 높은 차수의 필터는 ADC의 낮은 해상도(동작범위)를 요구하며 낮은 차수의 필터는

ADC의 해상도가 높은 것을 요구한다. 위의 관계를 고려하여 본 논문에서 설계하고자 하는 baseband 블록의 설계명세조건은 표 1과 같다.

3. 다표준 방식용 프로그래머블 필터 설계

3.1 이득 가변 필터 구조

이득을 조절할 수 있는 프로그래머블 필터는 그림 3과 같은 구조로 실현하였다. 이득을 가변하기 위해 기존 방식은 필터와 VGA를 각각 독립적으로 설계하였으나 제안된 구조는 필터와 VGA를 종속연결하였다. 이득은 최소 27dB에서 최대 72dB까지 3dB 단위로 조절할 수 있는 구조이다.

표 2는 다표준 방식용 수신단 필터의 설계명세조건이다. 6차 저역통과 필터를 설계하기 위해 그림 4와 같이 2차 다중귀환 저역통과 필터 3개를 종속연결하여 구현하였으며[9], 전체 baseband의 이득 조절을 고려하여 필터의 각 블록은 3dB 이득을 갖도록 하여, 전체 필터 이득은 9dB가 되도록 하였다. 또한 필터 구조는 공통모드 잡음을 감소시키고, 고주파에

표 1. Baseband 블록 설계명세조건

구분	GSM/DECT/WCDMA
Noise figure	30dB
IIP3	16dBm
이득	27~71dB
저지대역 감쇠	3dB at 2.5MHz 33dB at 5MHz 66dB at 10MHz 78dB at 15MHz

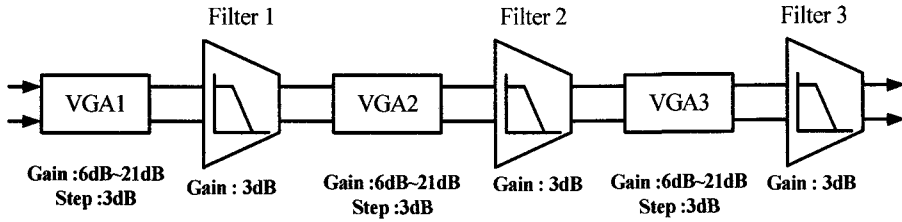


그림 3. 다표준 방식용 baseband 필터 구조

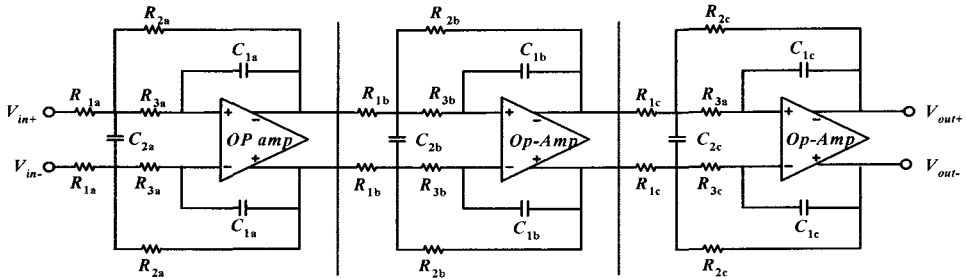


그림 4. 6차 완전 차동 다중귀환 저역통과 필터

표 2. 프로그래머블 필터 설계명세조건

구분	설계명세조건
필터 함수	6차 버터워스 저역통과 필터
필터 회로 구조	2차 다중귀환 능동 RC 회로
차단주파수	0.1MHz~2.5MHz
이득	9dB
공급전압	3.3V

서의 PSRR(Power Supply Rejection Ratio) 값을 증가시켜 공급전압 잡음의 영향을 감소시킬 수 있는 완전 차동구조로 설계하였다.

3.2 주파수 가변 필터 구조

본 논문에서 설계하는 프로그래머블 baseband 필터는 GSM/DECT/WCDMA 통신방식에 대해 서로 다른 차단주파수를 갖기 때문에 각각 다른 저항값과 커패시터 값을 요구한다. 이를 구현하기 위하여 그림 5와 같이 고정된 저항값을 사용하고, 커패시터 값만 변화시킴으로써 차단주파수를 가변하도록 하였다. 즉, 2개의 스위치가 열린 상태에서는 WCDMA를 위한 필터로 동작하게 되고, 스위치 1이 닫혀진 상태일 때는 DECT, 스위치 2가 닫혀진 상태에서는 GSM을 위한 필터로 동작하게 된다. 그러나 능동 RC 필터는

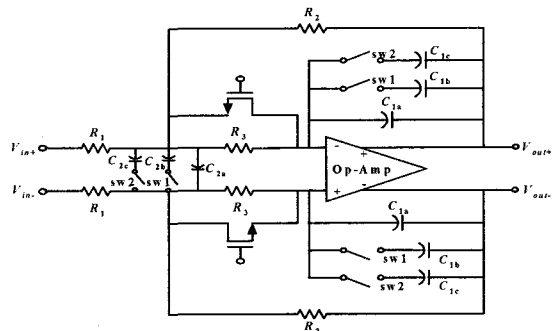


그림 5. 프로그래머블 2차 다중 귀환 저역통과 필터

공정변화에 따라 R과 C값이 변화함으로써 필터의 차단주파수가 변하게 되는 단점을 가지고 있으므로 이를 보완하기 위해 MOS 저항을 저항 R3과 병렬 연결하여 차단주파수를 보정한다.

표 3은 각각의 통신 방식 및 블록에 따른 R과 C의 값이다. C1a와 C2a는 WCDMA를 위한 값이며, DECT를 위한 커패시터 값은 C1a+C1b, C2a+C2b가 되고, GSM을 위한 커패시터 값은 C1a+C1c, C2a+C2c가 된다.

3.3 VGA 설계

이득 가변을 위한 resistive VGA를 그림 6과 같은 완전 차동구조로 설계하였다. 이 구조는 스위치 동작

표 3. 6차 다중귀환 저역통과 필터의 각 블록 소자값

구분	블록 1	블록 2	블록 3
R_1 (k Ω)	12	16	20
R_2 (k Ω)	17	22.6	28
R_3 (k Ω)	7	9.4	11.7
C_{1a} (pF)	9.4	9.6	20.6
C_{1b} (pF)	16.6	17	36.6
C_{1c} (pF)	225	230	477
C_{2a} (pF)	3.6	2	0.59
C_{2b} (pF)	6.4	3.5	1
C_{2c} (pF)	87	48	14.3

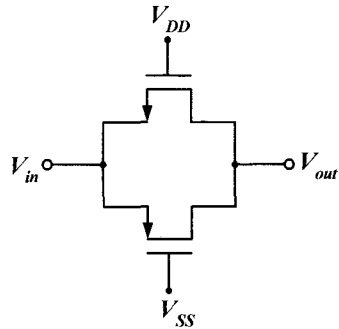


그림 7. CMOS스위치

치의 on 저항값을 고려하여야 한다.

$$R_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{GS} - V_{THn} - V_{THp})} \quad (1)$$

3.4 연산증폭기 설계

다중귀환 필터를 설계하기 위해서는 연산증폭기의 설계가 매우 중요하다. DC 특성, 잡음, 속도 등과 같은 중요한 특성에 영향을 미치기 때문이다. 필터를 설계할 때, 연산증폭기의 GBW(Gain BandWidth)와 SR(Slew Rate)이 갖추어야 할 조건은 식 (2), 식 (3)과 같다.

$$GBW > 100 \cdot f_c \cdot Q \quad (2)$$

$$SR > \pi \cdot V_{op-p} \cdot filter \text{ bandwidth} \quad (3)$$

따라서 본 논문에서 설계하는 필터의 차단주파수를 고려하여 500MHz 이상의 GBW를 갖는 연산증폭기를 설계하기 위해 rail-to-rail folded-cascode 연산증폭기에 그림 8과 같이 regulated cascode와 constant gm 구조를 부가적으로 설계하였다. Constant gm 구조는 gm 값이 일정하게 유지되도록 하여 전압 이득을 같게 하는 회로이다. 그러므로 NMOS와 PMOS의 입력단의 동작 여부와 무관하게 일정한 전압 이득을 얻을 수 있다. 또한 regulated cascode 구조를 사용하여 연산증폭기를 설계하면 높은 이득을 얻을 수 있다[10]. 그림 9는 설계된 연산증폭기의 주파수 특성이다. 시뮬레이션 결과 GBW는 534MHz이고, SR은 908V/ μ s로서 대표준 방식용 필터 설계에 적합함을 알 수 있다.

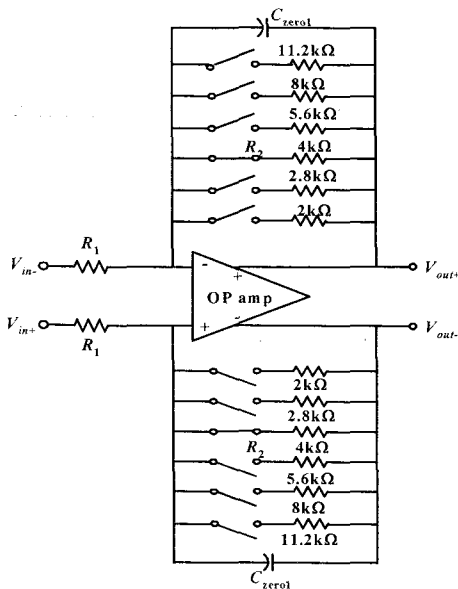


그림 6. 완전 차동구조 resistive VGA

에 따라 이득이 변화하게 된다. 귀환 저항 R_2 가 스위치 동작에 의해 2k Ω , 2.8k Ω , 4k Ω , 5.6k Ω , 8k Ω , 11.2k Ω 으로 선택되면 VGA의 이득은 6dB에서 21dB까지 3dB 간격으로 가변된다. VGA의 이득의 범위는 IF단의 이득 변화에 의해 조정된다.

가변 이득을 얻기 위해 R_2 를 선택하는 스위치는 입력 전압이 V_{SS} 에서 V_{DD} 까지의 모든 영역에서 스위치 on 저항값이 작게 유지되는 그림 7과 같은 CMOS 스위치를 사용하였다. CMOS 스위치의 on 저항값은 $\mu_n(W/L)_n = \mu_p(W/L)_p$ 일 경우, 식 (1)로 나타낼 수 있다. 본 연구에서 설계한 CMOS 스위치의 on 저항값은 입력 전압이 가장 작을 경우 60 Ω 정도를 갖으며, 최대 390 Ω 정도까지 증가하게 된다. 따라서 VGA 설계시 이득 조절을 위한 저항값을 선택할 때, 스위

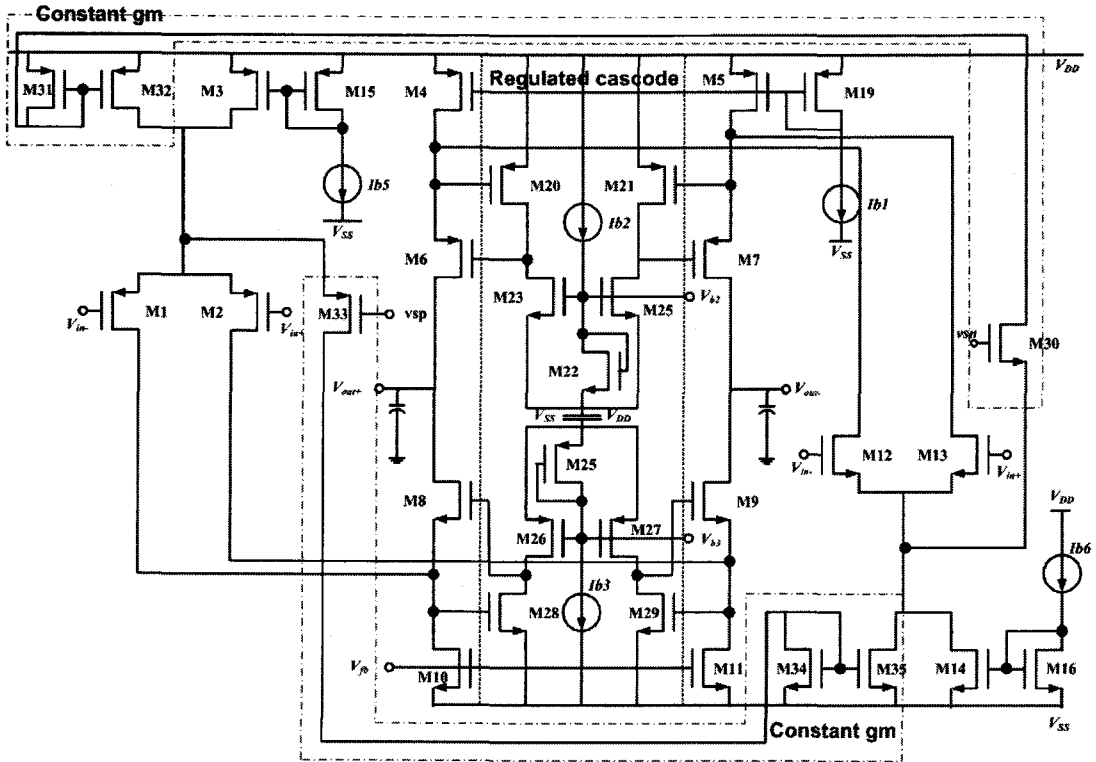


그림 8. 완전 차동구조 rail-to-rail folded regulated cascode 연산증폭기

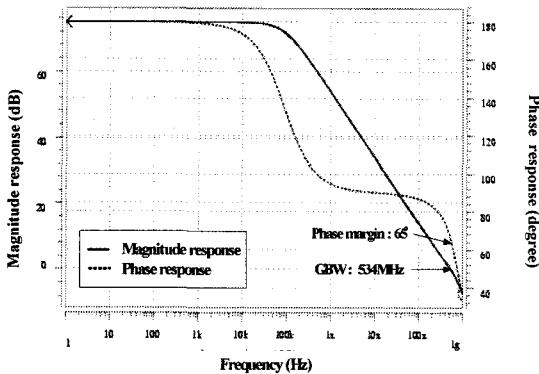


그림 9. 연산증폭기의 주파수 특성

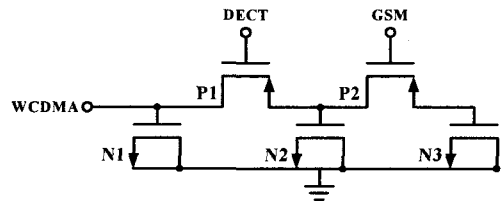


그림 10. 단위 커패시터

게이트 커패시터는 채널이 강반전(strong inversion) 되었을 때, 단위 커패시턴스 값을 갖게 된다. MOS 커패시터는 채널 저항에 의해 제한되어지기 때문에 단위 커패시터를 병렬 연결하여 원하는 값을 얻을 수 있다. 그림 10은 커패시터로 NMOS가 사용되었으며 PMOS에 의해 스위치 동작을 하게 된다.

3.5 MOS 커패시터 설계

프로그램머블 필터를 설계하기 위해서는 큰 값을 갖는 커패시터가 필요하다. 큰 값을 갖는 커패시터는 넓은 칩면적을 차지하게 되므로 MOS 트랜지스터를 이용하여 단위 커패시터를 설계함으로써 baseband 필터를 설계할 때 적은 면적이 되도록 한다. NMOS

4. 프로그램머블 필터 시뮬레이션 결과 및 고찰

대표적인 방식용 baseband 필터는 차단주파수와 이득에 대해 프로그램머블하도록 설계되었다. Baseband

단 이득을 제어하기 위해 기존에는 필터와 VGA를 각각 독립적으로 설계하여 VGA에 의해서만 이득을 조정하는 구조로 설계하였다. 제안된 구조는 필터 이득과 VGA로 전체 이득을 조절하기 위하여 필터의 각 블록은 3dB 이득을 갖도록 설계되어졌고, 3개의 VGA를 통해 전체 이득을 조절하게 된다. 따라서 전체 이득은 최소 27dB에서 최대 72dB까지 3dB 간격으로 가변할 수 있다.

그림 11~그림 13은 GSM/DECT/WCDMA 통신

방식에 따른 baseband단 전체 이득 변화를 나타낸 그래프이다. VGA는 3dB 간격으로 이득을 조절하므로 전체 이득은 27dB~72dB까지 총 15 단계의 이득 변화를 갖게 된다. 그러나 필터 이득 시뮬레이션에서는 9dB 간격으로 필터의 이득 가변 특성을 입증하였다.

그림 14~그림 16은 GSM/DECT/WCDMA 통신 방식에 따른 baseband 필터의 차단주파수 부근의 주파수 가변 특성 시뮬레이션 결과이다. MOS 저항의 게이트 전압을 1.2V~3.2V까지 0.5V의 간격으로 시

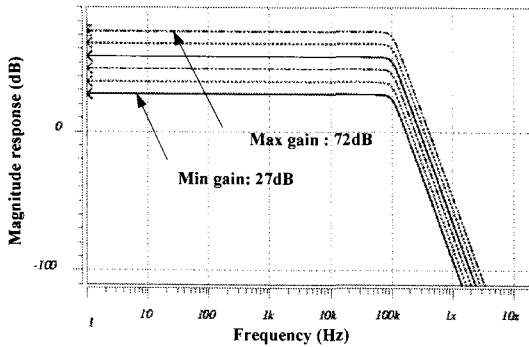


그림 11. GSM 이득 가변 특성

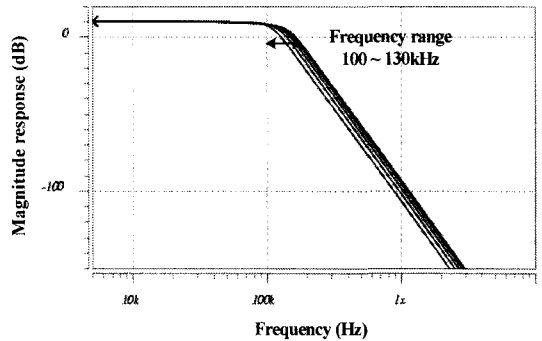


그림 14. GSM 주파수 가변 특성

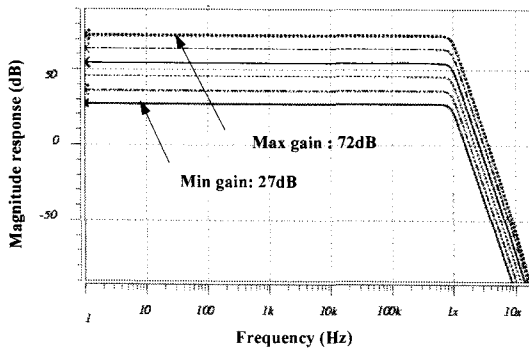


그림 12. DECT 이득 가변 특성

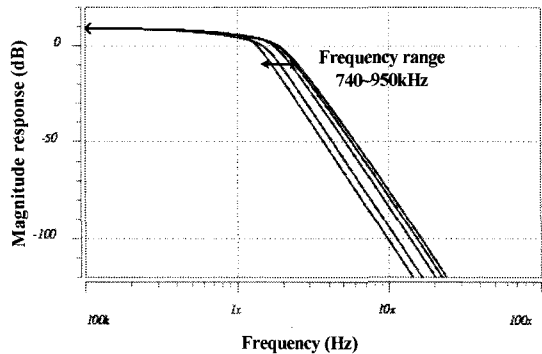


그림 15. DECT 주파수 가변 특성

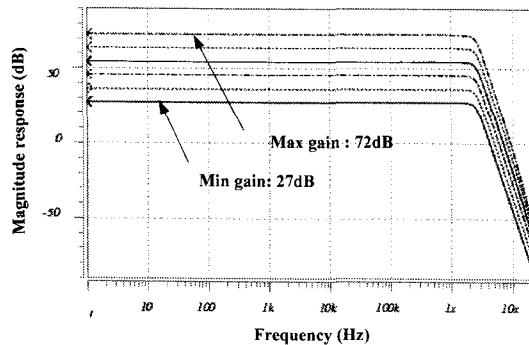


그림 13. WCDMA 이득 가변 특성

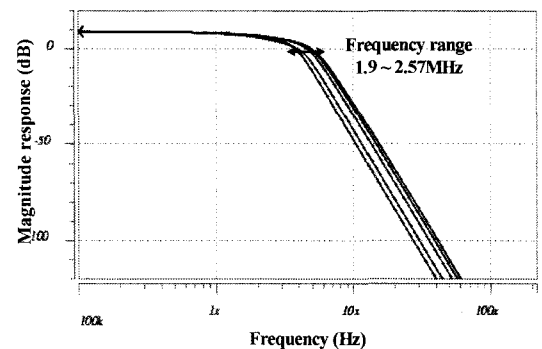


그림 16. WCDMA 주파수 가변 특성

물레이션 한 결과 각각의 필터 차단주파수는 100~130kHz, 740~950kHz, 1.9~2.57MHz까지 가변함을 알 수 있었다.

따라서 제안된 대표준 방식용 baseband 필터는 하나의 회로로 3가지의 서로 다른 통신 방식을 수용할 수 있으며, 이득 및 차단주파수를 프로그래머블하게 제어할 수 있다.

5. 결 론

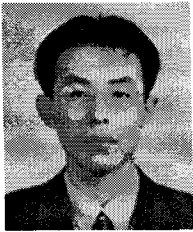
본 논문에서는 IF단이 생략된 direct conversion 구조에 적합한 대표준 방식용 baseband 필터를 이득과 주파수 조절이 가능한 프로그래머블 구조로 설계하였다. 제안된 baseband 필터는 6dB~21dB의 이득 조절이 가능한 3개의 VGA와 GSM/DECT/WCDMA 통신 방식의 감쇠 조건을 만족하는 다중귀환 방식의 능동 RC 6차 저역통과 필터를 종속연결 형태로 구현하였다.

설계된 프로그래머블 필터는 27dB에서 최대 72dB까지 3dB 간격으로 이득 조절이 가능하다. 또한 3가지 통신 방식의 차단주파수는 능동 RC 회로의 커패시터 값을 변화시켜 가변하였고, MOS의 게이트 전압을 조절하여 차단주파수 부근에서의 주파수를 조절하였다.

제안된 설계 방식은 대표준 방식용 단말기 설계 및 direct conversion 구조에 적용할 수 있다. 향후에는 설계된 baseband 필터를 보다 낮은 공급 전압에서 적은 전력을 소모하도록 설계하고, DC offset을 제거하기 위한 회로가 부가되어야 할 것이다.

참 고 문 헌

- [1] Hollman T., Lindfors S., Salo T., Lansirinne M, and Halonen K., "A 2.7V CMOS dual-mode baseband filter for GSM and WCDMA," in *Proc. IEEE International Symposium on Circuits and Systems*, pp. 316-319, May 2001.
- [2] Lindfors S., Hollman T., "A 2.7V CMOS GSM/WCDMA Continuous-Time Filter with Automatic Tuning," *IEEE Custom Integrated Circuits Conference*, Sep. 2001.
- [3] Kang-Yoon Lee, Seung-Wook Lee, and Hyoung-Ki Huh, "Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver," *IEEE Journal of Solid State Circuits*, Vol. 38, pp. 401-409, Jan. 2003.
- [4] T. Manku, "A comparative performance analysis of Sirific's down conversion architecture and classical direct conversion," *Sirific Wireless corporation*, pp. 1-3, Sep. 2002.
- [5] A. Parssinen, J. Jussila, J. Ryyanen, L. Sumanen, and K. Halonen, "A 2-GHz wide band direct conversion receiver for WCDMA applications," *IEEE Journal of Solid State Circuits*, Vol. 34, No. 34, pp. 1893-1903, 1999.
- [6] R. G. Jensen, K. T. Christensen, and E. Bruun, "Programmable Baseband Filter for Multi-standard Mobile Phones," *Analog Integrated Circuit and Signal Processing*, Vol. 34, pp. 49-57, 2003.
- [7] Xiaopeng Li and M. Ismail, "Architecture and specs help analysis of multi-standard receiver," *Planet Analog www.planetanalog.com/stroy/OEG20030312S0038*, Mar. 2003.
- [8] C. Marshall, et al, "A 2.7V to 4.5V Single-Chip with On-Chip Filtering," *Digest of Technical Paper International Solid-State Circuits Conference*, pp. 148-149, Feb. 1996.
- [9] 김동용, 최석우, 윤창훈, "회로망 합성 이론과 필터 설계", *홍릉과학출판사*, 1995.
- [10] 박홍준, CMOS 아날로그 집적회로, *시그마프레스*, 1999.

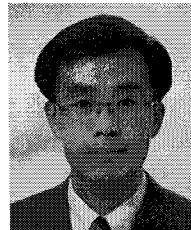


김 병 옥

1995년 2월 전북대학교 전기공학과 졸업(공학사)
1997년 2월 전북대학교 대학원 전기공학과 졸업(공학석사)
2001년 9월~현재 전북대학교 대학원 전기공학과 박사

과정

관심분야 : 아날로그 회로 및 시스템, 집적회로 설계



최 석 우

1994년 8월 전북대학교 전기공학과 공학박사
1996년 2월~2001년 9월 전북대학교 전기전자회로합성연구소 전임강사, 조교수
1999년 9월~2001년 2월 미국 오하이오주립대학교

방문연구

2001년 9월~현재 전북대학교 전자정보공학부 부교수, 전북대학교 전자정보신기술연구센터 연구원
관심분야 : 회로 및 시스템, 집적회로 설계



신 세 라

2002년 2월 전북대학교 전기전자 제어공학부 졸업(공학사)
2004년 2월 전북대학교 대학원 전기공학과 졸업(공학석사)
2004년 1월~현재 LG화학 전자

사업부 Battery Tech Center 연구원

관심분야 : Battery Pack 회로 설계, 집적회로 설계