

# GBN/SSN 억제를 위한 이중 셀 EBG 구조를 갖는 전원면

## A Power Plane Using the Hybrid-Cell EBG Structure for the Suppression of GBN/SSN

김 동 엽 · 주 성 호 · 이 해 영

Dong-Yeop Kim · Sung-Ho Joo · Hai-Young Lee

### 요 약

본 논문에서는 넓은 영역에서 GBN/SSN 억제 특성을 보이는 이중 셀 EBG 구조를 이용한 새로운 전원면 구조를 제안하였다. 제안된 구조는 -30 dB 이하의 삽입 손실로 정의되는 저지 대역이 GBN의 에너지가 집중적으로 분포하는 수 백 MHz에서 시작하며 약 7.9 GHz의 넓은 대역폭을 갖는다. 본 구조의 특징은 인덕턴스를 강화하는 나선형 연결 선로와 분산적 LC 회로의 주기를 줄이는 이중 셀을 추가한 것이다. 그 결과 -30 dB 저지 대역의 저주파에서의 차단 주파수가 낮아짐은 물론 대역폭이 넓어진 특성을 보였다. 또한, 전원면과 접지면 사이의 구조적 공진 모드가 현격히 억제되었으며 평행판 도파관에 비해 낮은 EMI 특성을 보였다.

### Abstract

In this paper, a novel power/ground plane using the hybrid-cell electromagnetic band-gap(EBG) structure is proposed for the wide-band suppression of the ground bound noise(GBN) or simultaneous switching noise(SSN). The -30 dB stopband of the proposed structure starts from a few hundred MHz where the GBN/SSN energy is dominant. The distinctive features of this new structure are the thin spiral strip line and hybrid-cells. They realize the enhanced inductance and the shorter period of the EBG lattice. As a result, the lower cut-off frequency and bandwidth of the -30 dB stopband becomes lower and wider, respectively. In addition, the proposed structure has smaller number of resonance modes between power/ground planes and performs a low EMI behavior compared with the reference board.

Key words : Electromagnetic Band-gap(EBG), Ground Bounce Noise(GBN), Simultaneous Switching Noise(SSN), Electromagnetic Interference(EMI)

### I. 서 론

시스템의 클럭 주파수가 높아지고 구동 전압이 점점 낮아짐에 따라 초고속 회로의 PCB 기판에서의 GBN/SSN이 큰 문제가 되고 있다. 빠른 동시 스위칭에 의해 생겨나는 노이즈(SSN)는 PCB 기판 상의 전원면과 접지면 사이의 전위를 불안정(GBN)하게 한다. 이러한 노이즈는 신호 무결성(SI), 전자파장해(EMI) 등과 관련하여 디지털 소자의 동작에 논리적

오류를 유발한다<sup>[1]~[3]</sup>. 따라서 디지털 시스템의 고속화, 소형화를 위해 GBN/SSN의 억제가 중요한 관심으로 대두되었다.

일반적으로 GBN/SSN을 억제하기 위하여 전원면과 접지면 사이에 디커플링 커패시터를 사용한다. 그러나 커패시터 자체의 유한 도선 인덕턴스로 인해 사용 가능한 주파수에 한계가 있다. 일반적인 디커플링 커패시터는 600 MHz 이상의 주파수에서는 동작을 하지 못하기 때문에 더 높은 주파수에서도

아주대학교 전자공학부(Department of Electronics Engineering, Ajou University)

· 논문 번호 : 20061103-14S

· 수정완료일자 : 2007년 1월 26일

GBN/SSN을 억제할 수 있는 다른 방법이 필요하다.

높은 주파수에서의 효과적인 GBN/SSN 억제를 위한 방법으로 Electromagnetic Bandgap(EBG) 구조를 이용한 전원면이 제안되었다<sup>[4]~[8]</sup>. 이러한 전원면은 디커플링 커패시터가 동작하지 못하는 높은 주파수에서 GBN/SSN을 효과적으로 억제할 수 있다. GBN/SSN을 억제하기 위한 EBG 구조는 크게 다층 EBG와 단층 EBG로 나누어 볼 수 있는데, 다층을 사용할 경우 제작 과정이 복잡하고 비용 면에서 불리한 점이 있다. 이러한 점을 보완하기 위하여 단층만을 사용한 전원면에 대한 연구가 계속되고 있다.

본 논문에서는 기존 하나의 셀이 주기적으로 배열된 구조에 이중의 셀(hybrid-cell)을 추가하여 원래 단위 셀이 가지던 주기 이외에, 분산된 LC 회로를 이루는 또 다른 주기 구조를 갖는 전원면을 제안하였다. 그리고 저지대역의 차단 주파수를 수 백 MHz 이하로 낮추기 위하여 인덕턴스를 강화하는데 중점을 두었다. 그 결과 제안된 구조는 370 MHz부터 8.27 GHz까지 약 7.9 GHz의 넓은 주파수 범위에서 GBN/SSN을 -30 dB 이하로 억제하는 특성을 보였다. 또한, 전원면과 접지면 사이의 구조적 공진 모드가 현저히 억제되었으며, 전원면의 식각된 슬롯에도 불구하고 낮은 EMI 특성을 보였다.

## II. GBN 억제를 위한 EBG 구조

### 2-1 GBN의 생성과 전파

일반적으로 고속 디지털 PCB 내부의 전원면/접지면은 평행판 도파관의 형태를 하고 있으면 각 소자는 비아를 통해 전원면/접지면에 연결이 되어 있다. 그런데 많은 수의 소자가 클럭에 동기되어 동시에 스위칭하게 되면 전원면/접지면 회로에 순간적으로 많은 양의 전류가 흐르게 되고, 이 때 전원부와 소자가 연결된 지점 사이에 존재하는 인덕턴스와 전류의 시간 변화율에 비례하여 전압 변동이 발생하게 된다.

비아를 통해 여기되는 잡음은 평행판 도파관 형태의 전원면/접지면을 통해 인접한 소자로 전파되고 심한 경우에는 회로의 동작에 오류를 유발하기도 한다. 그림 1은 일반적인 평행판 도파관의 자기 임피던스(self-impedance)를 나타낸 것이다. 전원면/접지면 회로의 병렬 공진이 잡음의 주파수 또는 그 체배 주

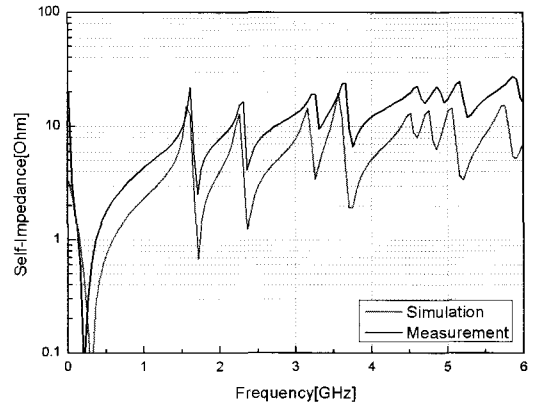


그림 1. 평행판 도파관의 self-impedance  
Fig. 1. Self-impedance of reference board.

파수에 겹쳐질 때 그 영향이 크게 증폭되어 나타난다.

### 2-2 EBG 구조가 적용된 전원면

일반적으로 전원면과 접지면 사이의 GBN/SSN의 생성을 억제하기 위하여 디커플링 커패시터를 사용한다. 잡음의 크기는 전류가 흐르는 전원면/접지면 회로상의 인덕턴스에 비례하므로, 그 인덕턴스를 줄이면 잡음을 줄일 수 있다. 전원부와 소자 사이에 적절한 용량의 커패시터를 추가하면 전류 폐회로가 짧아지게 되고, 그만큼 전류 경로상의 인덕턴스가 줄어들게 된다.

하지만 이 방법은 디커플링 커패시터가 갖는 ESL로 인하여 사용 가능한 주파수에 한계가 있다. 그래서 GBN/SSN의 발생 억제 외에 잡음의 전파를 억제하여 인접한 소자를 보호할 목적으로 EBG 구조를 적용한 전원면 또는 접지면에 대한 연구가 이루어졌다. 그림 2에 EBG 구조의 기본 개념을 도식화하였다. 전원면 또는 접지면에 분산적인 인덕터와 커패

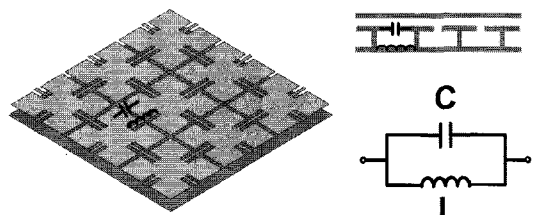


그림 2. EBG 구조가 적용된 전원면, 접지면  
Fig. 2. Power/ground plane using EBG structure.

시터를 구현하여 대역 저지 필터의 특성을 갖도록 하는 것이 EBG 구조가 적용된 전원면 또는 접지면의 기본 개념이다. 단위 셀의 구조를 적절한 인덕턴스와 커패시턴스를 갖도록 설계하여 특정 대역에서 전원면/접지면을 통한 잡음의 전파를 효과적으로 억제할 수 있다.

### 2-3 제안된 전원면의 구조적 특징

본 논문에서 제안한 구조를 그림 3에 나타내었다. 구조의 전체 크기는  $90\text{ mm} \times 90\text{ mm} \times 0.4\text{ mm}$ 이고 기판은 일반적인 PCB에 사용되는 FR4를 사용하였다. 그림 3에 나타낸 각각의 설계 변수는  $k=20\text{ mm}$ ,  $w=0.2\text{ mm}$ ,  $g_1=g_2=0.2\text{ mm}$ 이다.

제안된 구조는 단위 셀이 주기적으로 배열되면서 주된 사각형 이외에 십자가 모양의 패드(hybrid-cell)가 추가로 나타난다. 추가적으로 이중의 셀이 나타남에 따라 단위 셀의 주기 이외에 또 다른 주기 구조를 갖게 된다. 사각형 패드와 십자가형 패드는 좁은 폭의 스트립 라인으로 연결되었으며 인덕턴스 성분을 효과적으로 키우기 위하여 스트립 라인을 나선형으로 설계하였다. 사각형 패드의 각 모서리에서 시작한 선로는 각각 3/4 바퀴의 회전을 하고 십자가형 패드로 연결된다. 주된 사각형 패드는 이중의 십자가형 패드를 거쳐 이웃한 사각형 패드와 연결된다.

제안된 구조는 길어진 선로만큼 유효 인덕턴스가 증가하여 1 GHz 이하의 저주파 영역에서 GBN/SSN을 효과적으로 억제한다<sup>[6]</sup>. 그리고 그림 3에 점선으로 표시된 단위 셀의 주기 외에 사각형 패드와 십자가형 패드 사이에 새로이 LC 회로의 주기가 만들어졌다. 원래 가지고 있던 단위 셀의 주기보다 새로 생긴 주기가 더 짧기 때문에 저지대역의 대역폭이 기존의 30 mm 주기를 갖는 구조에 비해 넓어진다<sup>[7],[8]</sup>.

측정을 위한 포트는 그림 3에서 볼 수 있듯이 중앙에 있는 포트 1을 중심으로 대각선에 포트 2, 오른쪽에 포트 3을 놓아 각 포트 사이의 전달 특성을 측정할 수 있게 하였다.

## III. 해석 및 측정 결과

### 3-1 GBN 전파 억제 특성

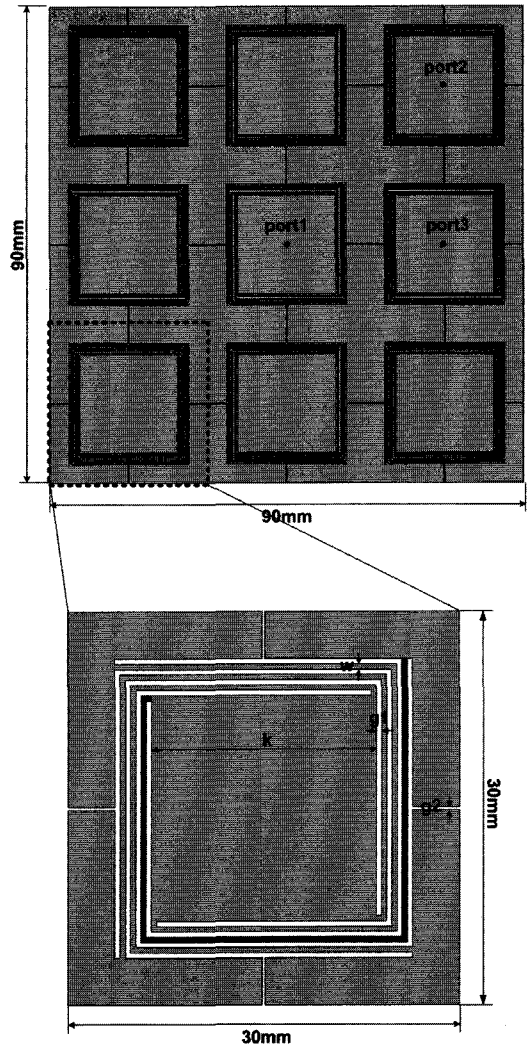
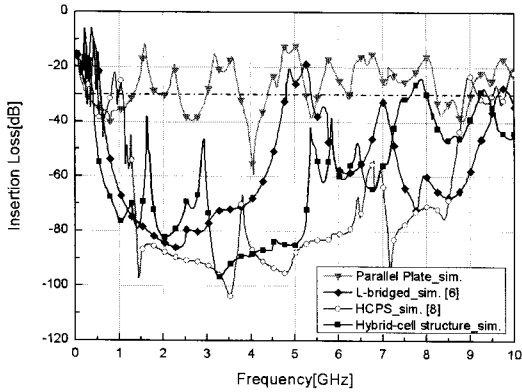


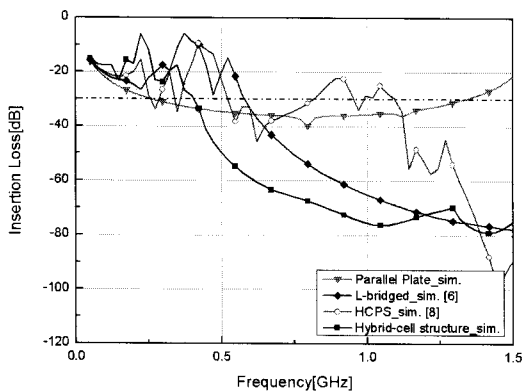
그림 3. 3×3 구조와 단위 셀 구조 및 각 설계 변수  
Fig. 3. 3×3 structure, unit cell and design parameters.

본 논문에서는 GBN/SSN의 전송과 차단에 밀접한 관련이 있는 삽입 손실( $|S_{21}|$ )을 측정하여 제안된 구조의 GBN/SSN 억제 특성을 확인하였다. 해석은 Ansoft사의 HFSS를 이용하였으며 비교 대상으로 일반적인 평행판 도파관(PPW), 인덕턴스를 키워 저주파 영역에서의 차단 특성을 향상시킨 L-bridge 전원면<sup>[6]</sup>, 그리고 셀 사이의 주기를 줄여 대역폭을 넓힌 Hybrid-cell periodic structure(HGPS) 전원면<sup>[8]</sup>을 함께 설계, 해석하였다.

그림 4(a)에 제안된 구조의 해석 결과를 나타내었다. 대역폭을  $-30\text{ dB}$  이하의 삽입 손실( $|S_{21}|$ )로 정의



(a)



(b)

그림 4. (a) 제안된 구조의 전달 특성( $S_{21}$ ) 해석 결과, (b) 저주파 영역에서의 전달 특성 해석 결과

Fig. 4. (a) Simulated insertion loss of proposed structure, (b) Enlargement of characteristics at low frequency region.

했을 때 제안된 구조에서 저주파 영역의 차단 주파수가 370 MHz까지 낮아졌음을 확인할 수 있다. 나선형의 스트립 라인이 인덕턴스를 강화하는데 효과적으로 작용했음을 알 수 있다. 그림 4(b)에 저주파 영역에서의 전달 특성을 자세히 나타내었다. 저주파 영역에서의 차단 특성을 강조한 L-bridge 전원면의 저주파 영역의 차단 주파수 600 MHz에 비해 230 MHz 향상된 특성을 얻을 수 있었다.

또한 제안된 전원면 구조의 저지대역의 대역폭이 고주파 영역까지 크게 향상된 특성을 보임을 확인할 수 있었다. 이중 셀 구조를 사용함으로써 LC 회로를

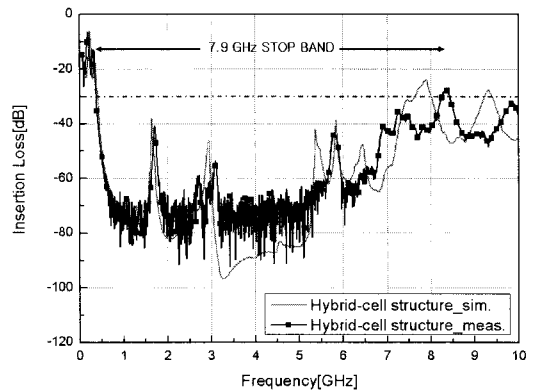


그림 5. 제안된 구조의 전달 특성( $S_{21}$ ) 측정 결과  
Fig. 5. Measured insertion loss of proposed structure.

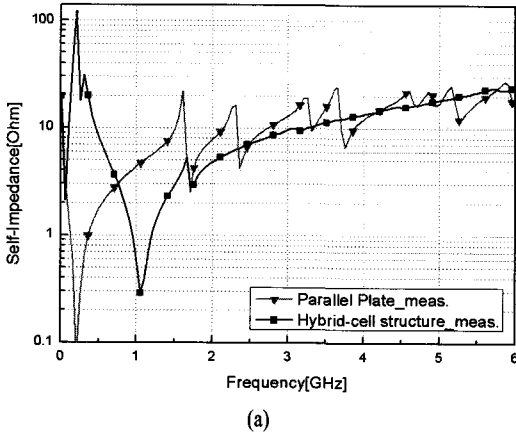
이루는 셀 사이의 주기를 줄인 것이 대역폭의 향상에 크게 작용했음을 확인할 수 있다<sup>[7],[8]</sup>.

그림 5는 제안된 구조를 실제 제작, 측정된 결과이다. 해석된 결과와 측정된 결과가 FR4의 유전율이 분산적인 6 GHz 이상의 고주파 영역을 제외하고 거의 일치함을 확인하였다. GBN/SSN을 평균적으로 -60 dB 억제하는 특성을 보였으며, -30 dB 이하의 삽입 손실로 정의되는 대역폭이 370 MHz부터 8.27 GHz까지로(7.9 GHz 대역폭), 광대역에서 GBN/SSN을 억제하는 특성을 보였다. 또한  $S_{21}$ 과  $S_{31}$ 의 결과로부터 제안된 구조에서 GBN/SSN의 차단 특성이 방향에 무관함을 확인할 수 있었다.

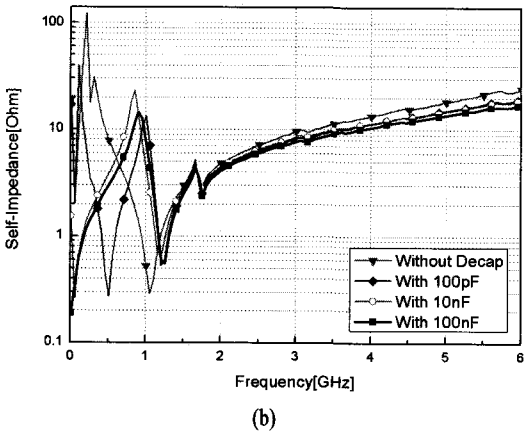
### 3-2 전원면/접지면 회로의 임피던스

임피던스는 전원면/접지면 회로의 특성을 나타내는 지표이다. 전원부와 각 소자 사이의 임피던스가 전 주파수 영역에 걸쳐 최대한 낮은 값을 유지하는 것이 적절한 전원면/접지면의 설계이다. 특히 소자가 소모한 전류에 의해 발생하는 전압 변동을 나타내는 자기 임피던스는 전원면/접지면 설계의 중요한 요소이다<sup>[9]</sup>.

그림 6(a)에 평행판 도파관과 제안된 구조의 자기 임피던스를 나타내었다. 200 MHz 부근을 제외한 나머지 영역에서의 전원면/접지면의 공진 모드가 억제된 특성을 볼 수 있다. 제안된 구조에 저주파에서의 GBN/SSN 생성을 억제하기 위하여 디커플링 커패시터를 사용할 경우 200 MHz에서의 공진 모드 또한 제



(a)



(b)

그림 6. (a) 제안된 구조의 자기 임피던스, (b) 디커플링 커패시터의 정전 용량에 따른 임피던스 변화

Fig. 6. (a) Self-impedance of proposed structure, (b) variation of self-impedance with capacitance of decoupling capacitor.

어할 수 있다. 그림 6(b)는 제안된 구조의 포트 1에 정전용량이 각각 100 pF, 10 nF, 100 nF인 디커플링 커패시터를 추가하여 측정된 자기 임피던스를 비교한 것이다. 제안된 구조에 디커플링 커패시터를 함께 사용할 경우, 저주파 영역을 포함한 거의 대부분 영역에서 구조적 병렬 공진 모드가 억제되어 일반적인 평행판 도파관에 비해 낮은 임피던스를 유지함을 확인하였다.

### 3-3 EMI Radiation 억제

PCB는 레이아웃 집적도가 증가하면서 다층의 기

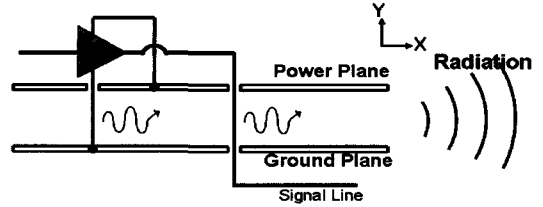
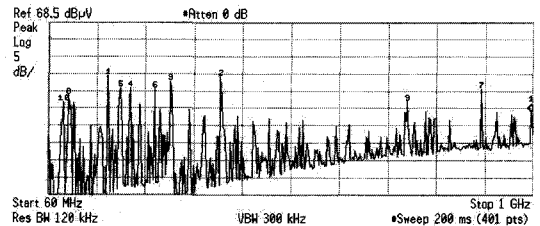


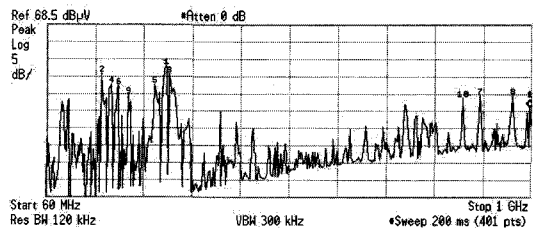
그림 7. 비아에 의한 EMI radiation  
Fig. 7. EMI radiation due to the via.

판 형태를 가지게 된다. 그에 따라 신호 비아나 전원부 비아의 수가 늘어나게 되고, 회로의 고성능 구현을 위하여 클럭이나 신호의 주파수가 높아져 이들에 의한 잡음이 증가하게 된다. 전원면/접지면 사이에 비아를 통해 여기되는 잡음은 PCB의 열린 외곽면을 통해 EMI radiation을 발생시킨다. 그림 7에 PCB에서 발생할 수 있는 EMI radiation을 나타내었다.

제안된 구조가 갖는 EMI 특성을 전자파 무반향실 내에서 실제 측정을 통하여 확인하였다. 제안된 구조의 포트 1에 잡음을 인가한 상태로 3 m 떨어진 거



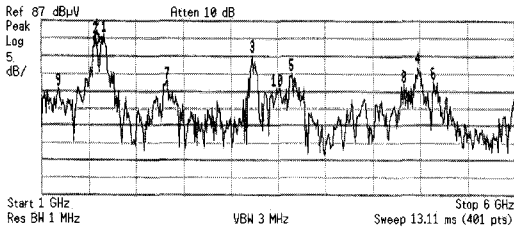
(a) 평행판 도파관  
(a) Reference board



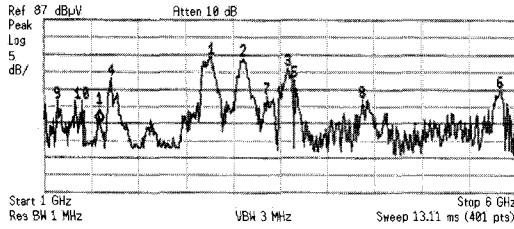
(b) 제안된 구조  
(b) Proposed structure

그림 8. 1 GHz 이내 영역, X 방향에서의 EMI radiation 측정

Fig. 8. Measured EMI radiation below 1 GHz at X direction.



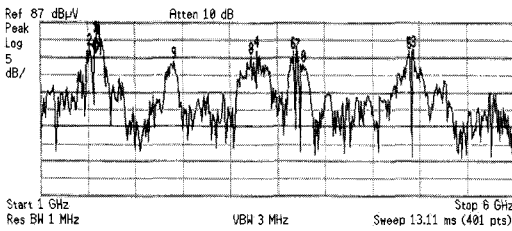
(a) 평행판 도파관  
(a) Reference board



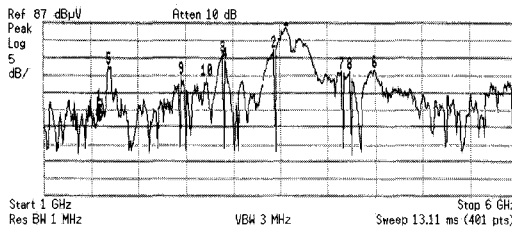
(b) 제안된 구조  
(b) Proposed structure

그림 9. 1 GHz 이상 영역, X 방향에서의 EMI Radiation 측정

Fig. 9. Measured EMI Radiation above 1 GHz at X direction.



(a) 평행판 도파관  
(a) Reference board



(b) 제안된 구조  
(b) Proposed structure

그림 10. 1 GHz 이상 영역, Y 방향에서의 EMI Radiation 측정

Fig. 10. Measured EMI Radiation above 1 GHz at Y direction.

리에서 60 MHz~1 GHz까지는 bi-log 안테나를, 1~6 GHz까지는 horn 안테나를 이용하여 전원면/접지면의 열린 외곽면을 통하여 방사되는 전장의 세기를 각각 측정하였다. 비교 대상으로 일반적인 평행판 도파관의 EMI 특성을 함께 측정하였으며, 그림 8과 그림 9에 각각 측정된 주파수 영역에서의 특성을 나타내었다. 그리고 제안된 전원면에 슬롯이 많은 특징을 고려하여 전원면과 수직한 방향에서의 측정값을 그림 10에 나타내었다.

그림 8, 9에서 볼 수 있듯이 제안된 구조의 저지대역에 해당하는 주파수 영역에서의 EMI radiation이 일반적인 평행판 도파관에 비하여 낮게 측정되었다. 특히 390 MHz, 83.3 dB μV, 70 dB μV, 73.7 dB μV의 침투치가 43 dB μV, 70.2 dB μV, 57.5 dB μV, 58.4 dB μV로 각각 낮아졌음을 확인할 수 있다. 또한 전원면상의 많은 슬롯에도 불구하고 낮은 EMI radiation 특성을 보임을 그림 10을 통해 확인하였다.

#### IV. 결론

본 논문에서는 각 패드를 잇는 선로의 길이를 늘임으로써 GBN/SSN이 집중적으로 분포하는 1 GHz 이하 영역에서의 차단 특성을 향상시킴과 동시에 이중 셀(hybrid-cell) 구조를 이용하여 넓은 주파수 영역에서 뛰어난 GBN/SSN 억제 특성을 보이는 전원면을 제안하였다. 제안된 구조는 -30 dB 차단 주파수가 370 MHz로 저주파 영역에서의 특성을 향상시켰을 뿐 아니라, LC 네트워크를 이루는 실질적인 주기를 줄임으로써 저지대역의 대역폭 또한 7.9 GHz(0.37~8.27 GHz)로 넓힐 수 있었다.

제안된 전원면은 일반적인 평행판 도파관에 비해 전원면과 접지면 사이의 공진 모드가 현격히 억제되었으며, 200 MHz 부근을 제외한 대부분 영역에서 낮은 임피던스 값을 유지하였다. 제안된 구조에 GBN/SSN의 생성을 억제하기 위하여 디커플링 커패시터를 사용할 경우 200 MHz 부근의 공진 모드 또한 제거가 가능하여 더욱 낮은 임피던스를 유지할 수 있었다.

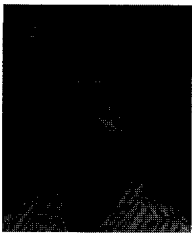
또한 전원면의 많은 슬롯에도 불구하고 평행판 도파관의 형태를 갖는 일반적인 전원면/접지면에 비하

여 낮은 EMI radiation 특성을 보였다.

### 참 고 문 헌

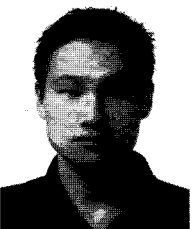
- [1] S. Van den Berghe, F. Olyslager, D. De Zutter, J. De Moerloose, and W. Temmerman, "Study of the ground bounce caused by power plane resonances", *IEEE Trans. Electromagn. Compat.*, vol. 40, no. 2, pp. 111-119, May 1998.
- [2] G. T. Lei, R. W. Techentin, and B. K. Gilbert, "High frequency characterization of power/ground plane structures", *IEEE Trans. Microwave Theory Tech.*, vol. 47, no. 5, pp. 562-569, May 1999.
- [3] T. L. Wu, S. T. Chen, J. N. Huang, and Y. H. Lin, "Numerical and experimental investigation of radiation caused by the switching noise on the partitioned DC reference planes of high speed digital PCB", *IEEE Trans. Electromagn. Compat.*, vol. 46, no. 1, pp. 33-45, Feb. 2004.
- [4] R. Abhari, G. V. Eleftheriades, "Metallo dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high-speed circuits", *IEEE Trans. Microwave Theory Tech.*, vol. 51, pp. 1629-1639, Jun. 2003.
- [5] T. Kamgaing, O. M. Ramahi, "A novel power plane with integrated simultaneous switching noise mitigation capability using high impedance surface", *IEEE Microwave Wireless Comp. Lett.*, vol. 13, pp. 21-23, Jan. 2003.
- [6] T. L. Wu, C. C. Wang, Y. H. Lin, T. K. Wang, and G. Chang, "A novel power plane with super wide-band elimination of ground bounce noise on high speed circuits", *IEEE Microwave Wireless Comp. Lett.*, vol. 15, no. 3, pp. 174-176, Mar. 2005.
- [7] T. L. Wu, Y. H. Lin, T. K. Wang, C. C. Wang, and S. T. Chen, "Electromagnetic bandgap power/ground planes for wideband suppression of ground bounce noise and radiated emission in high-speed circuits", *IEEE Trans. Microwave Theory Tech.*, vol. 53, no. 9, Sep. 2005.
- [8] T. L. Wu, T. K. Wang, "Embedded power plane with ultra wide stop band for simultaneously switching noise on high speed circuits", *Electronics Lett.*, vol. 42, no. 4, Feb. 2006.
- [9] 감동근, 김형수, 김정호, "고속 PCB 설계-Decoupling capacitor design", *IDEC Newsletter*, vol. 89, pp. 16-21, Nov. 2004.

### 김 동 엽



2007년 2월: 아주대학교 전자공학부 (공학사)  
 2007년 3월~현재: 아주대학교 전자공학부 석사과정  
 [주 관심분야] 초고주파 수동 소자 개발 및 RFIC

### 주 성 호



2005년 2월: 아주대학교 전자공학부 (공학사)  
 2006년 3월~현재: 아주대학교 전자공학부 석사과정  
 [주 관심분야] 초고주파 수동 소자 개발 및 RFIC, EMI

### 이 해 영



1990년 2월: 아주대학교 전자공학부 (공학사)  
 1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1982년~1986년: 국방부 연구사무관  
 1989년 12월: The University of Texas at Austin (공학박사)  
 1990년~1992년: LG 기술원 (기초 1실장)  
 1992년~현재: 아주대학교 전자공학부 정교수  
 [주 관심분야] 고속/고밀도 System in Package, RF 소자 및 광전소자의 설계/측정, 고속 반도체 테스트 기술