

---

# 핸즈프리 통신을 위한 다중채널 음성픽업 임베디드 시스템 설계

주형준\* · 박찬섭\* · 전재국\* · 김기만\*

A Design of Multi-channel Speech Pickup Embedded System for  
Hands-free Communication

Hyng-jun Ju\* · Chan-sub Park\* · Jae-kuk Jeon\* · Ki-man Kim\*

## 요 약

본 논문에서는 핸즈프리 음성 통신의 통화 품질 개선을 위해 ALTERA Nios-II 임베디드 프로세서를 이용하여 다중채널 음성 픽업 시스템을 구현하였다. 다중채널 음성 픽업 시스템은 zero-padding을 포함한 보간기를 갖는 지연-합 빔 형성기를 이용하였다. 구현된 음성 픽업 임베디드 시스템은 컴퓨터 시뮬레이션(MATLAB)과 범용 DSP 프로세서(TMS320C6711)을 이용하여 처리한 결과와 일치하였다. 구현된 방법은 비용과 설계시간 측면에서 이전의 설계 방법들보다 효율적이다. 설계 결과로써 하드웨어의 LE(Logic Element)는 칩 상에서 3,649/5,980(61%)을 사용하였다.

## ABSTRACT

In this paper we propose a multi-channel speech pickup system for calling quality enhancement of hands-free communication using ALTERA Nios-II processor. Multi-channel speech pickup system uses Delay-and-Sum beamformer with zero-padding interpolator. This paper implements speech pickup system using the Nios-II processor with real-time I/O data processing speed. The proposed speech pickup embedded system shows a good agreement with those of computer simulation(MATLAB) and conventional DSP processor(TMS320C6711) result. The proposed method is effective more than previous methods in cost and design processing time. As a result, LE(Logic Element) of hardware used 3,649/5,980(61%) on a chip.

## 키워드

빔 형성기, 보간법, 임베디드 시스템, FPGA

## I. 서 론

지난 몇 년간 모바일폰은 일반 대중들에게 널리 보급되어왔다. 이미 대중화가 되어버린 이러한 모바일폰은 그 사용에 있어서 물리적, 정신적으로 많은 문제점들을 가져오게 되었다. 특히 차량 내에서 모바일폰을 사용할

경우 핸드폰의 안테나로부터 발생하는 전자파에 따른 피해와 운전에 대한 집중력 감소는 교통사고를 야기할 수 있는 큰 문제이다. 그에 따라 차량 내에서 이를 해결하기 위한 방법이 핸즈프리 통신(Hands Free Communication)이지만 현재의 핸즈프리 통신은 주변잡음의 영향을 크게 받아 통신에 많은 장애가 따르는 문제점을 가지고 있다.

따라서 이러한 통신 장애를 극복하기 위해서는 주변 잡음을 제거하고 원하는 음성만을 꽉업하여 통신을 하는 기법이 필요하다. 그래서 다수의 마이크로폰 어레이를 이용하여 이러한 문제점을 극복할 수 있는 방안이 모색되었다. 센서 어레이에는 수십년간 많은 신호처리 용용 분야에서 사용되어왔다. 레이더와 소나 시스템에서 어레이에는 목표물의 검출뿐만 아니라 위치추적을 위해 사용되었고, 안테나 어레이에는 텔레통신 채널의 용량을 늘리기 위해 사용되었다[1].

본 논문에서는 음성 신호 취득을 위하여 가장 대표적이고 하드웨어로 구현했을 때 그 알고리즘 접근이 용이한 지연-합 범 형성기를 설계하였다. 이는 신호가 마이크로폰에 도달하는 전파시간으로 신호원을 간단히 구하게 된다. 범 형성기의 하드웨어 설계에 있어서 초기에는 DSP프로세서만을 이용한 설계가 이루어져 왔으나, 최근 FPGA제작 기술의 발전에 따라 FPGA를 이용한 범 형성기 설계가 일부 이루어지고 있다. 이는 하드웨어 집적기술의 발달로 응용 알고리즘을 하드웨어로 구성하는데 있어서 범 형성기의 경우처럼 제어를 많이 받지 않는 독립적인 계산 알고리즘의 경우는 고사양의 FPGA로 구현이 가능하기 때문이다. 특히 최근 응용 프로그램에 활용할 수 있는 Gate Array의 집적도가 높아지고 가격이 저렴해지면서 그에 대한 관심도는 극대화되고 있다[2]. 1995년 Russell J.는 기본적인 디지털 신호처리 알고리즘들을 FPGA에 적용시킴으로써 그 성능들을 비교하였다 [3]. 그로부터 1998년 Paul Graham은 소나 신호처리를 위해 FPGA Multicomputer Board를 개발하여 범 형성기를 구현하였으며[4], 이후 CORDIC알고리즘에 기반한 FPGA 범 형성기를 설계하여, 기준의 75%로 성분으로 시스템을 구현하여 DSP프로세서를 이용한 범 형성기와 비교하였다[5]. 국내에서는 최근에서야 그 연구 결과가 발표되고 있는데, 아날로그 디바이스 사의 SHARC 계열의 DSP를 적용하여 실시간 처리가 가능한 범 형성기를 구현한 사례가 있다[2].

본 논문에서는 zero-padding 보간법을 사용하여 해상도를 높임으로써 입력 받은 데이터의 음질을 개선하는 범 형성기를 설계하였다. 또한 실시간 데이터 처리와 구현된 하드웨어의 집적성을 위하여 FPGA로써 시스템을 구현하였다. 그러나 단순한 FPGA만으로는 범 형성기의 실시간 처리가 어려우며 데이터 처리 과정에서의 해상도가 떨어지게 된다. 따라서 본 논문에서 구현한 디바이

스는 ALTERA사의 Nios-II Processor이며, 이는 Gate Array뿐만 아니라 DSP 블록과 자체 프로세서 코어를 제공한다. 이러한 Nios-II Processor의 이용을 통해 데이터 입출력의 효율성 상승뿐 아니라, 다른 프로세서 등을 이용해 구현한 시스템보다 성능 대 비용의 효율을 증가시킬 수 있는 장점이 있으며, 실제 프로세서 설계 시간 또한 단축시킬 수 있다.

## II. 범 형성 알고리즘

지연-합 범 형성 기법은 어레이 신호처리 알고리즘 가운데 가장 오래되고 간단한 기본 알고리즘 구조이다. 음원으로부터 방사된 신호는 마이크로폰 배열까지 전파되는데 있어서 각각의 상대적인 시간지연을 가지고 수신된다. 그림 1은 음원에서 발생한 신호가 마이크로폰과의 거리 차이만큼 시간 지연된 상태로 입력되는 것을 보여준다.

이와 같은 마이크로폰의 입력 값은 식(1)과 같이 나타낼 수 있다.

$$y_i[n] = y[n - D_i] + v_i[n] \quad (1)$$

여기서  $i$ 는 마이크로폰 번호,  $D_i$ 는 시간지연,  $v_i$ 는 첨가 잡음을 의미한다. 이렇게 시간 지연을 가지고 입력된 신호들은 해당하는 지연 동작을 거친 후 가중치를 곱하고, 모든 채널에 대한 신호를 더함으로써 범 출력을 얻을 수 있다. 그 관계식은 식 (2)와 같다.

$$\tilde{y}_i[n] = \frac{1}{N} \sum_{i=0}^{N-1} y_i[n + D_i] = y[n] + v[n] \quad (2)$$

여기서  $v[n]$ 은 부가 잡음 성분이며,  $N$ 은 마이크로폰의 개수이다.

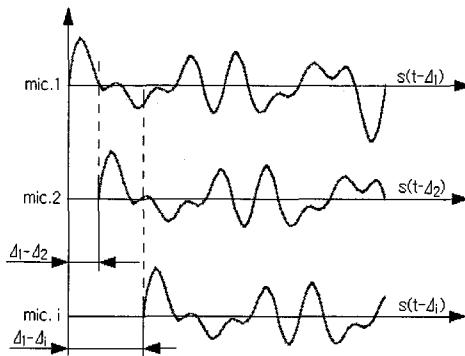


그림 1. 마이크로폰에 수신된 신호의 시간 지연  
Fig. 1. Time Delay of Received Signal at Microphone.

지연-합 빔 형성기의 성능을 높이기 위한 방법에는 여러 가지가 있지만, 그 중 하나가 다량의 입력 데이터를 확보하는 것이다. 하지만, 높은 해상도를 갖는 데이터를 취득할 경우 그 처리에 있어서 매우 큰 용량의 메모리와 고사양의 CPU가 필요로 하게 된다. 그에 따라 본 논문에서는 zero-padding 보간법을 이용하여 입력단에서 데이터를 전처리 해줌으로써 높은 해상도의 데이터를 확보하게 된다. zero-padding 기법은 신호 샘플들 사이에 원하는 개수만큼 '0'의 값들을 채워준 후 저역통과 필터를 통과함으로써 신호 샘플 사이의 값들을 보간해주는 방법이다. 본 논문에서는 신호 샘플 사이에 세 개의 '0'의 값을 넣어줌으로써 샘플링 주파수를 4배로 올려주었다. 보간기를 갖는 지연-합 빔 형성기의 블록선도는 그림 2와 같다.

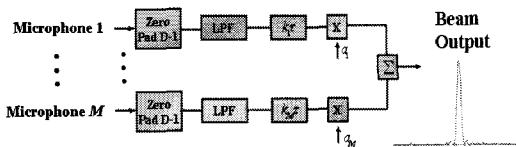


그림 2. 보간기를 갖는 지연-합 빔 형성기  
Fig. 2. Delay-and-Sum beamformer with interpolator.

### III. 빔 형성기의 임베디드 시스템 설계

앞 장에서 살펴본 보간기를 갖는 빔 형성기를 실제 ALTERA 사의 Nios-II Processor를 이용하여 구현하고 그

성능을 검증하였다. 본 논문에서 설계된 빔 형성기는 4 채널의 마이크로폰으로부터 입력을 받도록 설계되었다. 헨즈프리 통신을 위한 빔 형성기이므로 일반적인 음성의 사양에 맞춰서 설계가 이루어졌다. 음성의 경우 코덱에서 16비트 양자화와 8kHz 샘플링을 거치게 된다. 하지만, 본 논문에서는 FPGA 칩의 LE(Logic Element) 비대화의 이유로 8비트 양자화된 샘플을 입력 받도록 설계하였다. 하지만, zero-padding 보간법을 통과한 이후 신호의 양자화 비트를 16비트로 상승시키고, zero-padding 인수를 '4'로 설정함으로써 샘플링 주파수를 네 배로 올렸다. 그에 따른 데이터의 흐름은 그림 3과 같다. 4채널로 입력된 신호는 SRAM에 잠시 저장되어 zero-padding 보간법을 거쳐 데이터 해상도를 높인다. 그 신호는 다시 시간 지연 연산을 거친 후 모두 합해져 출력 값을 얻게 되는 것이다.

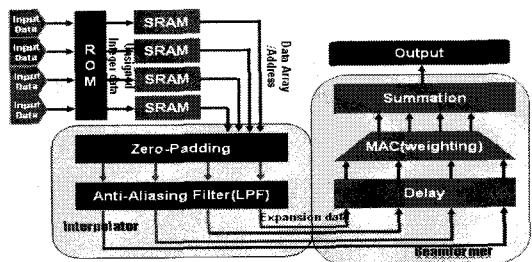


그림 3. 보간기를 갖는 지연-합 빔 형성기의 데이터 흐름  
Fig. 3. Data flow of Delay-and-Sum beamformer with interpolator.

기존에 연구되었던 빔 형성기들은 DSP나 FPGA를 이용하여 설계되었는데, 이들은 모두 공통적으로 데이터 입출력이나 동작 제어 부분에서 모두 DSP 프로세서를 사용하였다. 이렇게 구성하였을 경우 설계에 앞서 처음 세웠던 사양에 맞게 어느 정도의 최적화된 하드웨어 구성을 성취할 수 있다. 그러나 사양에 맞는 프로세서를 설계하고 직접 제작하는 과정은 무척이나 까다롭고, 시간도 오래 걸리며 비용 또한 많이 들게 된다. 실제로 이러한 시스템을 위한 프로세서의 설계는 몇 주에서 몇 개월씩 걸리게 된다. 더욱이 사용 중 사양의 업그레이드나 불필요한 소자를 없애고자 할 경우 프로세서를 새로 설계하고 구입해야 하는 부담이 따르게 된다.

그에 따라 본 논문에서는 ALTERA 사의 Nios-II Embedded Processor를 사용하여 설계하였다. Nios-II Processor는 소프트 코어 프로세서로서 설계자가 원하는 대로 주변장치, 메모리, 그리고 인터페이스 특성을 선택하여 사양에 맞게 프로세서를 저렴한 비용으로 커스터マイ제이션 할 수 있다. 그리고 그 설계 과정도 소프트웨어를 통해 모두 제어하므로 기존의 하드 코어 프로세서의 설계 과정보다 간단하다고 할 수 있다. 또한 코어 프로세서뿐만 아니라, 높은 수행능력을 지닌 FPGA가 칩 내에 함께 들어있기 때문에 프로세서와 FPGA간의 연동도 같은 소프트웨어 내에서 제어할 수가 있다[6].

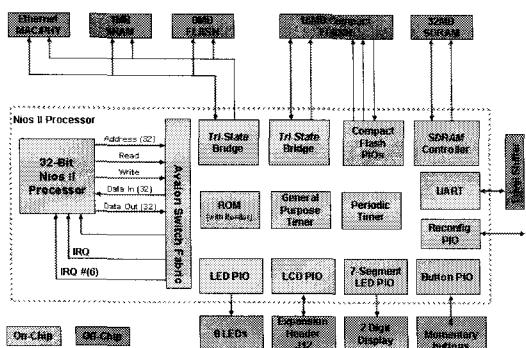


그림 4. Nios-II 표준 설계 블록선도  
Fig. 4. Nios-II standard design block diagram.

Nios-II Processor는 32비트 RISC 프로세서 형태로써 표준 설계 블록선도가 그림 4에 있다. SRAM, Flash, Ethernet, MAC, LCD, LED 등의 일반적 주변장치와 ROM, Timer, UART등의 내부장치를 확인할 수 있다. 그 중 속도 향상을 위해 적용된 Nios-II의 핵심 내부 장치는 ‘Avalon Switch Fabric’이다. 이는 다수의 동시 데이터 전송을 가능하게 해주며 뛰어난 시스템 처리 효율을 보여 준다[7].

이러한 Nios-II에 대한 배경 하에 빔 형성기를 위한 프로세서를 Quartus II 와 SOPC Builder를 이용하여 설계하였다. 먼저 Nios-II 커스텀 보드를 소프트웨어 상에서 Targeting하기 위한 보드 설계를 수행하였다. 본 논문의 설계에 사용된 보드는 ALTERA사의 협력업체에서 만든 보드로써 그 인터페이스가 Quartus II 상에 등록되어 있지 않다. 그래서 설계된 시스템을 보드에 Targeting하기 위해서는 보드의 인터페이스 정보를 가지고 있는

Target 보드를 먼저 생성하여 Quartus II에 등록을 하고 사용을 해야 한다. 그 결과를 그림 5에 나타내었다. 설계 결과 기본 칩의 LE 점유율은 2,591/5,980으로 43%를 차지하였다.

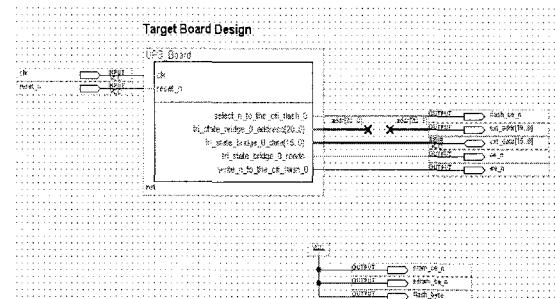


그림 5. UP3 Target 보드 설계  
Fig. 5. UP3 Target board design.

설계에 사용된 보드는 ALTERA의 협력업체인 SLS(System Level Solution)사에서 제작한 UP3(University Program)보드로써 인터페이스를 적용하기 위한 Target 보드이므로 ‘Avalon Switch Fabric’과 사용자 로직과의 인터페이스를 연결해주는 ‘Tri-State Bridge’를 등록하였으며, 기본 리셋 동작을 담당하는 플래쉬 메모리, 그리고 SRAM과 플래쉬 메모리에 각각 Vcc를 넣어주었다. 이를 통해 커스텀 보드를 등록하고, 실제 빔 형성기에 사용될 프로세서를 설계하였다. 설계된 시스템은 입력 채널이 4개이므로 8비트 입력 단자를 4개 넣고 16비트 출력 포트를 한 개 넣었다. 그리고 더욱 효율적이고 방대한 양의 데이터를 처리하기 위한 커스텀 SRAM(IS61C6416)을 하나 더 부착하였다. 장치들 간의 통신을 위해 ‘Avalon Switch Fabric’을 부착하고, 프로세서 내부 데이터와 버스를 관리할 플래쉬와 SRAM을 부착하였다. 그리고 실질적으로 더욱 빠른 데이터 전송을 위해 DMA(Direct Memory Access)를 부착하여 데이터 입출력 속도를 향상시켰다. 그리고 최종적으로 어드레스 관리를 최적화해주는 부가 회로를 설계하여 부착하였다. 그에 따라 구성된 시스템이 그림 6에 있다. Cyclone EP1C6Q240C8 칩상에서 전체 LE 3,649/5,980(61%)을 사용하였다.

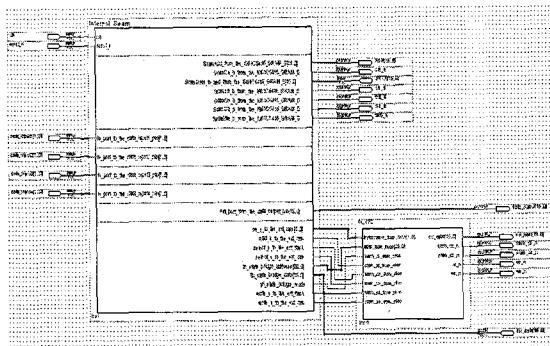


그림 6. 보간기를 갖는 Delay-and-Sum 빔 형성기를 위한 시스템

Fig. 6. A system of Delay-and-Sum beamformer with interpolator.

#### IV. 시뮬레이션 및 시스템 적용 결과 고찰

본 논문에서 설계한 빔 형성기는 크게 두 부분으로 구성된다. 이는 zero-padding 보간법과 Delay-and-Sum 처리 과정이다. 이 과정의 알고리즘을 앞에서 설계한 시스템에 적용시켜 전체 시스템을 설계하였다. 본 절에서는 설계된 시스템을 세 가지 방법으로 분석하였다. 첫째는 MATLAB을 통한 시뮬레이션이며, 두 번째는 TI사의 TMS320C6711 DSP 프로세서를 통해 결과를 확인하였다. 끝으로 본 논문에서 Nios-II Processor를 통해 설계된 시스템에 적용시켜 그 결과를 앞선 두 가지 방법과 비교, 분석하였다.

##### 4.1. Zero-padding 보간법에 대한 결과 고찰

Zero-Padding 보간법이 제대로 수행되는지 알아보기 위해 우선 사인파를 생성하였다. 사인파는 샘플링 주파수가 8kHz이고 생성된 신호는 500Hz의 특성을 가진다. 이 신호는 20,000개의 샘플, 즉 2.5초의 길이를 가진다. 먼저 MATLAB을 통한 시뮬레이션 결과, 그림 7(a)에 생성된 신호를 나타내었다. 결과 확인을 위해 50개의 데이터 샘플만 잘라서 확인하였다. 그림 7(b)는 보간된 신호이다. 원 신호와 비교하여 데이터의 샘플수는 50개에서 200개로 늘어났다. 즉, 샘플링 주파수가 4배로 늘어났다는 것을 의미한다. 파형을 통해 알 수 있지만, 원래 신호와 비교하여 신호의 특성 주파수가 변하지 않았음을 확인할 수 있다. 결국, 보간법이 제대로 수행되었음을 확인하였다.

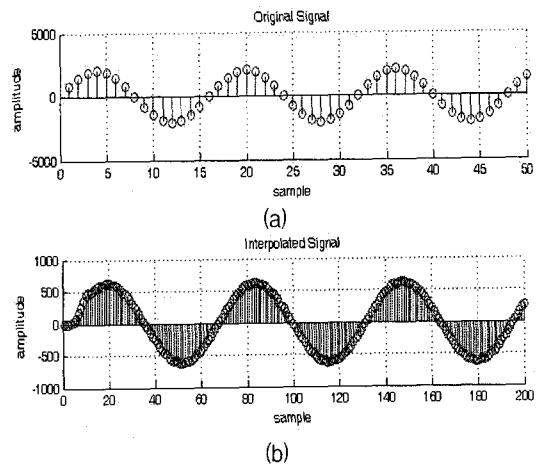


그림 7. Zero-padding 보간된 사인 신호의 시뮬레이션 결과, (a) 원래신호, (b) 보간된 신호

Fig. 7. Simulation result of zero-padding interpolated sign signal, (a) original signal, (b) interpolated signal.

다음은 같은 신호에 대해서 TI사의 TMS320C6711 DSP 프로세서를 사용하여 실제 처리를 하여 오실로스 코프로 확인하였다. 생성된 신호가 그림 8(a)에 나타나

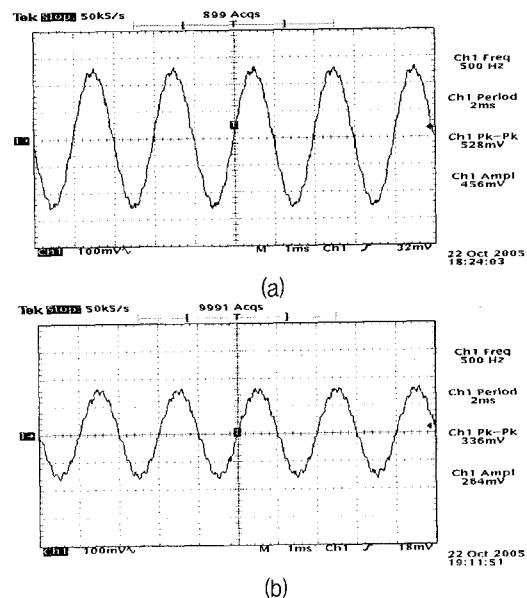


그림 8. Zero-padding 보간된 사인 신호의 DSP 처리 결과, (a) 원래신호, (b) 보간된 신호

Fig. 8. DSP result result of zero-padding interpolated sign signal, (a) original signal, (b) interpolated signal.

있다. 그림 8(b)에는 보간된 신호를 확인할 수 있다. 시뮬레이션과 같이 원 데이터 사이의 값들을 제대로 보간하고 있음을 확인할 수 있다.

끝으로 본 논문에서 설계된 시스템에서의 zero-padding 보간법의 결과가 그림 9에 있다. 설계된 시스템에 사용된 보드는 주변 장치로 코덱이나 실제 데이터의 입출력이 가능한 장치가 장착되어 있지 않다. 그래서 시스템 Running을 통해 획득한 데이터를 수집하여 엑셀로 그린 결과이다. 그림을 통해 확인할 수 있듯이 보간된 값들이 제대로 출력되고 있음을 확인할 수 있다.

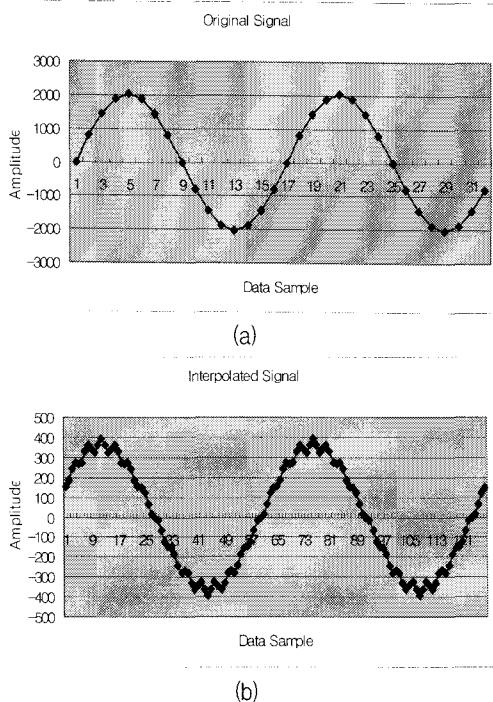


그림 9. Zero-padding 보간된 사인 신호의 설계된 시스템에서 처리 결과, (a) 원래신호, (b) 보간된 신호  
Fig. 9. Processing result of zero-padding interpolated sign signal on designed system, (a) original signal, (b) interpolated signal.

#### 4.2. 보간기를 가지는 Delay-and-Sum 빔 형성기에 대한 결과 고찰

앞에서 검증된 보간법에 따라 해상도가 높아진 신호를 이용하여 설계된 빔 형성기에 적용하여 그 결과를 확인하였다. 사용된 신호는 마이크로폰 배열의 중심으로부터  $30^{\circ}$  방향에서 재생되며, 서로 5 샘플의 지연을 가지

고 4채널로 입력되는 신호를 사용하였다. 그 신호는 각각 보간법을 거친 후 설계된 빔 형성기 시스템으로 입력되어 최종 출력 빔을 형성하게 된다. 출력 빔 패턴의 결과를 예상하기 위하여 먼저 MATLAB을 이용하여 시뮬레이션을 한 결과가 그림 10에 있다.

출력 파워를 확인한 결과  $30^{\circ}$ 에서 이득이 가장 집중되는 것을 알 수 있다. 일반적으로 주 빔과 부엽과의 이득 차는  $30dB$  이상에서 원활한 빔 수행능력이 수행되는 것으로 알려져 있다. 그러나  $30^{\circ}$ 에서 가장 높은 이득을 보이긴 하지만, 다른 부엽들과의 이득 차이가  $20dB$ 정도이다. 이러한 이유는 시간 축 해상도 및 빔 형성기에서 사용되는 센서의 채널수의 문제이다. 특히 채널의 수는 빔 형성기의 성능에 막대한 영향을 끼친다. 그에 따라 앞서 설명된 보간법과 채널수의 확장을 통해 성능을 개선 할 수 있을 것이다.

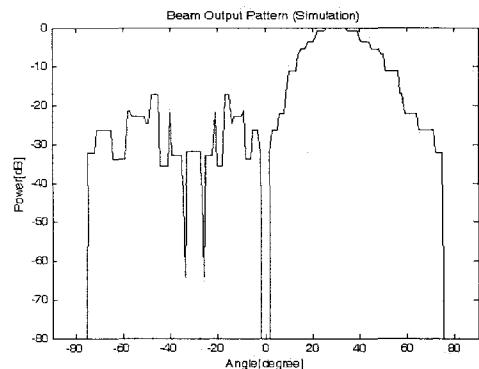


그림 10. 시뮬레이션을 이용한 출력 빔 패턴 (4채널, 지향각  $30^{\circ}$ )  
Fig. 10. Output beam pattern using simulation (4 channel, steering  $30^{\circ}$ )

본 논문에서는 보유하고 있는 Nios-II 보드의 한계로 인하여 프로토타입의 성능 검증으로써 4채널만을 사용하여 시스템에 적용하였다. TI사의 TMS320C6711 DSP 프로세서를 이용한 결과가 그림 11에 있다. 출력으로 받은 데이터는 MATLAB에서 불러들여 dB값으로 확인하였다.

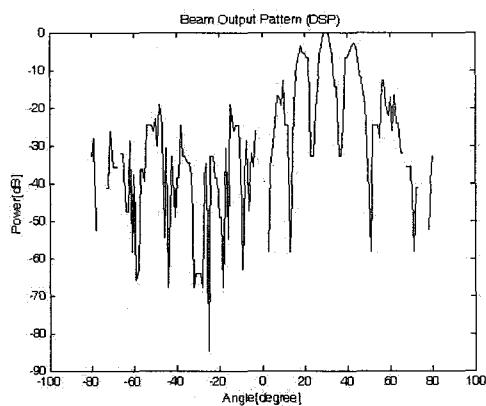


그림 11. DSP 프로세서를 이용한 출력 빔 패턴  
Fig. 11. Output beam pattern using DSP processor.

지향각인  $30^{\circ}$  부근에서 이득이 가장 집중되고 있으나  $10^{\circ} \sim 50^{\circ}$  영역에서 주 빔을 제외한 부엽의 이득이 다소 높은 것으로 나타난다. 이는 MATLAB의 시뮬레이션과 실제 하드웨어의 연산 시에 해상도의 차이로써 발생하는 결과라 할 수 있다.

마지막으로 본 논문에서 설계한 Nios-II Processor를 이용한 결과는 그림 12에 나타내었다. 빔 출력의 패턴은 DSP 프로세서로 처리했을 경우와 비슷하였다. 각각의 부엽들에서 약간의 이득차이를 보이긴 하지만, 이들은 무시될 수 있는 값들이다. 즉, 필터의 과정이나 시간 지연을 구하기 위한 과정에서의 곱셈 연산 등의 처리에서 해상도나 속도가 떨어지지 않음을 확인하였다.

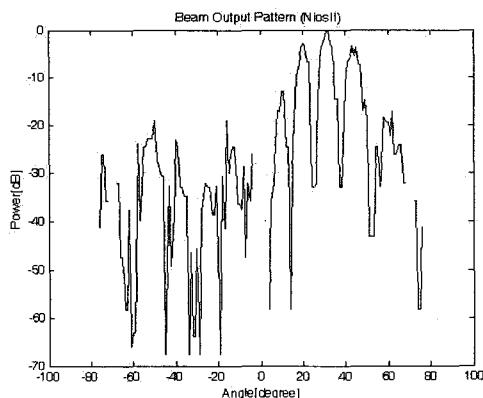


그림 12. Nios-II 프로세서를 이용한 출력 빔 패턴  
Fig. 12. Output beam pattern using Nios-II processor.

## V. 결 론

본 논문에서는 차량 주행 중 헌즈프리의 사용에 있어서 차량 내, 외의 잡음으로 인해 원활한 통신에 장애가 따르는 문제점을 극복하기 위해 원하는 음성만을 꽉 업하여 통신을 하는 기법으로 빔 형성 기법을 적용하였다. 빔 형성기는 하드웨어를 위해 고전적이면서도 그 접근이 용이한 Delay-and-Sum 빔 형성기를 선택하였다. 코덱을 통해 입력 받는 데이터만으로는 신호의 해상도가 떨어지기 때문에, 빔 형성 절차에 앞서 보간법을 적용하였다.

보간기를 갖는 Delay-and-Sum 빔 형성기는 ALTERA 사의 Nios-II Processor를 이용하여 설계되었다. 기존의 SHARC DSP만을 이용하여 설계된 빔 형성기의 경우 충분한 데이터의 확보가 힘들어 많은 메모리의 확장과 파이프라인 형태로 DSP간 연결이 필요하였다. 또한 FPGA를 이용해 빔 형성기를 설계한 경우 데이터 입, 출력을 제어하는 부가적인 프로세서 개념의 하드웨어를 부착하였는데, 이 경우 설계 사양에 맞춰 하드웨어를 제작하게 되므로 많은 시간을 투자해야 한다는 것과 비용이 많이 들게 된다. 특히 사양에서 벗어난 빈 공간을 감수해야 하며, 그에 따라 설계 목적 외에는 사용이 힘들다는 단점이 있었다. 즉, 시스템의 업그레이드가 필요할 경우 하드웨어를 새로 설계, 제작해야 하는 결점이 있다.

따라서 본 논문에서는 이러한 결점들을 극복하고자 ALTERA 사의 Nios-II Processor를 이용하여 빔 형성기의 입, 출력을 제어하고 연산의 성능을 향상시켰다. 실제로 Nios-II는 32비트 RISC구조 임베디드 프로세서로써 200Mips의 속도를 제공한다. 이 Nios-II를 통해 설계된 본 논문의 빔 형성기는 ‘Avalon Switch Fabric’을 통한 버스 관리를 통해 일반 프로세서보다 향상된 대역폭을 확보하였으며, 커스텀 인스트럭션으로 프로세서에 DMA와 SRAM을 추가함으로써 소프트웨어상으로 실행될 때 보다 빠른 수행 결과를 얻었다. 소프트웨어적인 결과로써 빔 형성 4채널의 마이크로폰을 통해 입력 받은 신호는 Zero-padding 보간법을 사용한 결과 샘플링 주파수가 4배 향상되었다. 이 신호로써 빔 형성 알고리즘을 통해 얻은 출력 결과는 부동 소수점 연산을 통해 DSP로 처리한 결과에 비해 해상도 측면에서 떨어지지 않는 결과를 확인하였다. 이렇게 설계된 빔 형성기는 LE가 3,649/5,980 만큼 사용되었다. 이는 더 많은 응용분야의

적용이 가능함을 말해주며, 더욱 사양이 높은 Nios-II 보드를 사용할 경우 더욱 많은 채널의 추가와 응용 알고리즘을 적용할 수 있음을 말해준다.

### 참고문헌

- [1] Seungil Kim, Optimum Beamformer using Correlated Interferences and its Application to Telematics System, Ph.D dissertation, Yonsei University, 2004.
- [2] 김상균, 김기영, 오선택, 김형곤, “FPGA를 적용한 농동 소나 신호처리 시스템의 시간영역 범형성기 설계,” 제20회 수중음향 학술발표대회, pp.67-70, Oct. 2005.
- [3] Russell J. Petersen and Brad L. Huntchings, “An assessment of the suitability of FPGA-based systems for use in Digital Signal processing,” Proceeding of the 5th International Workshop on Field-Programmable Logic and Applications, pp.293-302, September, 1995.
- [4] Paul Graham and Brent Nelson, “FPGA-Based Sonar Processing,” Proceedings of the 1998 ACM/SIGDA sixth International Symposium on Field Programmable Gate Arrays (Monterey, CA, USA, 1998), pp.201-208.
- [5] Paul Graham and Brent Nelson, “FPGAs and DSPs for Sonar Processing - Inner Loop Computations,” Technical Report CCL-1998-GN- 1, Configurable Computation Laboratory, Electrical and Computer Engineering Department.
- [6] Peter Yiannacouras, Jonathan Rose, and J. Gregory Steffan, “The microarchitecture of FPGA-based soft processors,” Proceedings of the 2005 International Conference on Compilers, Architectures and Synthesis for Embedded Systems, pp.202-212, 2005.
- [7] ALTERA. Co. <http://www.altera.com/>

### 저자소개



주 형 준(Hyung-jun Ju)

2004년 2월 : 한국해양대학교 전파공학과 (공학사)  
2006년 2월 : 한국해양대학교 전파공학과 (공학석사)  
2006년 3월~현재 : 한국해양대학교 전파공학과 박사과정

※ 관심분야: 수중통신, 소나 신호처리, 센서 네트워크, DSP 및 FPGA 시스템 설계



박 찬 섭(Chan-sub Park)

2006년 2월 : 한국해양대학교 전파공학과 (공학사)  
2006년 3월~현재 : 한국해양대학교 전파공학과 석사과정

※ 관심분야: 수중통신, DSP, ARM 및 마이크로프로세서 하드웨어 구현



전재국(Jae-kuk Jeon)

2005년 2월 : 한국해양대학교 전파공학과 (공학사)  
2005년 3월~현재 : 한국해양대학교 전파공학과 석사과정

※ 관심분야: 수중통신, DSP, ARM 및 마이크로프로세서 하드웨어 구현



김기만(Ki-man Kim))

1988년 2월 : 연세대학교 전자공학과 (공학사)  
1990년 8월 : 연세대학교 전자공학과 (공학석사)

1995년 2월 : 연세대학교 전자공학과 (공학박사)  
1995년 3월~1996년 8월 : 연세대학교 의과대학 의용공학교실 (Fellow)

1996년 9월~현재 : 한국해양대학교 전파공학과 부교수

※ 관심분야: 수중통신, 소나 신호처리, 3차원 음향제어, 채널 추정, DSP 및 CPLD 구현