

## 극히 얇은 N<sup>+</sup>-P 실리콘 접합에서의 어발런치 현상

이 정 용<sup>†</sup>

<sup>†</sup>청주대학교 이공대학 전자정보공학부

### Avalanche Phenomenon at The Ultra Shallow N<sup>+</sup>-P Silicon Junctions

Jung Yong Lee<sup>†</sup>

<sup>†</sup>Div. of Electronics & Information Engineering, Cheongju University

#### ABSTRACT

Ultra thin Si p-n junctions shallower than 300Å were fabricated and biased to the avalanche regime. The ultra thin junctions were fabricated to be parallel to the surface and exposed to the surface without SiO<sub>2</sub> layer. Those junctions emitted white light and electrons when junctions were biased in the avalanche breakdown regime. Therefore, we could observe the avalanche breakdown region visually. We could also observe the influence of electric field to the current flow visually by observing the white light which correspond to the avalanche breakdown region. Arrayed diodes emit light and electrons uniformly at the diode area. But, the reverse leakage current were larger than those of ordinary diodes, and the breakdown voltage were less than 10V.

**Key Words :** shallow junction, avalanche, cold cathode

#### 1. 서 론

반도체 산업은 Si 기반 소자의 지속적인 개선을 요하고 있으며, 가장 중요한 문제는 실리콘 산화물 반도체(metal-oxide-semiconductor) 소자의 크기를 줄이는데 있다. 이와 같은 추세에 의하여 가까운 장래에 10 nm보다 얇은 접합깊이가 요구되게 될 것이다[1]. 본 연구에서는 현재의 기술로는 거의 극한에 가까운 300Å 보다 얇은 실리콘 n<sup>+</sup>-p 접합을 제조하였고, 그것의 일반적 전류-전압 특성 및 어발런치 특성을 관찰하였다. 어발런치 항복 현상은 반도체 소자의 동작에 있어서 가장 중요한 기본적 현상 중의 하나이다. MOS형 소자에서는 소자간의 전기적 절연을 위한 소자와 기판간의 역방향 바이어스의 한계를 측정해야할 필요가 있다. 그리고 극히 얇은 접합의 공정을 실험하고 극히 얇은 접합에서의 어발런치 항복의 고유한 특성, 즉 발광 및 전자방출의 특성을 관찰하였다. 전자방출 현상은 게이트 산화막에 열전자주입(hot electron injection)을 야

기하여 수명 및 기능을 저하시키므로 자세히 관찰해야 할 현상이다. 또한 어발런치에서의 전자방출 현상의 다른 응용 가능성을 고찰하기 위하여 접합부분은 실리콘 산화막층이 없이 외부로 노출되도록 하여, 접합부분에 대한 시각적 관찰이 가능하도록 하였다. 접합이 산화막이 없이 노출되었으므로, 본 실험 결과에서의 전류-전압 특성은 보호 산화막이 있는 접합에서의 특성에 비해 역방향 누설전류 및 역방향 항복전압이 다소 다르리라 예상된다.

표면에 근접한 n<sup>+</sup>-p 접합이 어발런치 항복을 하였을 때, 항복된 지역 전체에서 백색 발광을 관측할 수 있었다. 이것은 마이크로플라즈마 현상이라 불리며, 마이크로플라즈마 지역에서 전자가 방출된다는 것이 형광판을 이용한 실험에서 증명되었다[2,3]. 본 실험에서는 n<sup>+</sup>-p 접합면이 표면에 평행하고, 표면 쪽에 위치한 n<sup>+</sup>층이 매우 얇아서 마이크로플라즈마 현상이 접합부분에서 균일하게 일어났으며, 이것은 어발런치 항복 작용에 대한 시각적 관찰 방법이 될 수 있다. 어발런치 항복과 마이크로플라즈마 현상은 MOS 소자의 게이트 산화막에 대한 열전자주입 문제에서부터 시작해서, 어

<sup>†</sup>E-mail : jung\_ea@cju.ac.kr

발런치 소자의 on-off 메커니즘[4], 노이즈 문제, 전류 밀도, IMPATT 다이오드, 전자 소스, 발광 소스, 양자 소자에 대한 연구에 도움이 될 수가 있다.

## 2. 본 론

### 2.1. 소자의 동작

Fig. 1에 본 연구를 위해 제작된 극히 얇은 n<sup>+</sup>-p 접합의 단면도 및 바이어스 방법이 보여져있다. 에피층 내의 p 영역은 n<sup>+</sup>-p 접합이 형성되는 곳이므로, 다이오드의 활성영역이라 칭한다. 접합의 극히 얇은 n<sup>+</sup>형 영역은 표면에 평행하게 노출되어 있어 어발런치 현상을 관찰할 수 있게 하였다. Fig. 1에 보여져있는 단면도에서 에피 층의 n<sup>+</sup> 영역은 활성영역 주위를 둘러싸고 있는 연결된 영역으로(Fig. 1에서 점선으로 연결을 표시) 표면층에 얇게 연결된 n<sup>+</sup> 영역을 통하여 다이오드의 활성영역에 전자를 공급하므로 소스라 칭한다. 원형 다이오드의 경우 소스의 동심형 형태의 구조를 통하여 접합 부분 전체에 동일한 전계가 부가되도록 하였다.

이온 주입(ion implantation)에 의해 형성된, 표면에 평행하는 얇은 n<sup>+</sup> 층은 에피층의 p형 활성영역과 n<sup>+</sup>-p 접합을 이루게 되고, 이 n<sup>+</sup>-p 접합은 전압 V<sub>B</sub>에 의해 역방향 가압이 되어 어발런치 항복을 일으키게 된다. 이때 전자는 공핍층에서 강한 전계에 의해 가압되어 얇은 반전층으로 주입 되는데, 일부 전자가 일함수를 극복할 수 있는 에너지를 가지고 표면에 도달하여 진공으로 방출된다[5,6].

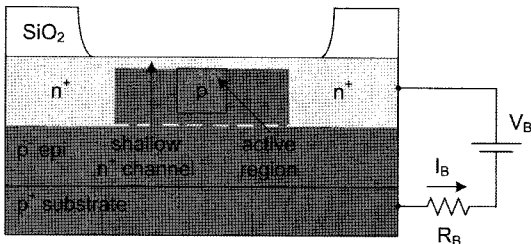


Fig. 1. Cross-section of ultra shallow junction with bias circuit.

### 2.2. 접합 부분의 형태

극히 얇은 단일 n<sup>+</sup>-p 접합 및 n<sup>+</sup>-p 접합의 배열들이 p<sup>+</sup> 기판위에 성장된 (100) p<sup>+</sup> 실리콘 에피층(4Ω-cm) 위에 제작되었다. 어발런치 현상을 다양하게 관찰하기 위하여, 원형 모양의 n<sup>+</sup>-p 접합들이 직경 5 μm, 10 μm, 20 μm, 30 μm, 40 μm의 원형과 직경 5 μm 원형의 배열, 직경 10 μm 원형의 배열로 제작되었다. 그 외에도 구부

러진 막대모양(meander style)의 p-n 접합들이 5 μm 및 10 μm의 폭으로 제작되었다. 제작된 p-n 접합 영역들의 일부 형상이 Fig. 2에 보여져있다. 직경 20 μm, 30 μm과 40 μm의 원형 접합과 폭이 10 μm인 구부러진 막대형의 그림은 생략되었다.

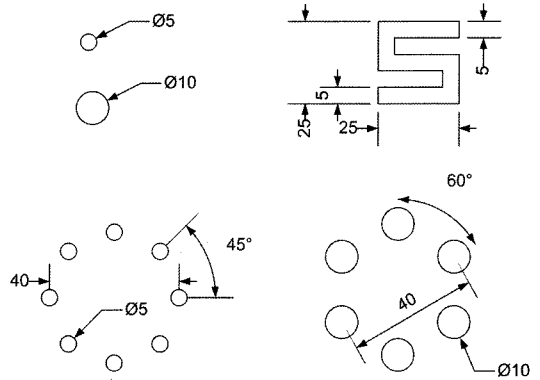


Fig. 2. p-n junction region patterns: Circular patterns are ranged from 5 μm diameter to 40 μm diameter. There are also arrayed patterns and meander patterns.

### 2.3. 소자 공정

#### 2.3.1. 이온 주입(ion implantation)

극히 얇은 n<sup>+</sup>-p 접합을 제작하기 위하여 이온 주입이 사용되었다. 그 이유는; 1) MBE 장비와는 달리 상용적 대량공정에 사용될 수 있다; 2) 이온 주입은 Coulomb 미터를 사용하여 불순물의 농도를 정확하게 제어할 수 있다. p-n 접합의 항복전압은 불순물의 농도에 의해 정해지므로, 정확한 불순물 농도의 제어는 본 실험에서 중요한 요소이다; 3) 이온 주입은 적은 측면 확산(lateral distribution)을 결과하므로, 정확하고 작은 패턴의 제작이 가능하다. 항복 전압은 또한 접합면의 패턴에 의해 좌우되므로, 정확하고 깨끗한 패턴의 형성은 반복 가능한 전류-전압 특성을 관찰할 수 있다; 4) 이온 주입의 질량 분류 특성에 의해 순수한 불순물의 주입이 가능하다; 5) 웨이퍼 전체에 걸쳐 균일한 농도의 분포를 얻을 수 있다.

이온 주입은 실리콘 표면을 파괴하여 비정질화(amorphous) 시킨다. 따라서 주입 후에는 Rayleigh 산란에 의해 표면이 우유 빛을 띠게 된다[7]. 그런데 극히 얇은 n<sup>+</sup>-p 접합을 낮은 동작전압에서 어발런치 항복이 가능한 수준으로 제작하기 위해서는, As나 P 같은 무거운 이온을 고농도로 주입해야 하기 때문에 표면 결정구조는 심하게 파괴 될 수밖에 없다. 이 실험에서 극히 얇은 접합을 유지하면서, 파괴된 결정구조를 복구하고, 불

순물을 전부 전기적으로 활성화 시키는 것이 제작공정의 관건이다.

이온 주입에 의해 제작된 극히 얇은 n<sup>+</sup>-p 접합의 경우, 완전치 못한 결정구조로 인해, 과다한 역방향 누설 전류를 보이는 경향이 있다. 이것은 순수한 어발런치 항복의 형성을 방해하므로 결정구조의 복구와 불순물의 완전한 활성화가 순수한 어발런치 항복의 형성을 위한 관건이다. 이온 주입에 의해 비정질화 된 영역은 500°C 이하의 온도에서는 변화하지 않으나, 그 이상의 온도에서는 solid phase epitaxy(SPE) 성장과정이 나타난다. 600°C 이상에서는 불순물의 전기적 활성화도 이루어진다. 일반적으로 결정구조 일부의 결함은 오랜 시간의 노열(furnace annealing)에도 불구하고 완전 복구될 수 없는 것으로 알려져 있다. 파괴된 영역의 복구는 (100) 평면이 (111) 평면의 실리콘 보다 빠르며, B, P, As 같은 불순물은 복구를 더 빠르게 촉진한다. 실제로는 550°C의 온도가 선호되는데 600°C에서의 복구과정이 너무 빠르기 때문이다.

높은 농도의 이온 주입에 의해 형성된 비정질화 상태의 표면은 낮은 온도에서 재결정화가 이루어지나 결함율이 많은 편이고, 낮은 농도의 이온 주입은 높은 온도에서만 재결정화 및 전기적 활성화가 이루어진다. 표면의 결정결함은 비활성 기체 환경 하에서 노열을 한 후, 산화과정을 거치면 제거될 수 있다.

본 실험에서는 AsF<sub>2</sub><sup>+</sup> 이온이 마스크 산화물이 없이, 1×10<sup>14</sup>cm<sup>2</sup>의 도스, 20 keV의 가속에너지, 7°의 주사각 조건으로 주입되었다. 노열 처리는 불활성 기체 환경 하의 550°C 노(furnace)에 5in/min의 속도로 20분간에 걸쳐 push-in을 하고 10°C/min의 속도로 20분에 걸쳐 800°C까지 가열한 뒤 pull-out 하였다.

일반적으로 노열 처리 후의 재결정화 및 활성화의 수준은 홀효과 측정 및 간단하게 면저항(sheet resistance) R<sub>s</sub>를 측정함으로써 확인될 수 있다. 그러나 극히 얇은 접합의 경우, R<sub>s</sub> 측정과 같은 일반적인 방법이 적용될 수 없음을 뒤에 설명한다.

### 2.3.2. 저에너지 이온 주입

극히 얇은 n<sup>+</sup>형의 채널 형성의 요구조건은 As 주입에 의해 충족될 수 있다. As는 10 keV의 가속 에너지에서 매우 작은 주입 점점 깊이 Rp(~100Å)를 나타낸다. 그러나 이런 낮은 가속 에너지로서 대부분의 이온 주입기에서 충분한 전류 빔을 생성할 수 없으므로 만족할 만한 균등성을 가질 수 없다. 이러한 문제는 AsF<sub>4</sub><sup>+</sup> 나 double As 이온(2 As<sup>+</sup>)을 이온 주입에 사용함으로써 개선될 수 있다. 즉, Fig. 3에 보인 것과 같이

가속에너지가 분산되므로 20 keV의 가속 에너지가 10 keV로 As 이온 주입을 한 것과 같은 결과를 준다. AsF<sub>5</sub>를 AsF<sub>4</sub><sup>+</sup>로 이온화하여 20 keV의 가속 에너지로 임플란트를 하면 다음에 보인 것과 같이 에너지가 분산된다.

$$E_{Fiant}(As) = E\left(\frac{m_1}{Total}\right) = 20\left(\frac{75}{151}\right) \cong 10\text{keV}, (1)$$

$$E_{Fiant}(F) = E\left(\frac{m_2}{Total}\right) = 20\left(\frac{19}{151}\right) \cong 3.2\text{keV}. (2)$$

이때에 F 분자에 의해 실리콘 표면은 더욱 비정질화되어 낮은 온도에서 불순물의 확산이 없이 SPE 과정이 진행된다. F는 SPE 과정 중에 비정질 내에서의 높은 확산속도[(0.9×±0.1)10<sup>-14</sup>cm<sup>2</sup>/sec]와 매우 낮은 분리계수(0.005~0.03)에 의해 노열 과정에서 표면 밖으로 방출된다[8]. 그러나 F는 결정구조 내에서 불순물의 확산에 영향을 끼치는 것으로 알려져 있으며, 비정질화된 결정구조에서 F원소가 존재할 때에 불순물의 확산 메커니즘은 자세히 알려져 있지 않다.

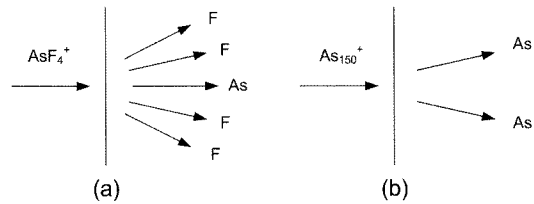


Fig. 3. Low energy ion implantation  
(a) AsF<sub>4</sub><sup>+</sup> ion implantation.  
(b) double As ion implantation.

### 2.4. 극히 얇은 p-n 접합의 공정조건

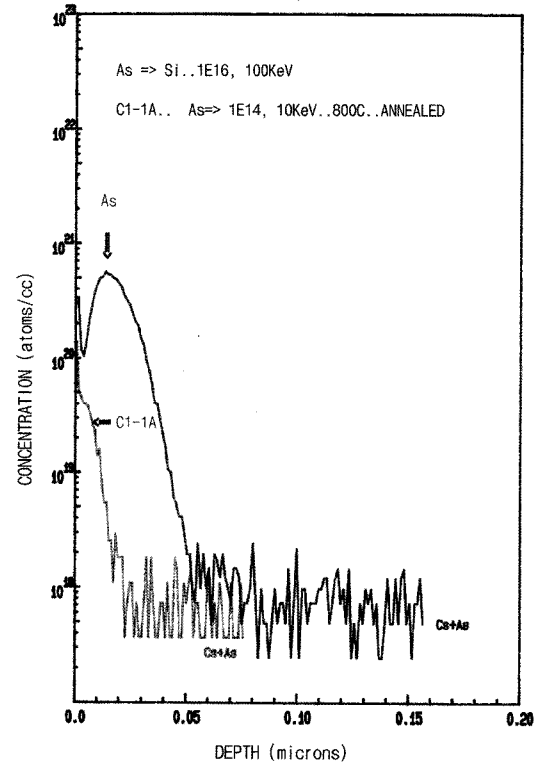
위에 열거된 여러 이유들에 의해 (100) p-실리콘 웨이퍼의 에피층 위에 As 이온 주입에 의해 극히 얇은 n<sup>+</sup> 채널을 형성하여 n<sup>+</sup>-p 접합을 제작하였다. 그 외에 As이 극히 얇은 접합을 만들기 위해 선택된 또 다른 이유는, As의 확산계수가 매우 작기 때문이다. 그러므로 900°C 정도의 온도에서도 확산은 무시할 만하다. 또 다른 이유는 As 원자의 크기 때문이다. 전형적인 불순물 요소들의 원자 반경이 Table 1에 보이고 있다. 여기서 As 원자의 크기가 다른 불순물 원자와는 달리 거의 실리콘 원자의 크기와 같다는 것을 알 수 있다. 그러므로 As 원자는 다른 불순물 원자들과는 달리 실리콘 격자구조 내에서 스트레스를 크게 일으키지 않는다. 이것은 다른 불순물 원자들이 실리콘 격자 내에서 확산될 때 확산 변위가 쉽게 일어나는 것으로 확인될

수 있다. 또한 As는 실리콘 내에서의 용해도가 중요도판트 중 가장 높다. 그리고 As는 낮은 온도에서도 전기적으로 활성화될 수 있다. 높은 도스의 As 이온 주입은 실리콘의 표면을 비정질화한 상태로 만들고, 550°C의 온도에서도 SPE가 형성되고, 그 과정 중에 전기적으로 활성화되게 된다. 또한 As는 급격한 접합면의 불순물 농도 변화를 결과하고, p-n 접합면의 깊이는 비교적 기판의 배경농도에 무관하다[9].

**Table 1.** Atomic radii of the typical dopant elements.

| Silicon | Boron | Phosphorus | Arsenic |
|---------|-------|------------|---------|
| 1.17Å   | 0.88Å | 1.10Å      | 1.18Å   |

극히 얇은 접합에 대해 여러 가지 열처리 방법[10]들이 실행되었으나, 본 실험에서는 노열(furnace annealing) 방법을 채택하였다. 그 이유는 노열 방식이 상업적 대량 생산에 가장 적합하기 때문이다.

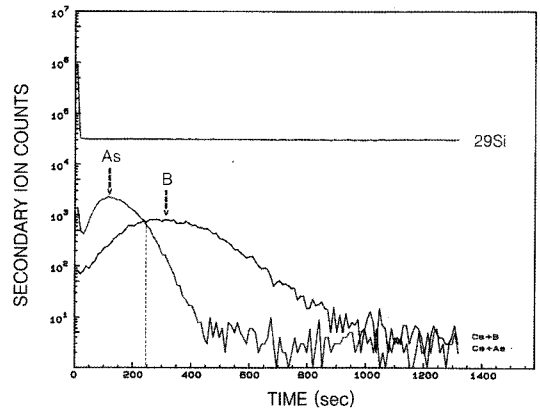


**Fig. 4.** SIMS profile: As concentration in a shallow n-type channel with AsF<sub>2</sub> ion implantation. C1-1A curve is the As profile formed by AsF<sub>2</sub> implantation. Curve As is the profile implanted at 100 keV for the test.

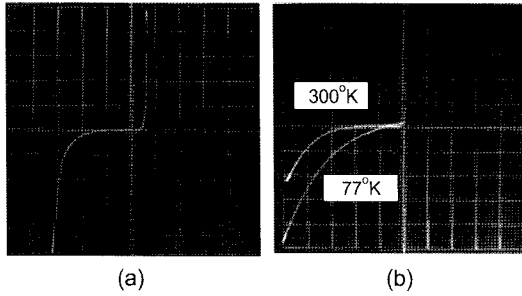
Fig. 4에 AsF<sub>4</sub><sup>+</sup>을 20 keV로 임플란트 한 실리콘 웨이퍼에 대한 SIMS 해석결과가 C1-1A 선에 보여져있다. 비교를 위해서 같은 테스트 기관에 100 keV의 가속 에너지로 함께 As 이온이 주입된 후 800°C에서 노열된 As의 profile도 동시에 보여져있다. 여기서 F 원자는 노열 과정에서 모두 결정 밖으로 제거되었음이 Fig. 4의 SIMS 해석을 통해 확인되었다. 면저항(Sheet resistance)를 측정된 결과 도스가 1×10<sup>14</sup>cm<sup>2</sup>이었을 때 109 ohm/□의 R<sub>s</sub>를 나타내었다.

Fig. 5에 As과 B가 이온 주입되고 노열 처리한 후의 SIMS 측정결과가 보인다. 여기서 n<sup>+</sup>(As) 영역이 120Å에서 정점을 이루므로, p<sup>+</sup>(B) 영역과 약 290Å의 깊이에서 접합을 이루고 있는 것이 관측된다. 300Å의 접합 깊이를 가정하면 4침 측정에 의해 측정된 면저항 값은 3.3×10<sup>-4</sup> Ω-cm의 resistivity에 해당한다. 그러나 이것은 4침 측정기로 측정된 것으로, 매우 얇은 n<sup>+</sup>-p의 경우 4침 측정방법은 매우 큰 오차가 예상되는 결과임을 밝힌다. 그 이유는 얇은 접합과 탐침이 안정된 ohmic 접합을 이루지 못하기 때문이다.

또한 극히 얇은 접합의 경우, 면저항의 측정 방법에 의해서 불순물의 전기적 활성화도와 파괴된 결정구조의 복구도를 추정할 때 고려해야할 다른 사항들이 있다. 우선 극히 얇은 접합의 경우 실리콘과 실리콘 산화막 사이에 존재하는 트랩의 영향이 커진다. Fig. 4 및 Fig. 5에서 보는 바와 같이 실리콘 표피부근에 As의 농도가 좁게 주위보다 높은 부분이 관측된다. 이것은 up-hill 현상이라 불리며, As이 불순물 트랩에 의해서 확산되지 못하고 고정되어 있는 것이다. 이 현상이 얇은 접합의 경우 면저항에 영향을 끼칠 것이기 때문에 면저항을 가지고 단순히 불순물의 활성화정도를 측정할 수가



**Fig. 5.** SIMS profile: AsF<sub>2</sub> ion...1E14...20KeV...800°C...annealed B ion...1E14...80KeV...1,100°C...drive-in



**Fig. 6.** Diode I-V characteristics (a) 40  $\mu\text{m}$  diameter circular diode; forward: 0.5 mA/V, backward: 0.5mA/5V (b) 10  $\mu\text{m}$ -diameter circular diode; backward: 20  $\mu\text{A}$ /10V at 77°K and room temperature

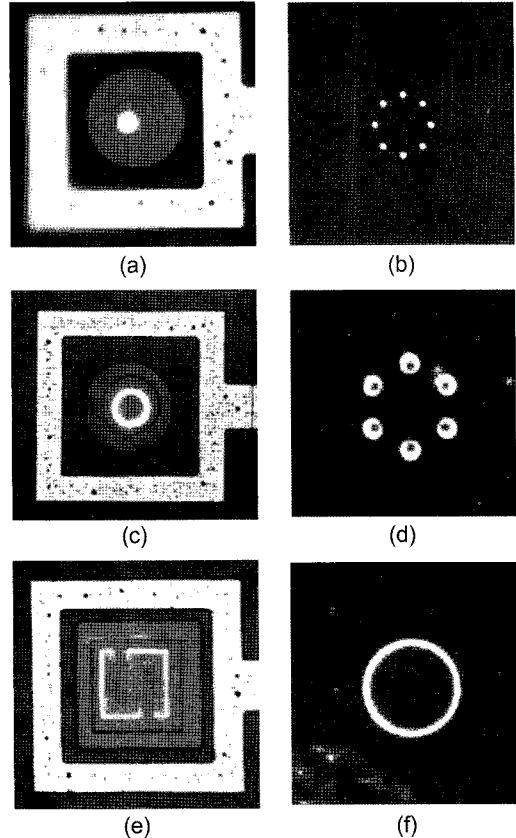
었다. 산화규소막과 실리콘 사이에 존재하는 불순물 트랩의 원인은 자세히 규명되지 않고 있으며 interface trapping, bend bending, elastic stress, 그리고 SPE 성장중에 분리계수에 의해 분리된 불순물이라는 가설 [11-14]들이 있다.

### 3. 결 과

#### 3.1. 전류-전압 바이어스 특성

Fig. 6에 소자의 전류-전압 바이어스 특성이 보여져 있다. 다이오드의 바이어스 전류-전압 특성은 다이오드의 크기 및 형상에 따라 다소 차이를 보이기는 했지만, 근본적으로 Fig. 6(a)에 보인 것 같이 일반적 다이오드 특성을 보였다. 전방향 바이어스 특성은 일반적인 실리콘 다이오드의 특성을 보였고, 역방향 항복 전압은 제너 영역인 5~10의 항복 전압을 보이도록 다양한 도스로 제작하였다. 관찰을 위해 표면의 산화실리콘 층을 제거하였기 때문에 표면에 노출된 실리콘 원자와 오염으로 인해 표면전하가 일반 다이오드 보다는 많을 것으로 염려되었으나, 누설전류가 과다하지는 않았기 때문에 일반 다이오드에서의 어발런치 특성과 같은 일반적 특성이 관찰되어졌다.

Fig. 6(b)에 보인 바와 같이 제작된 다이오드는 정의 온도 계수를 보여주고 있다. 즉, 주위온도가 증가함에 따라 항복전압이 높아지고 있다. 이것은 주 항복요인이 어발런치 항복이라는 것을 의미한다[15]. 5V 정도의 항복전압에서도 정의 온도계수를 가지고 있으나, 액체 질소 온도와 실내온도에서의 항복전압이 매우 근접하여 터널링 효과가 혼재하고 있음을 알 수 있다. 그러나 5V 정도의 항복전압에서도 주 항복 메커니즘이 어발런치 항복이라는 것을 알 수 있었다. 그 이유는 표면에



**Fig. 7.** White light from the avalanche re-gion; (a) 10  $\mu\text{m}$  diameter diode. (b) arrayed diodes; 8 diodes of 5  $\mu\text{m}$  diameter. (c) 30  $\mu\text{m}$  diameter diode. (d) arrayed diodes; 6 diodes of 10  $\mu\text{m}$  diameter. (e) meander style diode(10  $\mu\text{m}$  width). (f) 40  $\mu\text{m}$  diameter diode.

근접하거나 노출된 p-n 접합은 어발런치 항복 시에 진공으로 전자를 방출하는데, 5V의 항복전압에서 같은 전자방출효율을 보여주기 때문이다.

#### 3.2. 발광 특성

Fig. 7에 제작된 다이오드의 사진이 어발런치 항복상태에서 백색광을 발광하는 것이 보여져있다. Fig 7에 보여져있는 사진들은 각각 다른 배율로 찍어진 것들이고, 가장 바깥쪽에 있는 알루미늄 도선은 과다한 크기의 n<sup>+</sup> 소스와 큰 접촉창(contact window)을 통하여 연결되어, 가운데의 다이오드 바깥쪽 n<sup>+</sup> 소스영역은 되도록 같은 전위를 갖도록 하였다. Fig. 7(a)은 직경 10  $\mu\text{m}$  인 원형의 다이오드로 다이오드내의 활성영역 전체에서 어발런치 항복과 전자방출이 일어나고 있음을 시각

적으로 확인할 수 있다. (c)는 직경  $30\ \mu\text{m}$ 의 원형 다이오드로 전계에 의하여 전류가  $n^+$  소스 쪽으로 치우쳐 가운데 부분에서는 어발런치 항복이 안 일어나고 있음이 관측된다. (e)는 구부러진 막대(meander)형으로 역시 가운데 부분에서는 어발런치 항복이 안 일어나고 있다. Fig. 7의 (b), (d), (f)는 현미경의 조명을 끈 상태에서 찍은 사진들이다. 표면에 평행하고 극히 얇은 접합의 구조 때문에 기존에 관측된 사진[2,3]들과는 달리 균일한 발광을 보여주고 있다. 발광지역은 전자가 진공으로 방출되고 있는 지역이라는 것이 기존의 연구에 의해 밝혀져 있다. 따라서 발광지역은 어발런치 상태에 있는 영역이라는 것을 알 수 있다. 왜냐하면 전자는 표면에 가까운 어발런치 상태의 지역에서만 진공으로 방출될 수 있는 충분한 에너지를 얻을 수 있기 때문이다. 본 실험에서는 접합 방향이 표면에 평행하기 때문에 어발런치 상태 전체영역에서 전자가 방출하게 된다. 따라서 전체 어발런치 영역에서 백색광이 방출되게 된다.

Fig. 7(a) 및 (d)에 보인  $10\ \mu\text{m}$  및  $5\ \mu\text{m}$  직경의 다이오드들을 보면 다이오드 전체에서 발광을 하고 있는 것이 관측된다. 그러나 그 외의 더 큰 다이오드들을 보면 전기의 흐름이  $n^+$  소스의 바이어스 접촉 쪽으로 편향되는 것을 볼 수 있고, 가운데 부분에서는 어발런치 항복 현상이 안 일어나고 있는 것이 관측된다. 이것은 저항에 의하여 가운데 부분보다는 바깥쪽 알루미늄 도선과 접촉된  $n^+$  소스 영역의 전위가 더 높기 때문이다.

배열화된 다이오드들을 보면, 병렬회로의 원칙에 따라 모두 같은 전위의 역전압 가압상태에 있게 되고, 같은 웨이퍼 상에서 동시에 제작된 관계로 동일한 특성을 가지고 같은 밝기로 발광하고 있는 것이 관측된다. 다만 전계에 의하여 어발런치 영역이 바깥쪽으로 편중되는 경향이 관찰되었다. 따라서 격자배열로 다이오드들을 제작하여도 안쪽에 있는 다이오드들도 같은 역가압 전압 하에서 같은 밝기의 발광과 전자방출을 나타낼 것을 알 수 있다. 다만, 격자구조를 설계할 때는 전자혼잡(electron crowding)에 의한 저항의 증가, 저항에 의한 가압전압의 감소, 열 발생 등을 고려하여야 할 것이다.

#### 4. 결 론

극히 얇은 p-n 접합( $<300\text{\AA}$ )을 제작하여 공기 중에서 일반적 다이오드의 특성을 관찰할 수 있었다. 즉, 어발런치 영역과 전기의 흐름방향을 육안으로 관찰할 수 있었다. 따라서 기존에 시뮬레이션에만 의존하던 어발런치 항복과 전류밀도 등의 현상을 시각적으로 관찰할

수 있었다. 이러한 시각적 관찰방법을 사용하여 향후 좀 더 정확한 시뮬레이션 툴의 개발이 가능하다.

배열된 다이오드에서 균일한 발광과 전자방출이 관찰되어 실리콘 다이오드의 발광소자 및 전자원(electron source)으로서의 가능성이 확인되었다. 그러나 실용화를 위해서는 발광효율과 전자방출효율의 개선방법을 확보하여야 한다.

실용성이 있는 극히 얇은 접합의 구현을 위해서는 불순물이 혼재 되었을 시의 SPE 성장 메커니즘, 불순물의 농도 및 종류에 따른 확산 메커니즘, 표면 전하, 트랩 등의 영향이 규명되어야 하고, 극히 얇은 접합의 면저항 측정 등 각종 측정방법의 개선, 공정 시뮬레이터의 개선 등이 대량생산을 위하여 필요하며,  $300\text{\AA}$  이하 깊이의 접합의 경우 배경 농도가 상당히 높아야 하므로 항복전압이 10V 이하로 되어서 새로운 설계기법의 확보 등이 필요할 것이다. 그리고 무엇보다 중요한 것은 완전한 결정의 복구가 저렴한 대량생산방법에 의하여 확립되어야 한다.

실용적인 극히 얇은 접합의 실용적 응용이 가능해진다면, 고속소형 소자의 구현뿐만 아니라, 전자소스, 발광 등의 실리콘의 새로운 응용도 가능하게 될 수 있을 것이다.

#### 참고문헌

1. International Technology Roadmap for Semiconductors ITRS, <http://public.itrs.net>
2. J. A. Burton, "Electron Emission from Avalanche Breakdown in Silicon", Physical Review, vol. 108, No. 5, Dec 1, 1957.
3. R. J. Hodgkinson, "Hot-electron emission from semiconductors". Solid-State Electronics, 5:269, 1962.
4. Ognian Marinov, M. Jamal Deen. "Theory of microplasma fluctuations and noise in silicon diode in avalanche breakdown", Journal of Applied Physics 101, 064515(2007)
5. Jung Y. Ea, *et al.*, "Arrayed Silicon Av-a-lanche Cathode", IEEE Electron Device Letters, vol. 11, pp. 403-405, Sep., '90.
6. Jung Y. Ea, *et al.*, "Silicon Avalanche Cathodes and their Characteristics", IEEE Transactions on Electron Devices, Vol. 38, No.10, pp. 2377-2382, Oct., '91
7. D. J. Mazey and R. S. Barnes. Phil. Mag., 17:1145, 1971.
8. G. Impellizzeri, S. Mirabella, and F. Priolo, "Fluorine in preamorphized Si: Point defect engineering and control of dopant diffusion", JOURNAL OF APPLIED PHYSICS 99, 103510 2006

9. Jung Yong Lee, "Integrated Silicon Electron Beam Source using Arrayed Ultra Shallow p-n Junction Cold Cathodes", Ph. D. Dissertation, Rutgers, The State University of New Jersey. p.100, Oct., 1990.
10. Foggia and W. S. Yoo, "Implementation of flash technology for ultra shallow junction formation: Challenges in process integration", J. Vac. Sci. Technol. B 24(1), Jan/Feb 2006.
11. R. Kasnavi, *et al.*, *Apl. Phys.* 87, 2255 (2000).
12. M. Y. L. Jung, *et al.*, *J. Appl. Phys.* 95, 1134(2004).
13. O. I. Velichko, *et al.*, *Sci. Eng., B* 99, 567 (2003).
14. J. A. Van den Berg *et al.*, *J. Vac. Sci. Technol. B* 20(3), 974(2002).
15. S. M. Sze, *Physics of Semiconductor Devices*. John Wiley & Sons, Inc, New York, 2nd edition, 1981. p.27.