

인쇄 회로 기판의 Return Current Plane용 Via-Hole의  
분포량 및 간격에 따른 EMI 설계 지침

정기범 · 진창한 ·  
정연춘\*

EMC 기술지원센터 ·  
\*서경대학교  
정보통신공학과

I. 서 론

일반적으로 고속 또는 고주파 디지털 회로에 주된 신호 무결성(Signal Integrity) 측면의 관심 사항은 누화(Crosstalk)이다. 그러나 또 하나의 주된 관심 사항인 EMI 문제를 고려해야 한다. 누화가 발생하는 원인 중의 하나는 임피던스 정합 문제와 연결되어질 수 있다. 이것은 다시 EMI 문제로 연결이 된다. 즉, 임피던스(전달 임피던스) 정합의 유무가 EMI 문제를 일으키는 요인 중의 하나라는 것이다. 이러한 문제를 해결하기 위한 방법 중의 하나가 Via-hole의 분포이다. 일반적으로 Via-hole을 궤환 전류 평면(Return Current Plane: RCP)과 많이 연결을 해주면 EMI에 좋다고 알려져 있다. 하지만 규칙성과 일관성 또는 원칙성이 없는 다점 Via-hole은 오히려 EMI 문제를 일으키는 요인이 된다. 본고에서는 이러한 Via-hole을 EMI 관점에서 접근하도록 할 것이며, 최종적으로 EMI 설계 지침을 제시하고자 한다.

II. Via-Hole에 의한 궤환 전류 평면의 손상

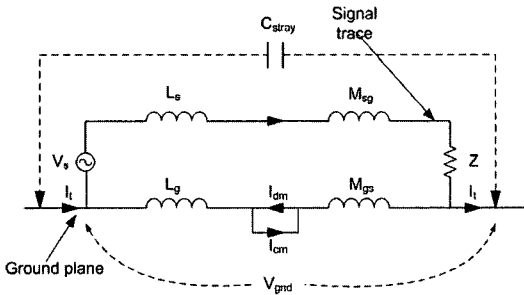
궤환 전류 평면 또는 영상판이란 회로와 신호 궤환 경로 사이의 이웃한 PCB 내부의 구리판으로 된 층을 말한다. RF 전류가 신호원으로 되돌아갈 수 있도록 낮은 임피던스 경로를 제공하고, 궤환 경로의 길이를 최소로 유지하도록 한다. 이것은 EMI 방출을 최소화 할 수 있는 좋은 방법이다. 기본적으로 RF

전류는 자기 자신을 용량적, 유도적 도전 물질에 100% 결합하지 않으면 가까운 궤환 전류 평면으로 공통 모드 전류가 발생하게 된다. 따라서 이러한 RF 전류가 신호원으로 100% 되돌아가게 되면 접지 잡음 전압이 감소하게 된다. 그러나 대개의 PCB(Printed Circuit Board) 경우는 낮은 임피던스이므로 입출력 케이블의 RCP 보다는 치수와 전원 임피던스가 중요한 파라미터가 된다. 여기서 PCB의 RCP를 고려해 볼 때 접지 잡음 전압은 궤환 전류가 RCP에 분포된 인덕턴스 때문에 발생하는 전압의 변화이다. 기본적으로 접지 잡음 전압을 줄이려면 신호 전압의 일부를 접지 평면의 분포 커패시터를 통해 흐르도록 하고, 트레이스와 그 근처에 있는 RCP 사이의 상호 인덕턴스를 증가시켜야 한다. [그림 1]은 PCB RCP의 등가회로이다. [그림 1]을 살펴보면 RCP의  $L_g$ 가 감소하면 접지 잡음 전압이 감소하고, 반대로 증가하게 되면 접지 잡음 전압이 증가한다. 여기서  $L_g$ 를 증가시키는 주된 요인이 바로 잘못 사용된 Via-hole이다.

$$V_{gnd} = L_g \frac{dI_2}{dt} - M_{gs} \frac{dI_1}{dt} \tag{1}$$

[그림 1]에서  $L_s$ 는 신호 트레이스의 부분 자체 인덕턴스이고,  $M_{sg}$ 는 신호 트레이스와 RCP 사이의 부분 상호 인덕턴스이다.  $L_g$ 는 RCP의 부분 자체 인덕턴스이고,  $M_{gs}$ 는 RCP와 신호 트레이스 사이의 부분 상호 인덕턴스,  $C_{stray}$ 는 RCP의 분포 부유 커패시터,  $V_{gnd}$ 는 RCP 잡음 전압이다.

여기서, 전류  $I_1$ (공통 모드 전류) 전류 성분을 최소화



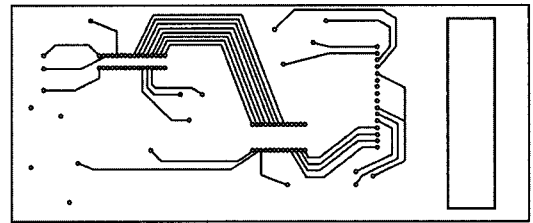
[그림 1] PCB Return Current Plane의 등가 회로

화 하는 것이 EMI 노이즈를 감소하는데 중요한 요소가 된다(왜냐하면, 공통 모드 전류가 차동 모드 전류보다 EMI에 더 심각한 영향을 미침). 이것은 결국 접지 잡음 전압을 낮게 유지하기 위한 방법이다. 케환 전류 평면의 손상은 접지 잡음 전압의 상승과 공통 모드 전류의 증가를 가져오게 된다. [그림 2]는 실제 Via-hole에 의한 RCP의 불연속이 존재하는 PCB 데이터이다.

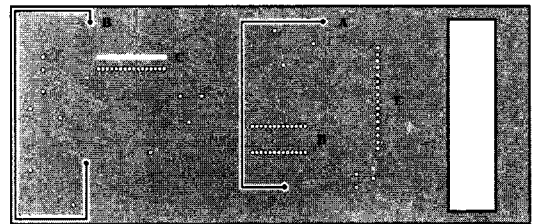
[그림 3]은 일반적인 다층 PCB의 RCP 불연속이 일어날 수 있는 경우를 설명한 것이다. [그림 3]에서 "A"는 케환 전류 평면에 손상을 주어 올바른 설계



[그림 2] 실제 PCB의 RCP Via-hole 모습



(a) 신호층 또는 Top면



(b) 케환 전류 평면(RCP, 내층)

[그림 3] 다층 PCB의 일반적인 케환 전류 평면(RCP) 불연속 예

방법이 아니며, "B"는 케환 전류 평면에 최대한 불연속 지점을 축소하는 설계 방법이다. "C"는 Via-hole이 케환 전류 평면에 손상을 주는 형태이며 슬롯의 형태를 취하고 있다. "E"는 Via-hole이 비록 존재하지만 케환 전류의 경로를 확보하고 있는 형태이다. 따라서 일반적으로 케환 전류 평면상에 Via-hole이나 신호선이 존재하더라도 "B"와 "E"의 형태를 취하는 것이 가장 일반적인 설계 지침이 된다.

### III. Via-Hole 분포량에 따른 EMI 해석

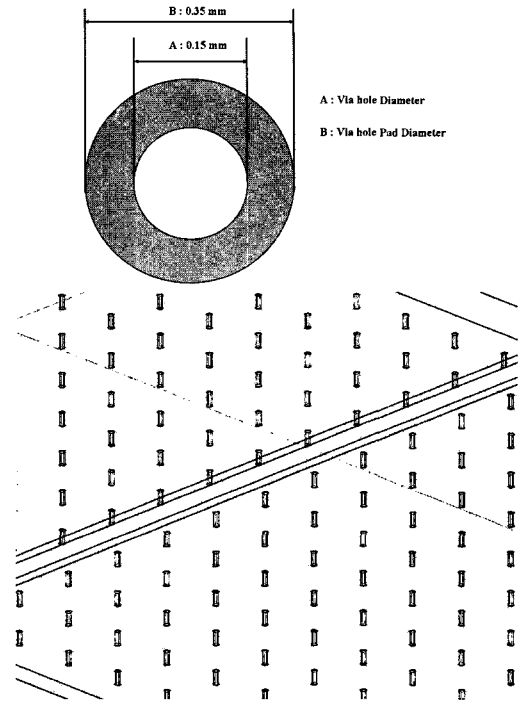
일반적으로 Via-hole의 목적은 크게 두 가지 측면에서 바라볼 수 있다. 첫 번째는 RCP와 연결하기 위한 목적과 고속의 디지털 회로에서 트레이스 사이의 누화를 줄이기 위한 목적으로 사용이 된다. 후자의 경우, PCB에서 누화를 줄이게 되면 EMI 방사의 노이즈 레벨을 많이 줄일 수 있다는 장점이 있고, 전자의 경우는 일관성 없이 단순하게 사용이 되면 RCP의 손상을 주어 잡음 접지 전압 상승을 초래할 수 있

다. 본고에서는 전자의 경우와 후자의 경우를 다 만족시킬 수 있는 Via-hole의 간격 및 분포량에 대한 EMI 현상을 Ansoft HSS를 통해 시뮬레이션을 하였다. [그림 4]는 Via-hole의 분포량 및 간격에 대한 분석을 위해 제안된 PCB 구조이다.

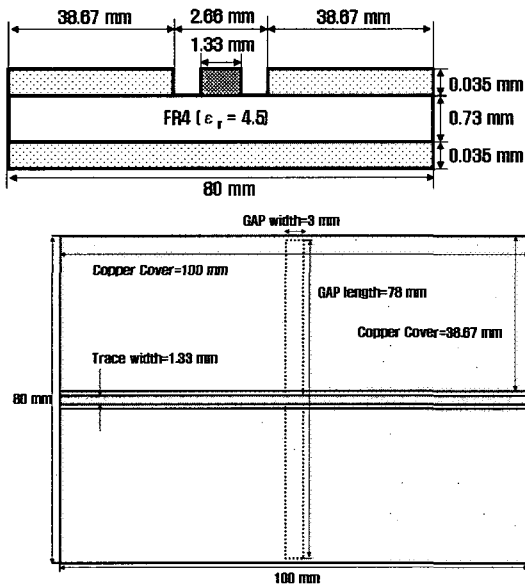
기본적으로 마이크로스트립 구조로 하였고, 노이즈 커플링을 극대화하기 위하여 슬롯(Slot)을 중간에 1.3 mm 폭으로 설계를 하였다. 이것은 전류의 흐름이 고주파 대역에서는 그 경로가 길어지는 역할을 하고 접지 임피던스의 상승을 초래한다. [그림 4]의 구조에 Top의 copper를 채워 Bottom의 귀환 전류 평면과 연결하기 위하여 Via-hole을 이용하였다. [그림 5]는 이러한 Via-hole 구조를 보여 주고 있다.

[그림 6]의 (a)는 기본 마이크로스트립 구조이고, (b)는 Top에 Copper Fill In한 구조이다. S-파라미터를 이용하여 그 영향을 분석하였다.

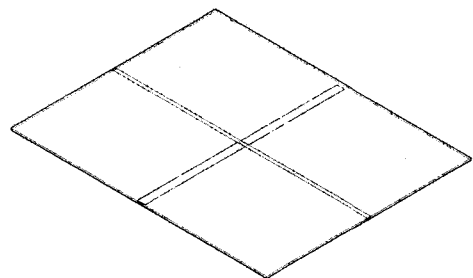
[그림 7]의 결과로부터 Top에 Copper Fill In한 구조가 전반적으로 더 좋은 효과를 발휘한다. 그러나



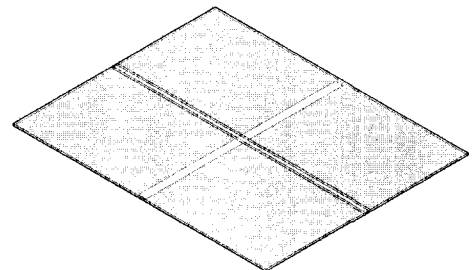
[그림 5] Via-hole의 사이즈와 형태



[그림 4] Via-Hole의 분포량 분석을 위해 제안된 PCB 구조

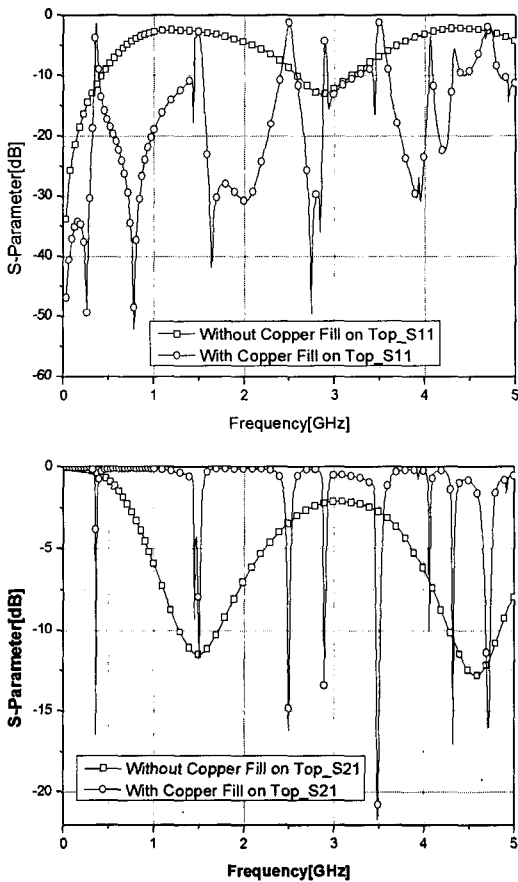


(a) Without Copper Fill on the Top



(b) With Copper Fill on the Top

[그림 6] 초기 해석을 위한 마이크로스트립 PCB 구조



[그림 7] [그림 6] 구조의 S-파라미터 시뮬레이션 결과

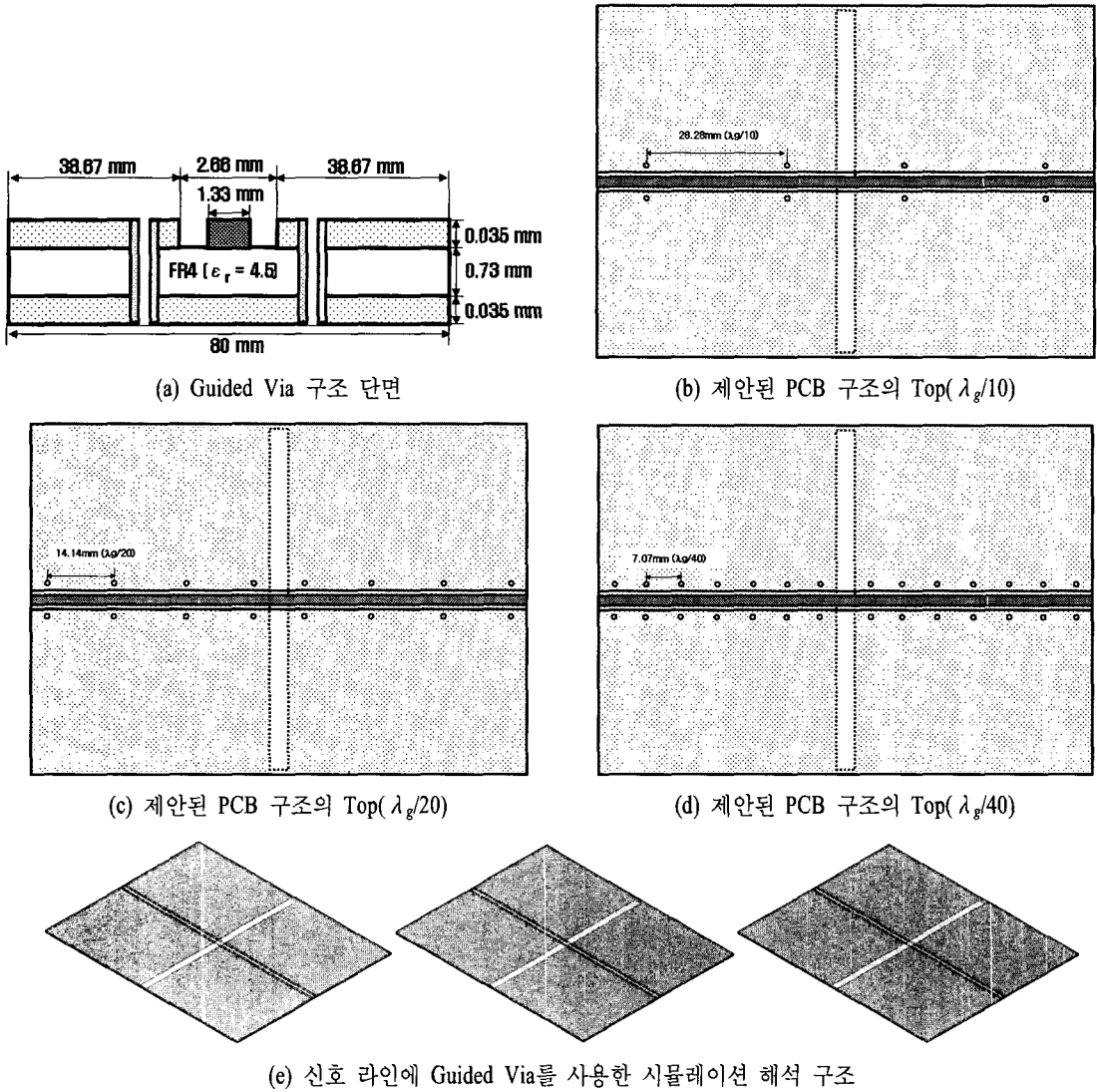
단순히 Top에 copper만을 채웠기 때문 공진 주파수가 많이 존재하는 것을 볼 수 있다. 이것은 EMI에 아주 좋지 않은 영향을 미친다. 만약 PCB 상의 회로 동작 주파수 혹은 고조파 성분의 주파수가 [그림 7]의 S<sub>21</sub>에서 보인 공진 주파수와 중복이 된다면 EMI 방사 노이즈 레벨은 더 상승하는 결과를 초래한다. 이러한 단점을 보완하기 위하여 Via-hole을 사용하여 EMI 방사 노이즈 레벨을 줄여야 한다. 물론 디커플링 커패시터도 이러한 문제를 해결하는 또 하나의 방법이 될 수 있다. 제시된 PCB 구조에서 입력에 펄스열 신호(25 MHz, Oscillator)를 인가하여 EMI 방사 레벨을 분석하게 되면 500 MHz~1 GHz 대역의 노이즈

방사 레벨이 상당히 많이 증가한다. 따라서 [그림 8]은 Guided Via의 간격을 500 MHz의 파장( $\lambda_g$ )을 중심으로 간격을 설정하였다.

[그림 8]에서 Guided Via의 간격에 대한 정의는 일반적으로 관심 주파수에서  $\lambda/20$ 을 넘어서는 안되는 것으로 통상적으로 알려져 있다. 이것을 더 일반화시키면  $\lambda/10 \sim \lambda/50$  정도의 변동은 있을 수 있다.  $\lambda/20$ 라고 정의한 것은 원형 단면 와이어의 직렬 임피던스가 약 100  $\Omega$ , 병렬 임피던스가 약 1,000  $\Omega$ 이 되는 전기적 길이를 정의한 것이고, 그 길이 이하가 되면 어떤 도체든지 와이어로 간주할 수 있고 공진과는 관계가 없다는 것이다. 여기서 중요한 사항 한 가지를 더 말하면, Via 펜스의 경우  $\lambda/2=46$  mm (Via 간격)이면, 첫 번째 공진이 약 1.77 GHz에서 형성된다<sup>[1]</sup>. 이것은 Via의 간격에 의해 공진 주파수 형성됨을 말하고, 위에서 설명한 전기적 길이보다 작아지면 공진과는 관계가 없다는 것이다. 따라서 Via의 간격에 대한 정의는 관심 주파수의  $\lambda/10 \sim \lambda/50$  사이로 정의하면 공진을 피할 수 있다. [그림 9]는 [그림 8]의 Guided Via의 간격에 대한 S-파라미터 시뮬레이션 결과이다.

[그림 9]의 내용을 보면 Via 간격이 작을수록 첫 번째 공진 주파수 지점이 고주파로 이동한다는 것을 알 수 있다. 본고에서 고려한 PCB 구조는 일반적으로 PCB에서 형성될 수 있는 가장 나쁜 상황을 고려한 것이다. [그림 10]은 대칭적으로 Top의 Copper Fill과 RCP를 연결하기 위한 목적으로 사용한 Via-hole을 4곳에 연결한 예이다. 이것은 실제로 PCB 설계시 Top과 Bottom면을 RCP와 연결하기 위하여 많은 설계 엔지니어가 쓰고 있는 방법이다. 하지만 이 Via-hole에 대한 정확한 지침이 부족한 실정이다. 본고에서는 이러한 Via를 어떻게 연결하는 것이 최적의 EMI 설계 방법인지를 시뮬레이션을 통해 고찰해 보고자 한다.

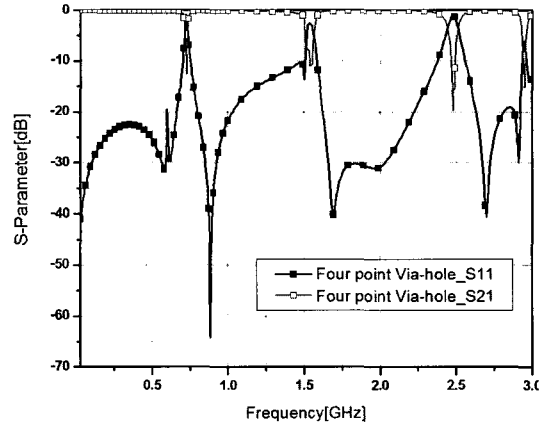
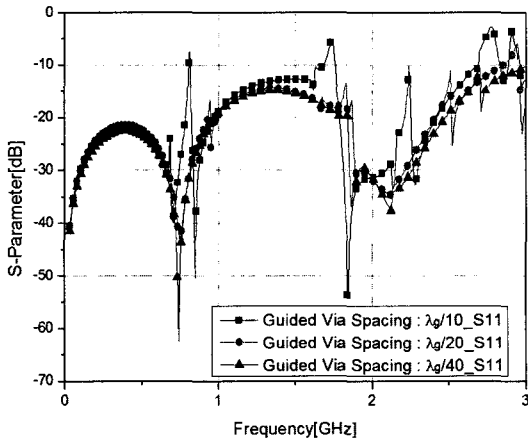
[그림 10]과 [그림 11]의 결과에서처럼 기본적으로



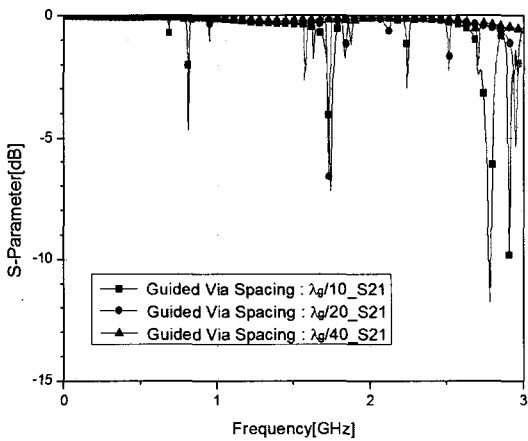
[그림 8] Guided Via를 사용한 PCB 해석 구조

로 4 지점의 Via를 연결하게 되면  $S_{21}$  공진 주파수가 대략 727 MHz, 1.54 GHz, 2.47 GHz, 2.95 GHz 대역에서 존재하게 된다. 이것은 평행 평판의 공진 지점과 다소 차이가 발생한다. 그 이유는 슬롯의 존재에 따라 공진 주파수가 변하기 때문이다. 이것은 향후 연구에서 규명을 하도록 하겠다. 본고에서는 단지 Top(or Bottom)의 copper fill과 RCP를 연결할 경우,

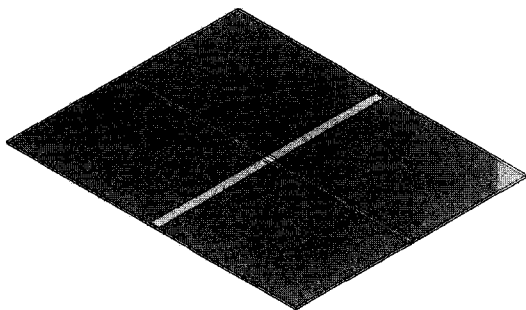
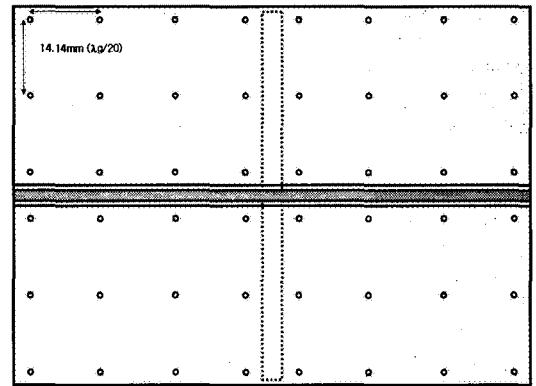
어떠한 지침으로 연결을 하는 것이 EMI에 더 좋은 효과를 발휘하는지에 초점을 맞추도록 할 것이다. [그림 12]는 [그림 10]과 같은 조건에서 Via를 균일하게 14.14 mm ( $\lambda_g/20$ ) 간격으로 배열을 한 경우이다. [그림 13]의  $S_{21}$ 의 해석 결과 공진 주파수 2.5 GHz 근방에서 존재하는 것을 볼 수 있다. 이것은 EMI 관점에서 상당히 좋은 효과를 발휘한다. 왜냐하면, 일



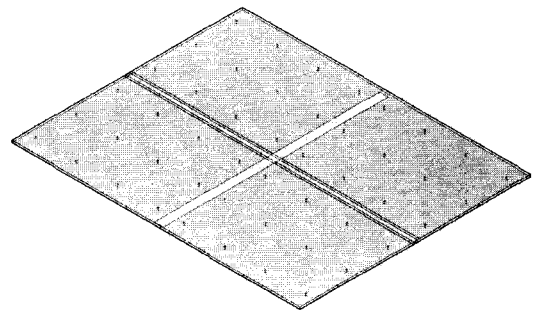
[그림 11] 4지점을 Via-hole로 연결한 S 파라미터 시뮬레이션 결과



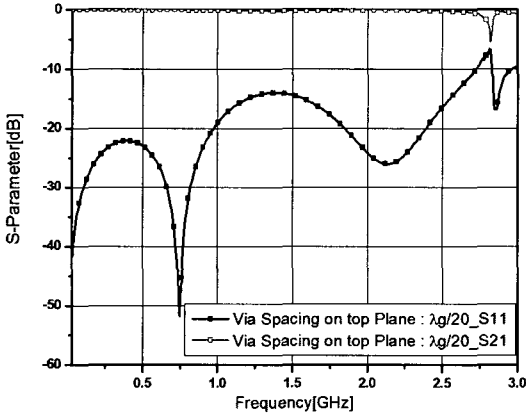
[그림 9] 신호 트레이스의 Guided Via 간격에 따른 시뮬레이션 결과



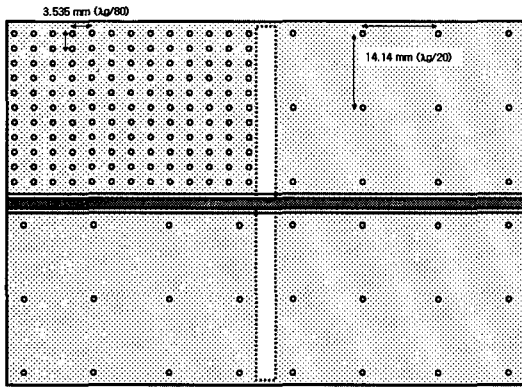
[그림 10] 대칭적으로 4지점의 Via-hole을 연결한 PCB 구조



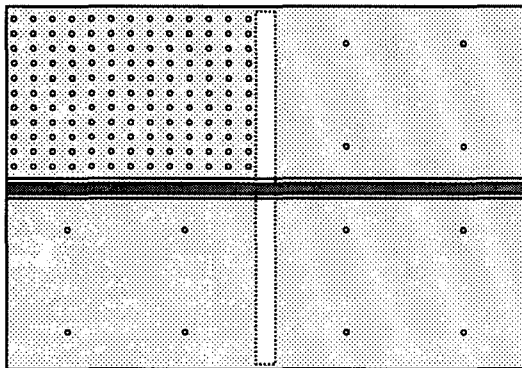
[그림 12]  $\lambda_g/20$  간격으로 균일하게 배치한 Via의 PCB 해석 구조



[그림 13]  $\lambda_g/20$  간격으로 균일하게 배치한 Via의 S 파라미터 해석 결과

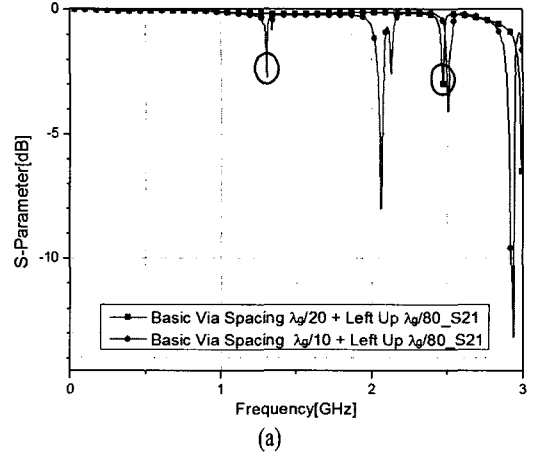


(a) Via 간격을 14.14 mm로 설정

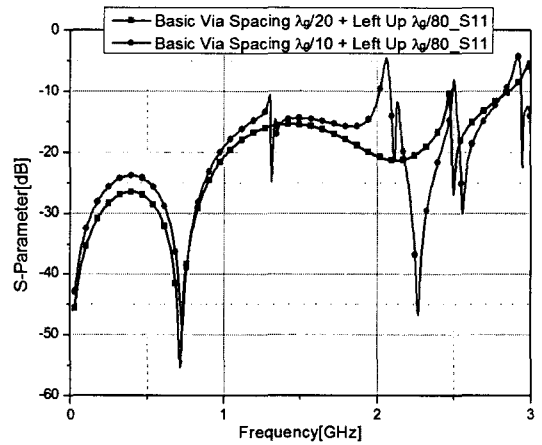


(b) Via 간격을 28.28 mm로 설정

[그림 14] 우측 상단에 Via 간격을 3.535 mm로 고정하고 나머지 부분 간격 변화



(a)



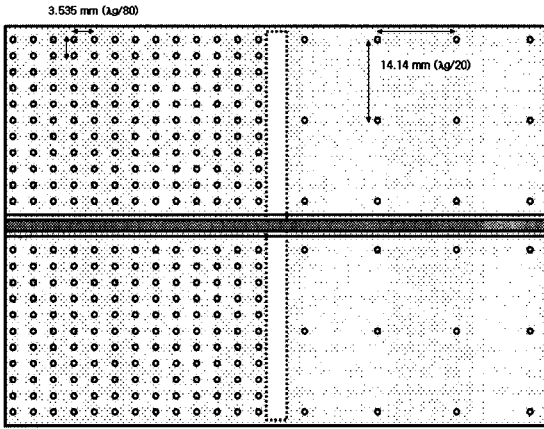
(b)

[그림 15] [그림 14]의 S 파라미터 해석 결과

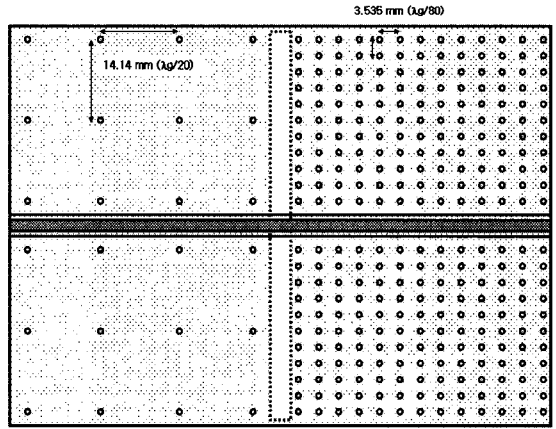
반적인 EMI 측정 주파수 범위가 30 MHz~1 GHz이기 때문이다.

[그림 15]는 결과적으로 [그림 12]가 EMI 측면에서 더 좋은 효과가 있음을 증명하고 있다. 공진 주파수가 [그림 12]에 비해 [그림 14]의 (a) 경우가 더 낮은 대역의 이동을 하였다. 그리고 [그림 14]의 (b)의 경우 더욱더 나쁜 영향을 미치고 있다. [그림 16]은 좌우 대칭으로 Via의 간격을 3.535 mm로 분포를 시키고 나머지 부분은 14.14 mm로 고정을 하였다.

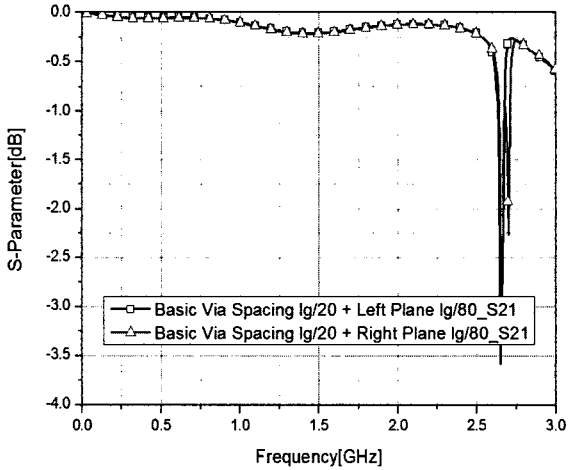
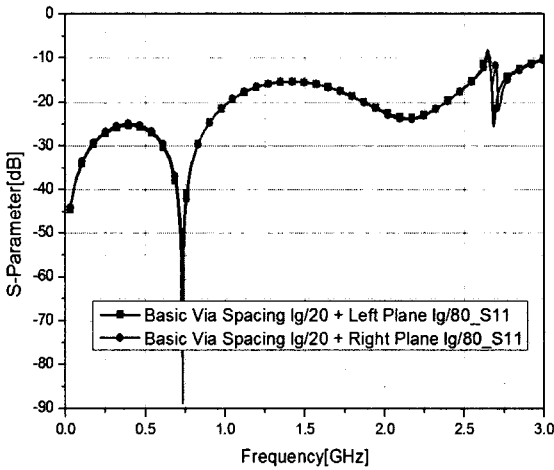
[그림 17]은 규칙성과 일관성을 배제한 Via의 분



(a) 왼쪽 면에 Via의 간격 3.535 mm

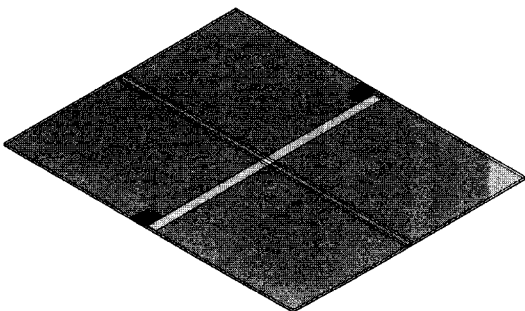


(b) 오른쪽 면에 Via의 간격 3.535 mm



(c) S 파라미터 시뮬레이션 해석 결과

[그림 16] 좌우 대칭적으로 Via를 분포시켰을 경우 해석 결과



[그림 17] 비균일적으로 Via를 분포시킨 경우

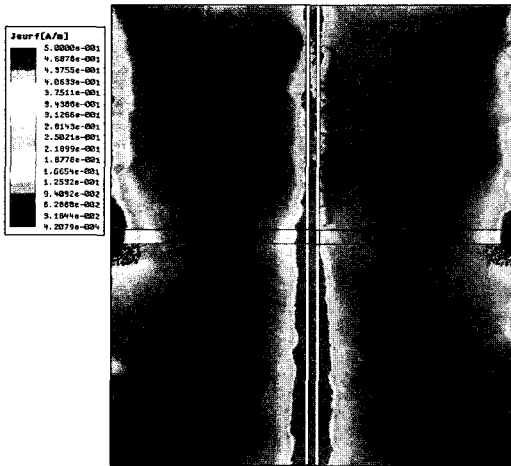
포를 고려하여 설정한 것이다. 이러한 경우가 일반적인 PCB에서 보여지는 형태이다. 궤환 전류 경로 주변 Via를 집중적으로 배치하게 되면 궤환 경로가 증가하게 되고 인덕턴스가 증가하는 결과를 초래한다. 그러므로 집지 잡음 전압이 상승하게 되고, 이것은 다시 공통 모드 전류의 증가를 가져온다. 공통 모드 전류는 EMI 노이즈 주된 소스원이 된다. 따라서 이러한 Via의 분포는 피해 가야 한다.

[그림 19]는 위험한 공진 주파수 대역이 1 GHz 이

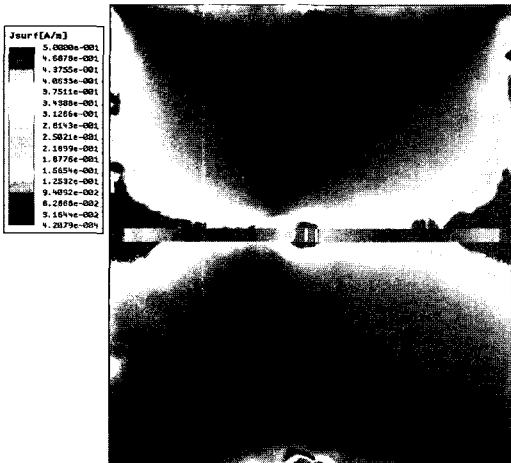


하로 이동을 하였다. 앞서 설명한 바와 같이 공진 주파수 1 GHz 이하로 이동을 하게 되면 회로의 동작 주파수 혹은 고조파 성분과 중첩이 될 수 있는 가능성이 존재하기 때문에 위험하게 된다. 만약에 이러한 문제가 EMI 문제의 근본 원인이 된다면, 이것을 PCB 설계를 처음부터 다시 해야 하는 상황이 된다.

#### IV. 결론

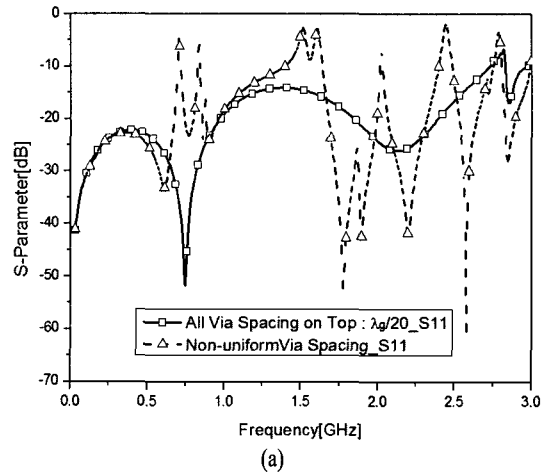


(a) Top 면

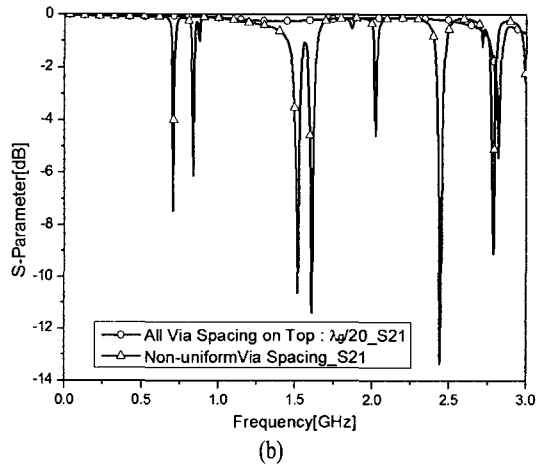


(b) Bottom 면

[그림 18] 비균일성으로 인한 전류 흐름 결과



(a)



(b)

[그림 19] [그림 17]의 S 파라미터 해석 결과

본고에서는 일반 설계 엔지니어 혹은 PCB 설계자가 간과하기 쉬운 Via의 분포 및 간격에 대한 지침을 주고, 어떠한 지침으로 Via를 설계해야 하는지에 대한 이유를 시뮬레이션을 통해 검증하였다. 통상적으로 PCB를 설계하는 엔지니어는 Via를 다점으로 되도록 많이 만들어 주면 좋다고만 알려져 있고, Via를  $\lambda_g/20$  간격으로 해야 하는지에 대한 정확한 이해를 하지 못한 상태에서 PCB 설계를 하고 있는 실정이다. 따라서 본고에서는 이러한 Via의 간격 및 분포성에 대한 해석을 통해 EMI를 고려한 PCB 설계 지

침을 주고자 하였다. 향후에 설계 엔지니어는 Via의 간격을 관심 주파수의  $\lambda_g/20$  간격으로 설계를 하고 다점보다는 균일성이 우선시 되어야 함을 명심해야 한다. 복합 멀티미디어 기기의 등장과 사용 주파수 증가 및 집적화, 저전력화로 인하여 EMI를 고려한 PCB 라우팅 기술은 매우 중요하고 고난이도의 기술이 필요한 분야로 성장할 것이다. 설계 엔지니어들은 이러한 국외 동향 및 PCB 설계 기술의 동향에 대해 꾸준히 연구하고 모니터링을 할 필요가 있다. 앞에서 언급된 좀 더 실질적이고 일반화된 이론 정립이 필요한 부분이 본고에서도 있으며, 향후에 연구를 지속적으로 할 예정이다.

### 참 고 문 헌

- [1] S. Asanee, K. Arash, and A. Ramesh, "Using via fences for crosstalk reduction in PCB circuit", *2006 IEEE Electromagnetic Compatibility Symposium*, pp. 34-37, 2006.
- [2] R. F. German, H. Ott, and C. R. Paul, "Effect of an image plane on PCB radiation", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, 1990.
- [3] M. I. Montrose, "Overview of design techniques for printed circuit board layout used in high technology product", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, 1991.
- [4] CKC Lab, *EMI Considerations for High Speed System Design*, 1991.
- [5] R. W. Dockey, R. F. German, "New techniques for reducing printed circuit board common-mode radiation", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, pp. 334-339, 1993.
- [6] H. Ott, *Noise Reduction Techniques in Electronic System*, 2nd., John Wiley & Sons, New York, 1988.
- [7] H. Johnson, M. Graham, *High-Speed Signal Propagation : Advanced Black Magic*, Prentice Hall, 2003.
- [8] David M. Pozar, *Microwave Engineering*, John Wiley & Sons, Inc.
- [9] M. I. Montrose, *EMC and the Printed Circuit Board : Design Theory, and Layout made Simple*, John Wiley & Sons, Inc.
- [10] K. L. Kaiser, *Electromagnetic Compatibility Handbook*, CRC Press, pp. 16-14~16-42, 2004.

≡ 필자소개 ≡

정 기 범



1999년 2월: 국민대학교 전자공학과 (공학사)  
 2001년 2월: 국민대학교 전자공학과 (공학석사)  
 2002년~현재: 한양대학교 박사과정  
 2004년~현재: EMC 기술지원센터 팀장  
 [주 관심분야] EMC 설계 및 대책, PCB 설계기술, 시스템 EMC, 전자파수치해석, 안테나 설계

정 연 춘



1984년 2월: 경북대학교 물리학과 (이학사)  
 1986년 2월: 경북대학교 물리학과 (이학석사)  
 1999년 8월: 충남대학교 전자공학 (공학박사)  
 1985년 12월~2001년 5월: 한국표준과학연구원 전자기환경그룹 책임연구원, 그룹장  
 2000년 3월~2001년 2월: Univ. of York, Visiting Academics  
 2001년 6월~2002년 2월: 익스펜전자(주) 중앙연구소장 부사장  
 2002년 3월~현재: 서경대학교 정보통신공학과 교수  
 [주 관심분야] EMI/EMC 측정 및 대책기술, 전자파재료

전 창 한



2006년 2월: 서경대학교 정보통신공학과 (공학사)  
 2006년 2월~현재: EMC 기술지원센터  
 [주 관심분야] EMC