

EBG 구조를 이용한 전자파 장애 저감 기술 연구 동향

권 중 화 · 최 형 도

한국전자통신연구원

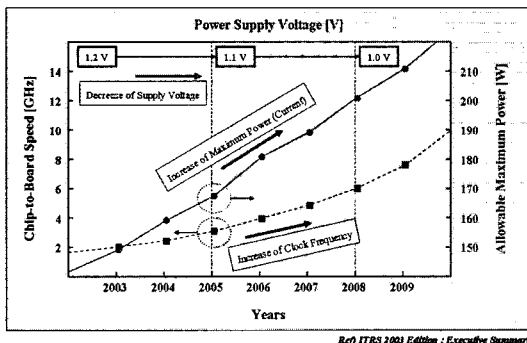
I. 서 론

최근 유·무선 방송 및 통신 관련 기술과 서비스가 급속도로 발전하고 이에 따라 사용자들의 제품에 대한 요구 수준도 높아져 첨단 정보 통신 기기 및 시스템은 다양한 기능을 갖는 동시에 휴대가 용이하도록 소형화되고 있으며, 이를 구현하기 위해 고속 디지털 시스템은 [그림 1]에서와 같이 빠르게 고속화·광대역화되고 있다. 이와 같이 첨단 기기 및 시스템의 동작 속도가 더욱 증가함에 따라 클럭 주파수가 수 GHz 범위에 들어가면서 On/Off Chip이나 패키지, 혹은 다층 PCB 구조에서 발생하는 Simultaneous Switching Noise(SSN)에 의한 신호/전원 무결성(Signal/Power Integrity) 및 전자파 장애(EMI) 문제가 고속 시스템의 칩/패키지 및 PCB 설계에서의 가장 중요한 이슈로 떠오르고 있다^[1].

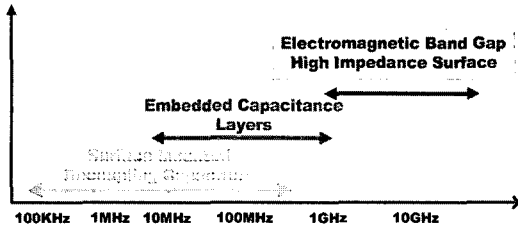
지금까지는 아날로그 및 디지털 시스템에서 SSN에 의해 발생된 신호/전원 무결성이나 전자파 장애(EMI) 문제를 해결하기 위한 가장 대표적인 방법은

전원층과 접지층에 사이에 감결합 소자로 알려진 Decoupling Capacitor(DeCap)라고 하는 대용량의 정전용량(capacitance)을 갖는 소자를 설치하는 것으로 이를 통해 전원층의 기생 인덕턴스 성분을 제거하고, 집적 회로 소자에 원활한 전원을 공급할 수 있도록 하는 연구들이 꾸준히 진행되어 왔다^{[2]~[4]}. 그러나 DeCap을 PCB상에 실장하는 것은 생산 비용을 가중시킬 뿐만 아니라, PCB 보드의 공간을 차지함으로써 여러 소자들의 배치가 자유롭지 못하게 하는 원인이 될 수 있으며, DeCap이 갖고 있는 기생 인덕턴스 성분때문에 또 다른 병렬 공진 주파수를 유발할 수 있다. 더욱이 DeCap은 수백 MHz 대역까지만 작동할 수 있으므로, 최근의 고속 디지털 시스템에서 문제가 되는 GHz 주파수 성분을 갖는 SSN을 제거할 수 없다. DeCap의 기생 인덕턴스 성분을 줄이기 위한 여러 가지 노력 중 많이 사용되고 있는 방법이 높은 유전율을 갖는 얇은 필름 형태의 물질을 전원과 접지면 사이에 배치하는 내장형 박막 커패시터(embedded thin film capacitor)^[5]이다. 내장형 커패시터를 사용하는 경우, DeCap에 비해 높은 주파수 대역까지도 SSN 저감 특성이 좋아지지만, 실제 적용하기 위해서는 높은 유전율을 갖는 재료의 조성과 이를 이용한 공정 기술에 대한 추가적인 연구가 필요하며, 내장형 박막 커패시터의 경우에도 사용 주파수대역이 수백 MHz까지로 제한적이다^[6].

GHz 대역에서 SSN에 의한 문제를 해결하기 위한 새로운 방법들이 연구되고 있으며, 본 고에서는 이러한 연구들 중 [그림 2]에서 보여주고 있는 바와 같이 GHz 대역에서 전자파 저감 대책 기술로 응용 가능성이 높은 Electromagnetic Band Gap(EBG) 구조,



[그림 1] 고속 디지털 기기의 기술 동향



[그림 2] SSN 대책 기술의 적용 주파수 범위^[6]

즉, 특정 주파수 대역에서 높은 임피던스 특성을 갖게 되어 표면에 흐르는 전류에 대한 광대역 저지 특성을 갖는 EBG 구조를 사용하여 Chip, 패키지를 비롯한 다층 PCB 구조에서의 SSN 잡음을 제거하는 연구 동향에 대해 기술하고자 한다. PCB 등 다층 구조에서 EBG를 이용하여 SSN을 저감하는 것이 DeCap이나 내장형 박막 커패시터를 사용하는 것보다 효과적으로 SI/PI를 개선하고 EMI를 억압할 수 있으며, 억제하고자 하는 주파수 대역 선택 특성이 탁월하다. 또한 제조 공정이 쉽고 간단하기 때문에 비용 절감의 효과가 있다. 따라서, EBG를 비롯한 전자파 제어 기술을 이용하면 제품 개발 시 최적의 성능과 시스템 안정성을 확보할 수 있으며 많은 디지털 시스템 생산에 미치는 큰 파급 효과가 발생할 수 있을 것으로 전망된다. 또한 표면 전류 억제 기능을 이용하여 개구부를 갖는 합체나 공용 접지면을 사용하는 합체 구조에 EBG 구조를 적용하여 불필요한 전자파 결합을 억제하는 연구도 진행되고 있으며, 이러한 내용에 대해서도 간단히 기술하고자 한다.

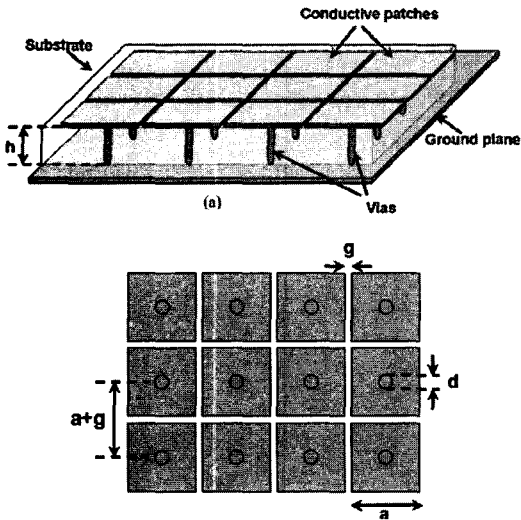
II. EBG 구조 및 특성

일반적으로 EBG 구조는 특정한 주파수 범위 내에서 높은 임피던스를 가지고 동시에 완전 자기 도체 (Perfect Magnetic Conductor: PMC) 특성을 갖도록 설계된 구조^{[7]~[17]}이다. EBG 구조가 최근 EMI/EMC 및 SI/PI 연구 분야에서 많이 활용되는 주요 이유는 표

면에 흐르는 전류를 억제할 수 있는 EBG 구조의 독특한 특성 때문이다. 즉, 매우 큰 임피던스를 나타내는 특정 주파수 대역에서 도체면을 따라 전파하는 표면 전류(surface current)에 대해 흐름을 억제하는 특성을 나타내며, 이러한 특성을 갖는 EBG 구조를 다층 PCB나 패키지 등에 적용하여 전력/전원 분포 네트워크(Power/Ground Distribution Network: PDN)를 통해 전파되는 SSN과 같은 형태의 노이즈를 억제함으로써 궁극적으로 전자파 장애(EMI)를 억제할 수 있다.

마이크로파 대역에서 동작하는 EBG 구조 중 대표적인 구조^{[7]~[9]}는 [그림 3]에서와 같이 접지면과 같은 도체판이 부착된 유전체나 자성체 기판 상에 일정한 주기를 가지고 배치한 정사각형이나 육각형 형태의 도체판(patch)으로 구성된 주파수 선택적 표면(Frequency Selective Surface: FSS)과 FSS를 구성하는 패치를 접지면에 연결해 주는 Via로 이루어져 있으며, 패치나 Via의 형태나 기판을 구성하는 물질의 유전율이나 투자율을 조정하여 원하는 주파수 대역을 설정할 수 있다. 이러한 형태의 EBG 구조는 버섯의 형태를 닮았다고 하여 Mushroom 구조라고도 한다. EBG 구조의 중요한 특성은 특정 주파수 대역에서 PMC 특성과 높은 임피던스 특성을 갖는다는 것이다. 이러한 특성을 이용하여 EBG 구조는 최근 안테나 소형화에 적용하거나 높은 임피던스를 갖는 주파수 대역에서 표면 전류의 흐름을 억제하는 특성을 이용하여 안테나의 빔 패턴 조정이나 SSN 저감이나 EMI 저감 등에 활용^{[7],[8]}되고 있다. EBG 구조는 높은 임피던스를 갖는 특성 때문에 High Impedance Surface(HIS)라고도 불리며, 이외에도 Metallo-dielectric Material이나 Negative Material 등 다양한 용어로도 지칭^{[10],[11]}되고 있다.

EBG를 구성하는 작은 도체판들이 동작 주파수의 파장보다 매우 작은 간격으로 배열되어 있는 경우, EBG 구조의 전자기적 특성은 [그림 4]에서와 같이



[그림 3] Mushroom 형태의 EBG 구조와 주요 설계 파라미터^[10]

집중 소자(lumped element)인 커패시터와 인덕터의 조합으로 등가 모델링 할 수 있다. 그들은 병렬 공진 LC 회로로 나타낼 수 있으며, 표면 전류에 대한 저지대역의 중심 주파수는 병렬 공진 회로의 공진 주파수로 대략 추정할 수 있다.

금속 패치 주기가 패치 사이의 간격에 비해 매우 큰 경우, 단위 셀에서 패치 사이의 커패시턴스와 인덕턴스는 대략 아래의 식^{[7]-[9]}으로 주어지며, 구해진 L과 C로부터 EBG의 표면 전류 억제 특성을 보여주는 주파수 대역에 대한 정보를 근사적으로 알 수 있다.

$$c = \frac{a\epsilon_0(1 + \epsilon_r)}{\pi} \cdot \cosh^{-1}\left(\frac{2a+g}{g}\right) \quad (1)$$

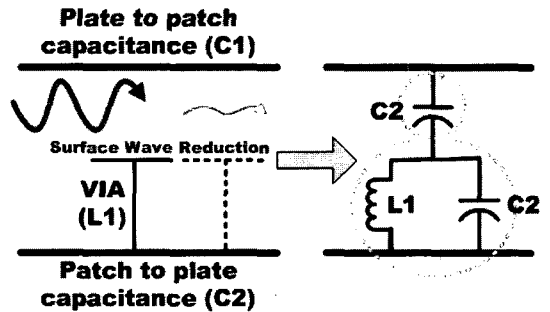
$$L = \mu_0 \cdot h \quad (2)$$

$$\omega_c = \frac{1}{LC} \quad (3)$$

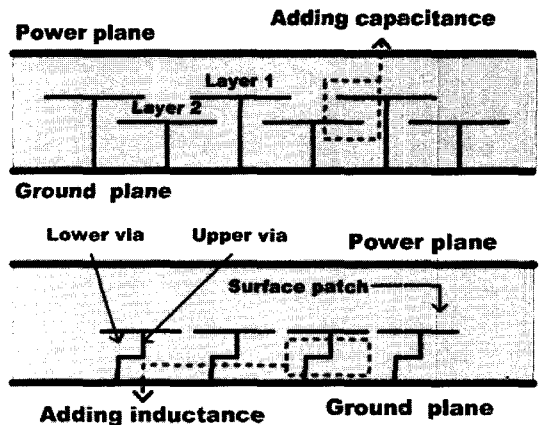
$$BW = \frac{\Delta\omega}{\omega_c} = \frac{1}{\eta} \sqrt{\frac{L}{C}} \quad (4)$$

여기서, ϵ 와 μ 는 각각 기판의 유전율(permittivity)과 투자율(magnetic permeability)을 나타내며, a 는 금속 패치의 폭이고, g 는 금속 패치 사이의 간격, 그리고 h 는 기판의 두께이며 ω_c 는 표면파 저지대역의 중심 주파수이며, Δf 는 저지대역의 대역폭이다.

[그림 4]의 EBG 구조에서 단위 셀의 구조, 즉 패치의 크기나 Via의 크기를 조절함으로써 원하는 성능을 얻을 수 있다. 즉, [그림 5]에서와 같이 Half Loop Conductor를 사용하여 인덕턴스 성분을 증가시킴으로써 공진 주파수를 낮추고 대역폭을 증가^[10]시킬 수 있으며, 또한 Fringing Capacitance를 사용하여 구조의 정전 용량을 증가시켜 공진 주파수 및 대역폭을 원



[그림 4] EBG 단면 구조와 등가 회로



[그림 5] L과 C를 증가시킨 EBG 구조

하는 값으로 설정^[8]할 수도 있다.

EBG 구조에 대한 설계에서 중요한 파라미터는 기판을 구성하는 물질의 물성으로서, 기판의 유전율과 투자율을 적절히 조절함으로써 동일한 구조에 대해서도 월등히 개선된 EBG 성능을 얻을 수 있다. EBG나 HIS 구조를 포함한 Metamaterial 분야에서는 도체판이나 Via의 구조를 변경하는 것에 의한 제어보다 물질의 유전율과 투자율을 조정하여 원하는 특성을 얻는 방향으로 연구가 진행될 것이며, 향후 물질 특성 조절에 의한 제어가 응용 분야도 다양할 것으로 알려져 있다^[7].

III. 전자파 저감 대책 기술

3-1 SSN 저감 기술

일반적으로 다층 구조의 PCB를 비롯한 칩/패키지 구조에서 가장 심각한 노이즈 원은 Simultaneous Switching Noise(SSN)로 알려져 있다. Delta-I 노이즈 혹은 Ground Bounce Noise라고도 불리는 SSN은 고속 디지털 회로에서 빠르게 변하는 시변 전류(time-varying current)에 의해 생긴다. 전원과 접지층 사이에서 발생하는 SSN은 회로상의 신호 무결성(signal integrity)에 영향을 미칠 뿐만 아니라 PCB 기판 등의 가장자리에서 불요전자파의 방사(edge radiation)를 일으키기도 하므로, 고속 클락 주파수를 가지고 낮은 전압 레벨에서 동작하는 고속 디지털 컴퓨터 시스템에서 중요한 관심사가 되고 있다. 최근의 고속 디지털 시스템은 동시에 스위칭하는 수백 개의 입·출력 게이트를 가지고 있으며, 수많은 게이트들이 동시 스위칭함으로써 인해 다층 PCB 사이의 Via를 통해 고속 전류가 흐르게 되면 [그림 6]에서와 같이 전력 및 접지면 사이로 불요 전자파를 발생하게 되고, 발생된 전파는 평행 도체판의 공진 모드를 통해 PCB 전체로 전파하게 되고 PCB의 가장자리에서 외부로 복사 방

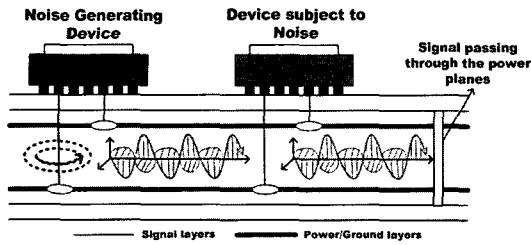
출하게 된다. 즉, SSN은 디지털 회로의 많은 출력 단자들이 동시에 스위칭을 할 때 생기는 유도성 잡음이며, PCB의 형태와 전류 경로에 의존하게 되므로 정확한 양을 측정하기 힘들지만 가장 간단한 공식으로 표현하면 다음과 같다.

$$V_{noise} = N \cdot L_{eq} \frac{di}{dt} \quad (5)$$

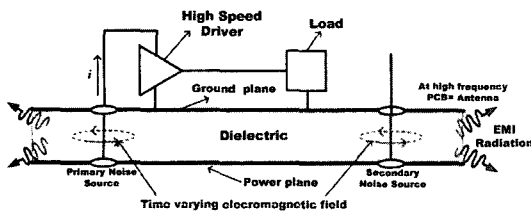
여기서, V_{noise} 는 노이즈 전압의 크기이고, N 은 동시에 스위칭하는 게이트의 개수이며, L_{eq} 는 동시 스위칭할 때 각 드라이버를 통해 흐르는 전류로 인해 생기는 인덕턴스 값이다.

여러 신호들이 동시에 스위칭을 할 때 전원에 연결된 전원층은 해당하는 경로를 따라 흐르며 베이스 구동에 필요한 전류를 전달하게 된다. 전류의 경로에 인덕턴스가 존재하게 되면 전원층에 전압의 요동이 생기게 되고 보드를 통해 다른 드라이버의 스위칭의 오동작 및 출력에 영향을 주게 되므로 고속 PCB의 디자인에 있어서 중요한 문제가 된다. 클락 주파수의 빠른 증가는 스위칭 노이즈의 또 다른 원인이 된다. 실제로 고속의 작은 전류는 동시 스위칭으로 인해 그 값이 커지므로 문제가 된다.

[그림 6]에서 보듯이 SSN 노이즈는 평행 도체판(parallel plate waveguide)의 고유 공진 모드로 인해 다층 기판에서 전류가 흐르는 Via들로부터 활성화 될 수 있다. 여기된 평행 도체판 노이즈의 주파수가 평행 도체판의 고유 공진 모드와 일치할 경우, 다층 기판에서 전원층과 접지층으로 이루어진 도체판을 통해 전파되어 나간다. 따라서 이러한 노이즈의 전파는 인접된 Via를 통해 지나가는 신호의 전송 특성에 영향을 주게 되거나 방사되어 옆에 있는 전자 제품에 영향을 일으키는 EMI의 결정적인 원인이 된다. 그러므로 고속 디지털 시스템의 응용에서 평행 도체판의 고유 공진 모드로 인해 전류가 흐르는 Via로부터 여겨진 평행 도체판의 노이즈의 감소, 즉 SSN을 억제



(a) SSN에 의해 인접 신호선으로의 영향



(b) 기판 가장자리에서의 EMI 발생

[그림 6] 다층 기판에서 SSN에 의한 SI/PI 영향 및 EMI 발생 원리

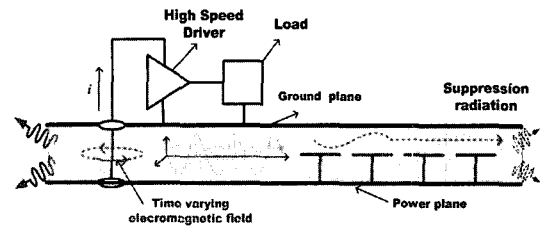
하는 것은 매우 중요하다. 대표적인 평행 도체판 잡음 감소의 방법은 전원층과 접지층 사이에 Decoupling Capacitor(DeCap)를 연결하는 이다. DeCap을 이용하여 낮은 임피던스를 갖는 귀환 전류 경로를 제공함으로써 평행 도체판 노이즈를 감소시킬 수 있었다. 그러나 수많은 Via 각각에 대해 SSN을 적절히 저감하기 위해서는 수많은 DeCap을 연결해 줘야 하며 1 GHz 이상의 고주파 대역에서는 평행 도체판의 노이즈 감소에는 효과적이지 못하다는 단점이 있다.

이러한 DeCap 및 내장형 박막 커패시터의 단점을 보완하기 위해 최근 EBG 구조를 다층 PCB 구조에서의 SSN 저감을 위해 적용하는 연구^{[6]~[17]}가 많이 진행되었다. [그림 7]은 EBG 구조를 PCB에 적용한 구조이다. 그림에서 보듯이 EBG 구조는 도체 표면을 따라 전파하는 표면파에 대해 대역 저지 특성을 나타내며 PCB에 적용하여 EMI를 억압할 수 있다.

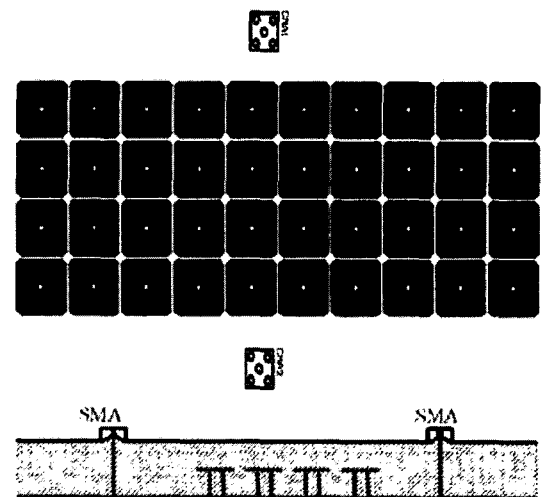
EBG 구조의 중요한 파라미터는 [그림 3]에서 나타난 바와 같이 패치의 크기(a), 패치 사이의 간격(g),

Via의 직경(d), 패치와 접지면 사이의 길이(h), 그리고 기판의 유전율이나 투자율 등이다.

EBG 구조의 전자기적 효과를 확인하는 방법에는 HFSS(Ansoft, 미국)^[18]나 Microwave Studio(CST, 독일)^[19] 같은 3D 전자기장 수치 해석 툴을 사용하여 단위 셀(Unit Cell)에 대해 Reflection Phase 특성이나 Dispersion Diagram으로 점검하거나 전력/접지면 사이에 구현된 EBG 구조의 경우에는 [그림 8]에서 보여주고 있는 바와 같이 수치 해석 툴이나 측정 등을 통해 해석하고자 하는 EBG 구조 양 옆에 포트(port)를 잡고 산란 주파수 특성, 특히 삽입 손실(Insertion



[그림 7] SSN 저감을 위해 EBG 구조를 적용한 다층 PCB 구조



[그림 8] EBG 구조에 대한 S Parameter 해석 및 측정 구조^[10]

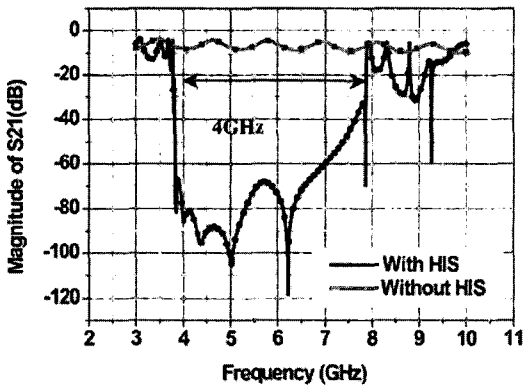
loss, S_{21})을 계산함으로써 [그림 9]의 결과와 같이 저지 대역에 대한 중심 주파수와 대역폭, 그리고 저지 대역 내 저감 정도를 확인할 수 있다. [그림 8, 9]에서와 같이 EBG 구조는 수 GHz 주파수에서 상당히 넓은 주파수 대역에 대해 표면 전류 억제 특성을 보여주고 있으며, 이러한 특성을 이용할 경우 SSN 저감에 상당히 효과가 있다.

필터 이론과 대역 저지 필터로서의 EBG 기능을 이용하여 다중 대역 혹은 광대역 특성을 갖는 EBG를 설계할 수 있다. [그림 10]에서 나타내고 있는 구조는 서로 다른 금속 패치(5 mm, 10 mm, 그리고 20 mm)로 구성된 EBG 구조로서, 패치 사이의 간격(g)은 0.4 mm, Via의 직경(d)은 0.8 mm, 기판의 두께(t)는 1.54 mm, 그리고 기판의 유전율은 4.1이다. 다른

크기의 금속 패치를 직렬로 배열하는 경우, 각각의 특성이 중첩(superposition)되어 나타나게 되며, [그림 11]에서와 같이 넓은 주파수 대역에서 SSN 저감이 가능한 EBG를 구성할 수 있다.

현재 사용되는 기기에서 대부분의 SSN 동작 주파수는 현재 6 GHz 이하 대역에서 발생하므로 이러한 SSN에 대해 동작하는 EBG 구조는 낮은 주파수에서 넓은 저지 대역을 갖는 구조이어야 한다. 그러나 이러한 EBG 구조의 설계는 여전히 상당히 어려운 문제로 알려져 있으며, 이러한 문제를 해결하기 위해 여러 가지 방법들이 제시되고 있는데, 내장형 박막 커패시터(embedded thin film capacitor)를 이용한 EBG 구조 설계도 한 가지 방법으로 연구되고 있다.

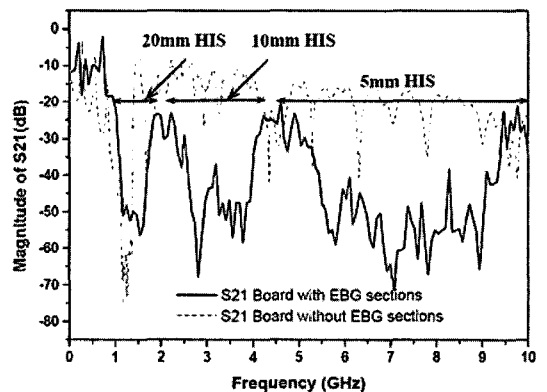
내장형 박막 커패시터를 이용한 EBG 설계^[20]는 [그림 12]에서와 같이 높은 유전율을 갖는 얇은 유전체를 패치와 전원면 사이에 배치시키는 방법으로 내장형 박막 커패시터의 특성에 의해 EBG의 동작 주파수가 낮아짐과 동시에 저지대역도 상당히 넓게 할 수 있다. 이러한 효과는 [그림 13]에서 확인할 수 있으며, 일반적인 EBG 구조에 비해 낮은 주파수로부터 약 세배 이상의 대역폭을 얻을 수 있음을 확인할 수 있다. 그러나 이러한 구조의 경우에도 내장형 박



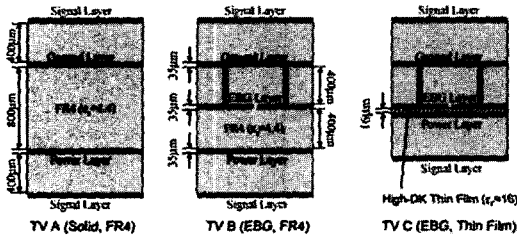
[그림 9] EBG 구조의 대역 저지 특성 해석 결과^[10]



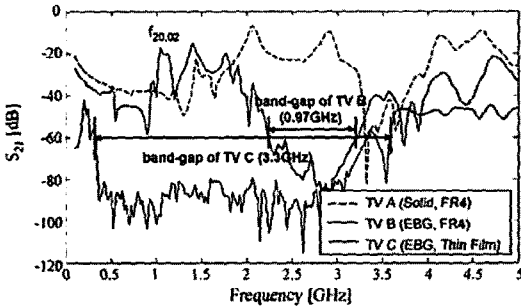
[그림 10] 광대역 혹은 다중 대역 저지 특성을 갖도록 설계된 EBG 구조^[11]



[그림 11] 다중 대역 저지 특성을 갖는 EBG 구조 해석 결과(S_{21})^[11]



[그림 12] 내장형 박막 커패시터를 이용한 EBG 구조^[20]



[그림 13] 내장형 박막 커패시터를 이용한 EBG 성능 비교^[20]

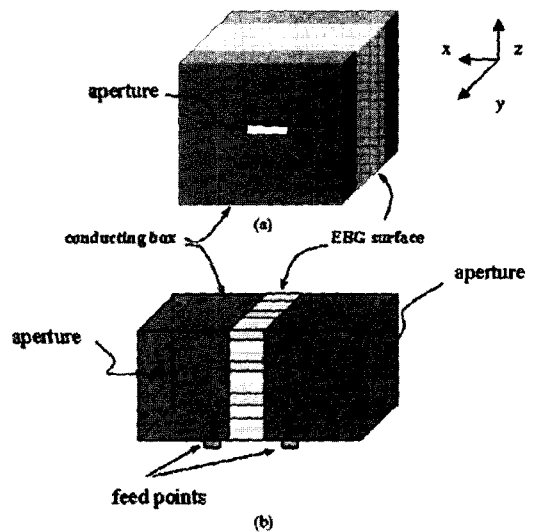
막 커패시터를 구현하기 위한 공정과 높은 유전율을 갖는 유전체 개발에 대한 연구가 좀더 진행되어야 상용 기술로 활용할 수 있을 것이다.

3-2 시스템 레벨 저감 대책 기술

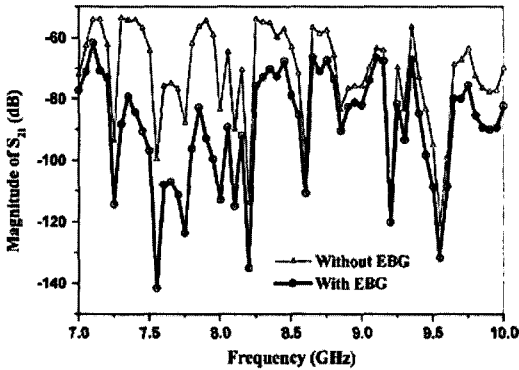
일반적으로 특정 주파수 대역에서 높은 임피던스 및 완전 자기 도체 특성을 갖는 EBG 구조는 초기 안테나 소형화 등 RF 부품 개발에 적용^{[7]~[9]}하였으며, 2000년대 초반부터 PCB를 포함한 다층 구조의 시스템에서 표면파에 의한 노이즈, 특히 SSN을 억제^{[10]~[17]}하는데 주로 사용되었다. 최근 캐나다 Waterloo 대학의 Ramahi 교수 연구팀을 중심으로 EBG 구조를 좀더 다양한 분야에 적용하려는 연구가 진행 중이며, 본 절에서는 최근 발표된 논문을 중심으로 개구부를 갖는 합체나 공통 접지면을 사용하는 Cavity-backed Slot(CBS) 안테나 배열에서의 EBG 적용 효과

^{[11],[12]}에 대해 기술하고자 한다.

일반적으로 개구부를 갖는 합체의 경우, 내부 전자파원과 내부 전파 환경 사이의 상호 작용은 주로 개구부를 통한 전자파의 직접 복사에 의한 것과 도체면에 유기된 표면 전류에 의한 것으로 나눌 수 있다. EBG를 이용하여 제어할 수 있는 부분은 표면 전류에 의한 상호 작용에 대한 것으로 [그림 14]에서와 같이 각각 한 개의 개구부를 갖는 두 개의 합체가 붙어 있어 접지면을 공동으로 사용하고, 내부에 노이즈를 발생시키거나 수신할 수 있는 임의의 안테나 형태의 구조가 있는 경우, 첫번째 합체 내부의 급전부(feeding point)에 신호를 인가시키면 합체의 표면을 따라 전류가 유기되고 이러한 전류는 개구부를 통해 두 번째 합체 내부로 전달되게 되어 불필요한 신호가 수신되게 된다. 이러한 경우, 특정 주파수 대역에서 표면 전류를 억제할 수 있는 EBG 구조를 [그림 14]에서와 같이 합체 주변에 배치하게 되면 해당 주파수 대역에서의 표면 전류 전달이 억제되어 시스템 내의 특정 영역을 불필요 전자파로부터 보호할



[그림 14] 공통 접지를 사용하는 개구부를 갖는 합체 구조^[12]



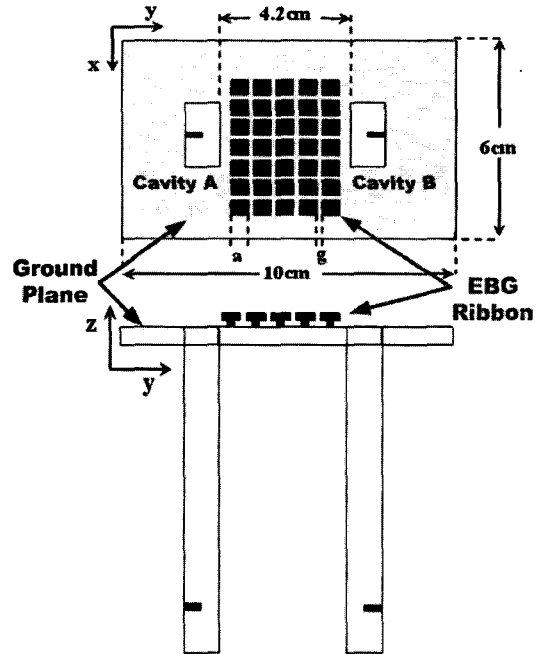
[그림 15] EBG 구조의 유무에 따른 S_{21} 해석 결과^[12]

수 있다. EBG 적용의 효과는 [그림 14]의 두 입·출력 단자에서 EBG가 있는 경우와 없는 경우의 삽입 손실을 계산함으로써 알 수 있으며, 해석 결과를 [그림 15]에 나타내었다. 사각 형태의 패치 구조($a=4\text{ mm}$, $g=0.4\text{ mm}$, $d=0.8\text{ mm}$, $h=1.54\text{ mm}$ $\epsilon_r=2.2$)가 사용되었으며, 대략 7.25~8.5 GHz 대역에서 10 dB 이상의 저감 특성을 보여주고 있다.

이러한 EBG 구조의 응용은 여러 개의 분리된 합체들로 구성된 시스템에서 공통으로 접지면을 사용하는 두 영역 사이에서 표면 전류에 의해 전자파 결합이 발생하여 문제가 생기는 경우에 적용할 수 있다.

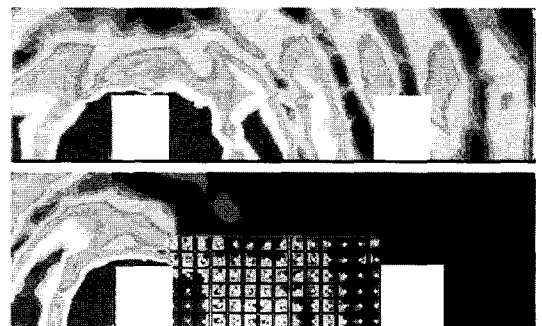
침단 기능을 갖는 복잡한 시스템의 경우에는 여러 개의 전자파원이 근접거리에서 사용되고 있으며, 이러한 경우 인접된 소자들 사이의 전자파 결합에 의한 영향을 줄이기 위해 EBG 구조를 적용할 수 있다. [그림 16]에서 보여주고 있는 바와 같이 공통으로 접지면을 사용하는 Cavity-backed Slot(CBS) 안테나 배열 구조에 있어서 안테나 소자 사이의 영향을 줄이기 위해 EBG 구조를 [그림 16]에서와 같이 안테나 소자 사이에 적용하였다.

Cavity A가 전자파 발생원으로 12.6 GHz의 전자파를 방사하고 있으며, 안테나 소자 사이에 해당 주파수 대역에서 동작하도록 설계된 EBG 구조를 배치한 경우와 배치하지 않은 경우, 각각에 대해 공통 접

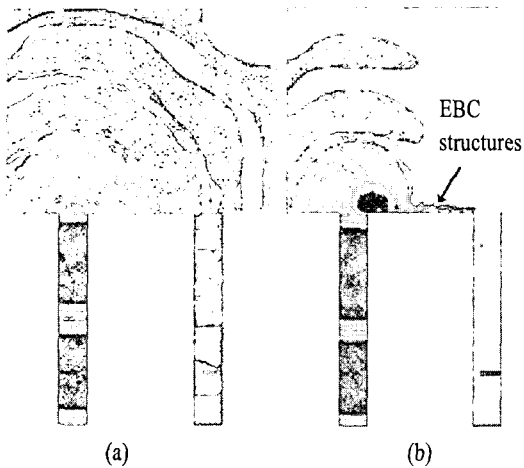


[그림 16] EBG 구조의 유무에 따른 S_{21} 해석 결과^[11]

지면에서의 표면 전류 밀도와 CBS 안테나 주변에서의 전기장 분포를 계산하고, 이를 [그림 17]과 [그림 18]에 각각 표시하였다. 그림에서 확인 할 수 있듯이 EBG를 설치한 경우, 인접된 안테나 소자로 전달되는 표면 전류 밀도가 상당히 줄었으며, 이러한 현상의 결과로 인접된 안테나 구조 주변에서의 전기장 값도 상당히 줄어들었음을 확인할 수 있다.



[그림 17] EBG 구조의 유무에 따른 표면 전류 분포^[11]



[그림 18] EBG 구조의 유무에 따른 전기장 분포^[11]

IV. 결 론

본 고에서는 특정 주파수 대역에서 높은 임피던스(high impedance) 및 완전 자기 도체(perfect magnetic conductor) 특성을 갖는 EBG(Electromagnetic Band Gap) 구조에 대해 간단히 기술하고, 이러한 구조를 고속 디지털 시스템에서의 전자파 저감 대책 기술로 활용하는 연구 동향에 대해 예제를 중심으로 기술하였다.

다층 PCB나 패키지 구조에서 신호/전력 무결성(SI/PI)이나 전자파 장애(EMI) 문제와 관련된 가장 중요한 원인으로 알려진 SSN의 경우, 대부분 수백 MHz에서 6 GHz 미만의 주파수 대역에 특성을 가지고 있다. EBG 구조의 높은 임피던스 특성은 표면 전류를 억제하는데 매우 효과적이라는 것이 여러 논문을 통해 검증되었지만, EBG 구조를 소형화되고 있는 상용 PCB나 패키지, 나아가 집적회로 내에 적용하기 위해서는 낮은 주파수에서 광대역 특성을 가질 수 있도록 하는 연구가 필요하다. 특히 PCB나 패키지 크기의 제한 등 구조에 의한 EBG 설계에는 한계가 있으므로 구조 설계와 함께 높은 유전율이나 투자율 혹은 음의 유전율이나 투자율을 갖는 재료에 대한 조성 및 가공에 대한 연구를 병행하는 등 실용적이

고 상용 가능한 연구 결과를 위해서는 학제간 연구가 반드시 필요한 분야이다. 이러한 연구의 결과는 최근 전세계적으로 많은 관심을 받고 있는 음의 굴절율을 갖는 Metamaterial 설계 및 응용 연구에도 활용할 수 있을 것이다.

또한, 개선된 특성을 갖는 EBG 구조를 활용하여 낙뢰나 HEMP 등을 포함한 정전기 방전(ESD) 현상에 대한 기기 보호 대책 기술, 개구부를 갖는 차폐함체의 차폐 효과 개선 등 전자파 저감 대책 기술로의 활용을 위한 노력도 꾸준히 진행될 것으로 예측된다.

참 고 문 헌

- [1] R. Senthintan, J. Price, *Simultaneous Switching Noise of CMOS Devices and Systems*, Norwell, MA: Kluwer, 1994.
- [2] S. Radu, D. Hockanson, "An investigation of PCB radiated emissions from simultaneous switching noise", in *Proc. IEEE Int. Symp. Electromagnetic Compatibility*, Seattle, WA, vol. 2, pp. 893-898, Aug. 1999.
- [3] V. Ricciuti, "Power-supply decoupling on fully populated high-speed digital PCBs", *IEEE Trans. EMC*, vol. 43, pp. 671-676, Nov. 2001.
- [4] S. Radu, R. E. DuBroff, J. L. Drewniak, T. H. Hubing, and T. P. Van Doren, "Designing power bus decoupling for CMOS devices", in *Proc. IEEE Int. Symp. EMC*, Denver, CO, vol. 1, pp. 375-380, Aug. 1998.
- [5] M. Xu, T. H. Hubing, J. Drewniak, T. Van Doren, and R. E. DuBroff, "Modeling printed circuit boards with embedded decoupling capacitance", in *Proc. IEEE Int. Symp. EMC*, Montreal, QC, Canada, pp. 515-520, Aug. 2001.

- [6] S. Shahparnia, O. M. Ramahi, "Electromagnetic interference(EMI) reduction from printed circuit boards (PCB) using electromagnetic band gap structures", *IEEE Trans. EMC.*, vol. 46, no. 4, pp. 580-587, Nov. 2004.
- [7] D. F. Sievenpiper, "High-impedance electromagnetic surface", Ph. D. dissertation, Dept. Elect. Eng., Univ. California, Los Angeles, CA, 1999.
- [8] D. Sievenpiper, E. Yablonovitch, "Eliminating surface currents with metallo-dielectric photonic crystals", in *Proc. IEEE MTT-S Int. Microw. Symp. Digest*, vol. 2, pp. 663-666, Jun. 1998.
- [9] D. Sievenpiper, L. Zhang, R. F. J. Broas, N. G. Alexopolous, and E. Yablonovitch, "High impedance electromagnetic surfaces with a forbidden frequency band", *IEEE Trans. MTT*, vol. 47, no. 11, pp. 2059-2074, Nov. 1999.
- [10] T. Kamgaing, O. M. Ramahi, "A novel power plane with integrated simultaneous switching noise mitigation capability using high-impedance surfaces", *IEEE Microw. Wireless Compon. Lett.*, vol. 13, no. 1, pp. 21-23, Jan. 2003.
- [11] M. Ramahi, S. Shahparnia, and B. Mohajer-Irvani, "Electromagnetic band gap material: Exotic stuff for not-so-exotic EMI/EMC applications", *Interference Technology - The Annual EMC Guide 2004*, Item Publications.
- [12] B. Mohajer-Irvani, S. Shahparnia, and O. M. Ramahi, "Coupling reduction in enclosures and cavities using electromagnetic band gap structure", *IEEE Trans. EMC*, vol. 48, no. 2, pp. 292-303, May 2006
- [13] T. Kamgaing, "High-impedance electromagnetic surfaces for mitigation of simultaneous switching noise in high-speed circuits", Ph. D. dissertation, Dept. Elect. Comp. Eng., Univ. Maryland, College Park, MD, Oct. 2003.
- [14] T. Kamgaing, O. M. Ramahi, "Inductance-enhanced high-impedance surfaces for broadband simultaneous switching noise mitigation in power planes", in *Proc. IEEE MTT-S Int. Microw. Symp. Digest*, vol. 3, pp. 2165-2168, Jun. 2003.
- [15] S. Shahparnia, O. M. Ramahi, "Simultaneous switching noise mitigation in PCB using cascaded high-impedance surfaces", *IEE Electron. Lett.*, vol. 40, no. 2, pp. 98-100, Jan. 2004.
- [16] R. Abhari, "Modeling of Via interconnects in parallel plate environments and suppression of the induced ground/power plane", Ph. D. dissertation, Dept. Elect. Comp. Eng., Univ. of Toronto, 2003.
- [17] R. Abhari, G. V. Eleftheriades, "Metallo-dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high-speed circuits", *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 6, pp. 1629-1639, Jun. 2003.
- [18] HFSS, High Frequency Structure Simulator Version 10.0, Ansoft, www.ansoft.co.kr, www.ansoft.com
- [19] MWS, Microwave Studio, CST, www.cst-korea.co.kr, www.cst.com
- [20] Junho Lee, Hyungsoo Kim, and Joungho Kim, "High dielectric constant thin film EBG power/ground network for broadband suppression of SSN and radiated emission", *IEEE Wireless and Components Letters*, vol. 15, no. 8, pp. 505-507, Aug. 2005.

≡ 필자소개 ≡

권 중 화



1994년 2월: 충남대학교 전자공학과 (공학사)
1999년 2월: 충남대학교 전자공학과 (공학석사)
1999년 1월~현재: 한국전자통신연구원
전파방송연구단 전파기술연구그룹 전자파환경연구팀 선임연구원

[주 관심분야] EMI/EMC 대책 기술 및 표준화, 전자파 수치 해석

최 형 도



1986년 2월: 고려대학교 재료공학과 (공학사)
1989년 8월: 고려대학교 재료공학과 (공학석사)
1996년 8월: 고려대학교 재료공학과 (공학박사)
2004년 6월~2005년 12월: EMC 기술지

원센터 센터장

1997년 1월~현재: 한국전자통신연구원 전파방송연구단 전파기술연구그룹 전자파환경연구팀 팀장

[주 관심분야] EMI/EMC, 전자파 인체영향