

# UHF대역 RFID 수신단(리더)의 지터(비트동기) 및 글리치 제거회로 설계

준회원 김 상 훈\*, 정회원 이 용 주\*, 준회원 심 재 희\*, 정회원 이 용 석\*\*

## Implementation of a Jitter and Glitch Removing Circuit for UHF RFID System Based on ISO/IEC 18000-6C Standard

Sang-hoon Kim\* *Associate Member*, Yong-joo Lee\* *Regular Member*,  
Jae-hee Sim\* *Associate Member*, Yong-surk Lee\*\* *Regular Member*

### 요 약

본 논문에서는 ISO/IEC 18000-6C 표준안을 만족하는 UHF대역 RFID 수신단(리더)의 지터(Jitter)처리와 글리치 제거 알고리즘 및 설계방안을 제안하고 이를 이용한 리더를 구현하여 실제 TI(Texas instrument) Gen2 태그의 응답을 분석하였다. ISO/IEC 18000-6C 표준안은 Reader에서 Tag로 데이터 전송 시 +/-1%의 오차와 Tag에서 Reader로 데이터 전송 시 최대 +/-22%의 오차를 허용하도록 정의하고 있다. 이러한 허용오차범위 내의 데이터에 대해 본 논문에서 제시한 회로는 기존의 PLL(DPLL, ADPLL)을 이용한 방식이 아닌 최대허용치(tolerance)와 허용치누적을 이용하여 일정치의 오차범위를 허용하며 디코딩 하도록 설계하였다. 또한 글리치와 지터제거 알고리즘의 기본원리를 동일하게 구성하여 글리치제거와 지터제거를 따로 구분하지 않고 하나의 기능으로 동작하게 한다. 주 클럭은 19.2MHz로 설정하였으며 LF는 국내 전파법에 맞도록 40kHz로 설정하였다. 시뮬레이션결과 15%이하의 위상지터를 가진 입력데이터에 대해 판독에러율은 0이었으며 15%~22% 위상지터를 가진 입력데이터에 대해서는 0.000589였다. 그러나 동적LF생성회로를 사용한 결과 15%~22% 위상변화를 가진 입력데이터에 대해 판독에러율은 0이었으며 표준안에 정의된 최대 +/-22%오차 범위내의 지터 발생에 대해서 판독에러율은 0이었다.

**Key Words :** UHF RFID Reader System, Jitter, Glitch, Tolerance, Tolerance-Accumulation

### ABSTRACT

In this paper, we propose an implementation and an algorithm of 'Jitter and Glitch Removing Circuit' for UHF RFID reader system based on ISO/IEC 18000-6C standard. We analyze the response of TI(Texas Instrument) Gen2 tag with a reader using the proposed algorithm. In ISO/IEC 18000-6C standard, a bit rate accuracy(tolerance) is up to +/-22% during tag-to-interrogator communication and +/-1% during interrogator-to-tag communication. In order to solve tolerance problems, we implement the Jitter and Glitch Removing Circuit using the concept of tolerance and tolerance-accumulation instead of PLL(DPLL, ADPLL). The main clock is 19.2MHz and the LF(Link Frequency) is determined as 40kHz to meet the local radio regulation in Korea. As a result of simulations, the error-rate is zero within 15% tolerance of tag responses. And in the case of using the adaptive LF generation circuit, the error-rate varies from 0.000589 to zero between 15% and 22% tolerance of tag responses. In conclusion, the error-rate is zero between 0%-22% tolerance of tag response specified in ISO/IEC 18000-6C standard.

\* 연세대학교 전기전자공학과 프로세서연구실 (shkim@dubiki.yonsei.ac.kr),

\*\* 연세대학교 전기전자공학과 정교수 (yonglee@yonsei.ac.kr)

논문번호 : KICS2006-08-362, 접수일자 : 2006년 8월 29일, 최종논문접수일자 : 2007년 1월 12일

## I. 서론

RFID 시스템은 PIE, FMO 등의 인코딩 방법과 ASK, PSK 등의 변조 방식을 사용한다.<sup>[2]</sup> 이러한 디지털 변조방식을 사용하는 RFID 시스템에서는 데이터 전송에 대한 오차 허용범위를 표준안에 정의하고 있다.<sup>[2]</sup> RFID 시스템은 사용 주파수 대역에 따라 표준안을 달리 하며 데이터 전송 시 허용오차에 대한 기준 또한 다르다. 이중 UHF대역의 RFID 표준안은 현재 A, B, C 세 가지 타입이 있으며, 가장 최근에 발표된 ISO/IEC 18000-6C에서 PIE 인코딩 방식은 리더에서 태그로 데이터 전송 시 사용되며 그 오차범위는 +/-1%로 정의하고 있다. 반면 태그에서 리더로 데이터 전송 시 사용되는 FMO 인코딩 방식은 오차범위가 LF(Link Frequency)에 따라 각기 다르며 최대 +/-22%의 오차와 +/-2.5%의 주파수 변환을 허용하도록 정의하고 있다.(표1) 이는 실제 태그구조에서 정밀도가 높은 크리스탈 발진기가 아닌 LC공진회로가 클럭으로 쓰여 리더로 전송되는 데이터 폭이 각각 다르게 전송되기 때문이다. 하드웨어적인 측면에서 PIE 인코딩 방식과 같이 작은 오차범위를 갖는 데이터는 디코딩 유닛 설계가 비교적 쉽다. 그러나 FMO 인코딩 방식과 같이 많은 오차 범위를 갖는 데이터는 동기 문제로 인해 보다 복잡한 설계구조를 갖는다. 일반적으로 디지털 통신 시스템에서 이러한 동기문제(Jitter)를 해결하기 위해 DPLL을 사용한다.<sup>[3]</sup> DPLL(Digital Phase Locked Loop)은 입력 데이터의 위상을 검출하여 항상 샘플링 지점을 데이터의 중앙에 맞추도록 클럭주파수를 조절한다. 따라서 데이터의 중앙에 클럭이 위치될 때까지의 동기 돌입시간이 필요하며 이를 최소화하기 위해 '1010'과 같은 반복적인 패턴(leading zero)을 사용한다.<sup>[4]</sup> 그러나 본 논문에서 제시한 알고리즘과 설계구조는 이러한 PLL (DPLL/ADPLL)의 구조를 사용하지 않은 허용오차(tolerance)개념을 이용하여 보다 간단히 구현하였다. DPLL이나 본 논문에서 제시한 알고리즘이나 모두 빠른 클럭을 이용한 샘플링 방식은 같다. 그러나 DPLL과는 달리 입력데이터로부터 클럭을 추출하지 않는다. 대신 허용오차 범위 내에 위치하는 데이터를 디코딩하는 방식을 이용한다. 따라서 동기돌입시간이 필요하지 않으며, DPLL과 같은 비교적 복잡한 알고리즘을 사용하지 않고 간단한 알고리즘으로 회로를 구현할 수 있는 이점이 있다.

표 1. LF(Link Frequency)에 따른 허용오차.

DR: Divide Ratio	Tral <sup>1</sup> (μs ± 1%)	LF: Link Frequency (kHz)	Frequency Tolerance FI (nominal temp)	Frequency Tolerance FI (extended temp)	Frequency variation during backscatter	
640	33.3	640	± 15%	± 15%	± 2.5%	
	33.3-TRal=66.7	320-LF=640	± 22%	± 22%	± 2.5%	
	66.7	320	± 10%	± 15%	± 2.5%	
	66.7-TRal=93.3	256-LF=320	± 12%	± 15%	± 2.5%	
	83.3	256	± 10%	± 10%	± 2.5%	
	83.3-TRal=133.3	160-LF=256	± 10%	± 12%	± 2.5%	
	133.3-TRal ≤ 200	107-LF=160	± 7%	± 7%	± 2.5%	
	200-TRal ≤ 225	95-LF=107	± 5%	± 5%	± 2.5%	
	1	17.2 ≤ TRal=15	320-LF ≤ 465	± 19%	± 19%	± 2.5%
		25	320	± 10%	± 10%	± 2.5%
25-TRal=31.25		256-LF=320	± 12%	± 15%	± 2.5%	
31.25		256	± 10%	± 10%	± 2.5%	
31.25-TRal=50		160-LF=256	± 10%	± 10%	± 2.5%	
50		160	± 7%	± 7%	± 2.5%	
50-TRal ≤ 75		107 ≤ LF<160	± 7%	± 7%	± 2.5%	
75-TRal ≤ 200		40 ≤ LF<107	± 4%	± 4%	± 2.5%	

또한 동기문제와 함께 RF단의 아날로그적 특성과 ADC를 거쳐 base-band로 입력되는 신호에 대한 reference 설정과정에서 발생할 수 있는 글리치를 제거하여 디코딩 시 발생할 수 있는 오류를 제거했다. 즉 제안된 알고리즘 및 설계구조는 글리치제거 알고리즘과 지터제거 알고리즘의 기본 원리를 동일하게 구성하여 글리치제거와 지터제거를 따로 구분하지 않고 곱셈기와 덧셈기의 조합인 MAC과 같이 하나의 기능으로 동작하게 한다.

일반적으로 비교적 작은 LF(Link Frequency)로 태그와 리더간의 통신이 이루어 질 경우 MCU만으로 충분히 인코딩 디코딩이 가능하여 본 논문에서 제시한 알고리즘을 MPU에 직접 적용하여 구현할 수 있지만 LF가 큰 경우 OS를 탑재한 MCU는 데이터의 속도를 따라 갈 수 없기 때문에 FPGA와 같은 하드웨어가 추가적으로 필요하게 된다. 따라서 실제 리더 구현 시 본 논문에서 제시한 알고리즘을 사용하면 추가적인 하드웨어가 필요할 경우 보다 적은 면적으로 구현이 가능하기 때문에 휴대형 리더와 같이 적은 면적이 필요한 하드웨어에 적합할 것이며 MCU만으로 데이터 처리 시 제시된 알고리즘을 사용하면 데이터 디코딩 시 발생할 수 있는 오류를 보다 더 줄일 수 있다.

본 논문의 2장에서는 제안된 알고리즘에 대한 구체적인 내용과 설명 3장에서는 제안된 알고리즘에 대한 논리회로 설계 4장에서는 시뮬레이션 및 성능 분석과 함께 제안한 회로를 FPGA에 직접 구현하여 18000-6C 타입의 태그응답을 안테나와 RF보드로부터 전달 받아 실제 태그 응답에 대해 지터와 글리치 발생과 설계된 회로의 지터 및 글리치 제거기능을 확인하고 5장에서는 결론을 내고 본 논문을 마치고 하겠다.

## II. 지터 및 글리치 제거 알고리즘

본 논문에서 제시한 Jitter처리 알고리즘은 입력 데이터로부터 클럭을 복원하여 데이터를 판별하는 DPLL과는 달리 ‘허용오차(tolerance)’와 허용오차 누적을 이용하여 클럭을 복원하는 과정 없이 데이터를 판별한다. 또한 demodulate된 ASK 신호에는 RF단의 아날로그적 특성과 ADC를 거쳐 base-band로 입력되는 신호에 대한 reference 설정과정에서 발생할 수 있는 글리치성분이 포함 될 수 있으므로 이를 제거하여 보다 안정적인 신호를 디코딩 유닛에 전달한다. 기본적인 알고리즘은 다음과 같다.

1. if((Td+Tr) = T<sub>LF/2</sub>)  
 then {if(Tr<Te) then output ← input}  
 else then output <= non\_change }
  2. if(Tr>Te)  
 then {if((Td+Te)<T<sub>LF/2</sub>) then Td ← 0}
  3. if(Td>T<sub>LF/2</sub>) then P<sub>basis</sub> <=P<sub>LF/2</sub>
- Td(Td<sub>0</sub>, Td<sub>1</sub>) : 입력 데이터 ‘0’ 또는 ‘1’의 지속 시간  
 Tr(Tr<sub>0</sub>, Tr<sub>1</sub>) : Td의 반대입력 데이터 지속시간  
 T<sub>LF/2</sub> : 위상Jitter가 발생하지 않은 신호의 주기  
 P<sub>basis</sub> : 입력 데이터의 지속시간 기준점  
 P<sub>LF/2</sub> : T<sub>LF/2</sub> 일 때의 지점  
 Te : 허용오차  
 P<sub>Te</sub> : Td가 Te를 넘는 지점  
 LF/2 : 기준시간, FM0신호비트 주기의 절반

그림 1은 지터를 포함한 입력 데이터를 나타낸 것이다. 그림 1(a)은 입력데이터의 주기가 기준시간보다 작을 때 (Td<T<sub>LF/2</sub>)를 나타낸다. 1번 알고리즘

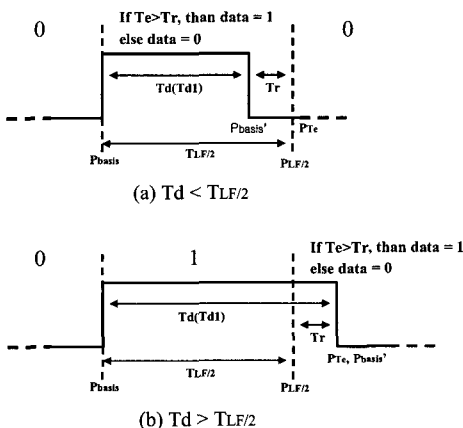


그림 1. 위상지터를 포함한 입력 데이터

정의에 의해 데이터 ‘1’로 지속되던 입력이 T<sub>LF/2</sub>가 되기 전에 데이터 ‘0’으로 입력이 되어도 기준시간 (T<sub>LF/2</sub>)이 되는 시점(P<sub>LF/2</sub>)에서 Tr이 허용오차범위 (Te)를 넘지 않으면 입력신호는 데이터 ‘1’로 판별된다.

그림 1(b)은 입력 데이터의 주기가 기준시간보다 클 때 (Td>T<sub>LF/2</sub>)를 나타낸다. 3번 알고리즘 정의에 의해 P<sub>LF/2</sub>(점선부분)가 지속시간 기준(P<sub>basis</sub>)이 되며 2번 알고리즘 정의에 의해 데이터 ‘0’의 지속시간 (Tr<sub>0</sub>)이 허용오차(Te)를 넘는 시점(P<sub>Te</sub>)에서 ‘1’의 지속시간(Td<sub>1</sub>)과 허용오차(Te)의 합이 기준시간(T<sub>LF/2</sub>)을 넘지 않으므로 입력 데이터 ‘1’의 지속시간(Td<sub>1</sub>)은 무시된다. 그리고 다음 데이터 판별의 기준은 다시 입력 데이터의 엣지(P<sub>basis</sub>’)가 된다.

따라서 제시된 알고리즘은 지터가 허용오차 범위 내에서 발생하면 입력폭형에 위상차(T<sub>LF/2</sub>-Td)를 더 해주거나 빼주어 전체적으로 위상을 보정하는 역할을 한다.

그러나 위에서 제시한 기본 알고리즘으로는 연속적인 데이터 ‘0’/‘1’을 인식하는데 어려움이 있다. 연속적인 입력 데이터를 모두 없이 판별하기 위해서는 허용오차 누적 합이 T<sub>LF/2</sub>-Te(허용 가능한 최소 데이터 길이)보다 작아야한다. 만일 그 반대의 경우가 발생하면 T<sub>LF/2</sub>-Te 길이의 데이터가 하나 더 존재하는 것으로 판별되기 때문이다. 허용오차 누적 합이란 허용오차를 가지는 같은 레벨의 데이터가 연이어 입력으로 들어오면 허용오차가 중첩이 되어 연속적인 데이터 전체를 봤을 때 허용오차가 데이터 개수(N) × 허용오차(Te)가 되는 현상이다. 따라서 제시된 기본 알고리즘에 다음의 항목을 추가한다.

4. if(Td>N×T<sub>LF/2</sub>)  
 then { S<sub>Te</sub> <= Te × N }, (Te < T<sub>LF/2</sub>-Te)  
 S<sub>Te</sub> : 허용오차 누적 합. S<sub>Te</sub> < T<sub>LF/2</sub>-Te  
 N : 같은 레벨의 연속적인 데이터 개수

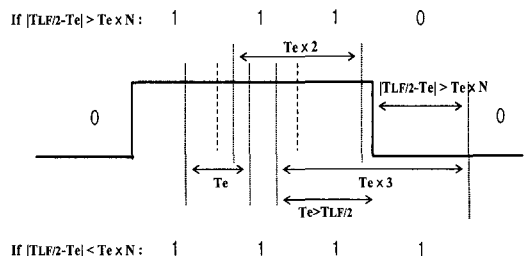


그림 2. 허용오차누적

일반적으로 RF단에서 base-band로 신호 전송 시 ADC를 이용한다. 그런데 RF신호를 샘플링하여 디지털 신호로 변환하는 과정에서 글리치가 발생하게 된다. 즉 RF단에서 노이즈에 의해 신호의 일부가 왜곡되어 ADC에 입력되면 ADC는 왜곡된 입력신호를 디지털 값으로 바꾸어 주는 역할만 하기 때문에 실제 디지털 신호로 변환된 파형에 글리치가 발생하게 된다. 또한 '0'과 '1'을 판별하는 과정에서 reference설정 값에 따라 ADC출력 값 일부가 글리치 같이 인식 될 수 있다. 따라서 본 논문에서는 지터처리와 함께 신호의 글리치를 제거하는 알고리즘을 제안한다. 위의 지터처리 알고리즘에 다음 알고리즘을 추가한다.

5. if (Td < Tg) || (Tr < Tg) then Tg <= 0

else then (Td <= 0) || (Tr <= 0)

Tg : 글리치 신호의 지속시간

그림3은 알고리즘 정의 5번에 대한 세 가지 가능한 경우에 대해 설명하고 있다. 그림 3(a)는 글리치가 Td내에 위치한 경우를 나타내며 그림 3(b)는 글리치가 Tr내에 위치한 경우를 나타낸다.

두 경우 모두 Td, Tr 이 글리치 지속시간(Tg)보다 작기 때문에 Tg는 무시된다. 그러나 그림 3(c)와 같이 만일 Tg가 Td나 Tr보다 클 경우 Tg는 무시되지 않고 Td나 Tr에 포함된다. 그 결과 그림3(a), (b)와는 달리 데이터는 '1'로 판별된다.

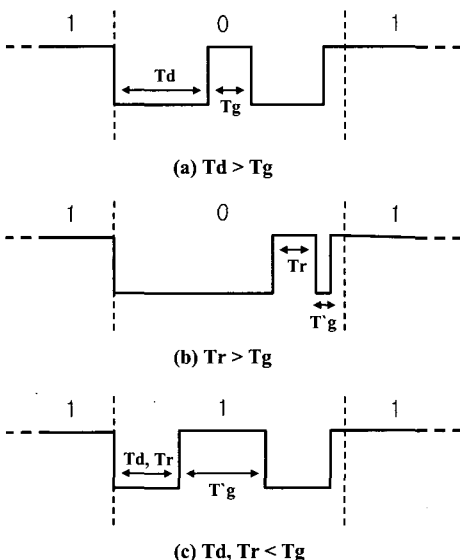


그림 3. 글리치 신호처리

### III. 논리회로 구현방법

이번 장에서는 앞서 설명한 알고리즘의 논리회로 설계에 대해 논하고자 한다. ISO/IEC 18000-6C표 준안에서는 프리앰블 신호에 포함된 RTcal, TRcal, data\_0 등의 신호에 의해 LF(Link Frequency)가 결정된다. 또한 결정된 LF에 따라 주어진 입력 데이터에 대한 허용오차가 달라진다. 따라서 설계된 지터 보정회로는 표준안이 정하고 있는 최대 허용오차값 +/-22%를 지원하도록 설계하였다. 또한 전파법상 UHF대역에서 대역폭은 200KHz이기 때문에 15개의 채널을 사용하는 RFID시스템에서 LF는 값에 제한이 따르게 된다. 따라서 LF값은 현실성을 고려해 40KHz로 설정하였다. 제안된 알고리즘에 의해 설계된 회로는 크게 허용오차 누적 회로, 데이터 위상보정 및 글리치 제거회로, 동적LF생성회로의 3가지 기능으로 분류되며 각각의 기능은 다음과 같다.

#### 3.1 허용오차 누적 회로

앞서 설명한 알고리즘 정의 4번 내용과 같이 연속적인 데이터 입력 시 허용오차는 (연속적인 데이터 개수:N) × (허용오차:Te)와 같다. 그림 4는 이를 논리회로로 구현한 것이다. continue\_num신호는 연속적인 데이터의 개수를 의미한다. 본 논문에서 고려하고 있는 RFID시스템은 최대 +/-22%의 허용오차를 허용하고 FM0나 miller 인코딩방식에서 연속적인 같은 입력레벨 3개의 데이터가 있을 시 dummy나 충돌로 인식하기 때문에 최대 3개의 연속적인 데이터 판별을 보장한다. 연속적인 신호의 위상이 원래의 위상보다 앞서 들어올 경우(예를 들어 -22%) 3개의 연속적인 신호의 길이는 2개의 +22% 오차를 가지는 연속신호보다 작게 된다. 따라서 이러한 경우 최대 3개의 연속신호를 판별해 내기 위해 전신호의 평균(mean\_LF)과 이러한 현상이 발생하는 최소값(min\_LF)을 비교하여 적절한 허용오차 누적 값(Te)을 선택한다.

#### 3.2 지터 및 글리치 제거회로

그림5는 제안된 데이터 위상보정 및 글리치 제거 회로를 나타낸다. 제안된 데이터 위상보정 및 글리치 제거회로는 데이터입력의 지속시간을 세는 3개의 카운터, 연속적인 데이터의 개수를 세는 1개의 카운터, 현재의 입력상태를 나타내는 1개의 D-flip-flop, 비교기들로 구성이 되어있다. Input\_0 카운터

와 Input\_1 카운터는 각각 입력데이터의 지속시간을 계산하며 지속시간이  $LF/2$ 보다 크면 해당입력레벨 (state)을 출력하게 된다. glitch카운터는 state와 다른 값이 입력으로 들어오면 그 지속시간을 계산해 주며 그 시간이  $T_r, T_d$  보다 작게 되면 카운터의 값을 클리어 하게 된다. continue카운터는 연속적인 입력데이터의 개수를 세는 역할을 한다. Input카운터가  $LF$ 를 초과하여 state에 해당하는 출력을 내보낸 후 state가 변하지 않고 Input카운터가 다시  $LF$ 를 초과 할 경우 continue카운터는 1씩 증가하게 된다. 이 값에 따라서 허용오차 누적회로는 허용오차 누적 값을 결정하게 된다.

### 3.3 동적LF생성회로

앞의 허용오차 누적회로와 함께 연속적인 데이터의 위상이 확률적으로 변하며 들어오지 않고 지속적으로 작게 혹은 크게 들어올 경우에 발생하는 데이터 판별오류를 제거하기 위한 회로이다. 허용오차 누적회로와 지터 및 글리치 제거회로는 확률적으로 변하는 위상 지터는 보정할 수 있지만  $\pm 25\%$  허용오차를 가지는 신호는 누적오차가 100%가 되는 시점에서 실제신호보다 많은 데이터가 존재한다고 판별할 가능성이 있기 때문에 데이터가  $\pm 15\%$  이상의 지속적인 위상오차를 가지고 입력이 된다면 데이터판별 시 오류를 가지게 된다. 그러나 이러한 오차를 유발하는 태그의 LC공진회로는 주변 환경에 의해 그 특성이 쉽게 변하지만 40KHz(data\_rate)의 짧은 시간동안 온도와 같은 주변 환경이 갑자기 변하는 일은 없기 때문에 태그로 입력된 데이터의 위상차가 갑자기 큰 폭으로 변하지는 않는다. 따라서 출력 값이 바뀔 때 마다 그 때의 Input카운터값을 저장시켜 평균값을 구하여 허용오차누적회로에 전달하면 허용오차 누적회로에서 알맞은 허용오차를 선택하여  $\pm 22\%$ 의 오차를 갖는 신호가 지속적으로 들어와도 데이터 판별이 가능해진다. 그림 6은 제안된 동적 LF 할당회로다. 제안된 논리회로는 비교기

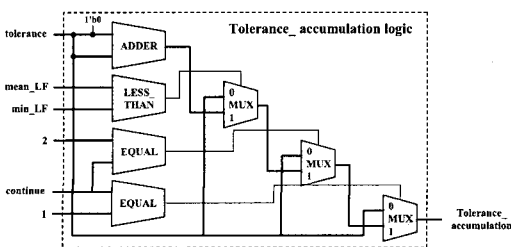


그림 4. 허용오차 누적회로

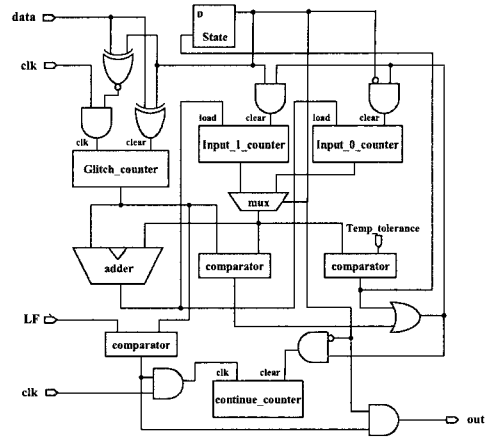


그림 5. 지터 및 글리치 제거회로

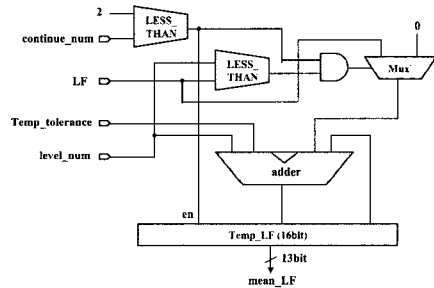


그림 6. 동적 LF 할당회로

와 덧셈기 16bit 레지스터로 구성되어 있다. 비교기는 temp\_LF값 계산 시 입력데이터의 지속시간에 의해 LF의 포함 여부를 결정한다. 덧셈기는 현 입력의 데이터 길이를 계산하며 temp\_LF레지스터는 전단계의 8개 LF값을 저장하여 최종적으로 16bit중 상위 13bit을 허용오차 누적회로에 전달하여 상황에 따라 적절한 허용오차를 선택하게 한다.

## IV. 시뮬레이션 및 성능분석

이번 장에서는 설계된 논리회로의 시뮬레이션 및 성능분석과 FPGA로 설계된 회로를 구현하여 실제 태그의 응답에 대한 지터 및 글리치 제거기능을 확인한다. 주 클럭은 19.2MHz를 사용하였으며, LF는 현재 전파법상 40KHz가 적절하나 LF가 시뮬레이션 결과에 미치는 영향을 알아보기와 40KHz~640KHz로 설정하였다. 테스트 비트는 변조방식을 miller로 설정 시 3000bit가 태그의 최대 응답 길이가 되므로 충분한 검증을 위해 태그 최대응답 길이

의 100배인 300000bit로 설정하였다. 시뮬레이션 방법은 C를 이용하여 0%-25%까지 일정한 확률의 위상지터 발생확률을 갖는 입력데이터를 생성하였으며 이를 Model-sim에서 설계된 블록의 입력포트에 입력시켰다. 설계된 회로 및 알고리즘의 검증을 위해 C로 작성된 테스트벡터 생성 프로그램에 제안된 알고리즘의 성능에 영향을 미칠 요소들에 대한 파라미터를 생성하였다. 생성된 파라미터와 시뮬레이션 환경을 표2에 정리하였고 각각의 파라미터에 대한 제안된 알고리즘 및 논리회로의 성능을 평가하도록 하였다.

표 2. 시뮬레이션 파라미터.

Item	Value
Clock	19,2MHzs
LF(Link Frequency)	40kbps~640kbps
변조방식	FM0, Miller
Test_bit	300,000bit
지터(1bit : 100%)	0% ~ 25%
글리치 발생확률	1/10 ~ 1/1000
시뮬레이션 툴	ModelSim SE 6.0
C compiler	Visual studio 6.0

4.1 지터 vs. 글리치 발생확률

그림 7은 지터와 글리치 발생확률간의 관계를 나타낸 것이며, 발생된 지터에 대해 시뮬레이션 시 에러가 없을 때만 그래프에 표시하였다. 글리치는 입력데이터에 지터가 발생하지 않을 경우 데이터 1bit 당 6개의 글리치제거를 보장한다. 이는 가장 이상적인 경우로 제안된 회로의 최대 글리치 제거능력을 나타낸다. 그러나 입력데이터의 지터가 25%를 넘어설 경우 보정 가능한 글리치의 수는 급격히 줄어들게 된다. 이는 지터가 25%를 넘어설 경우 입력데이터에 글리치가 존재하지 않아도 입력데이터의 지터를 보정하지 못함을 의미한다. 표준안의 허용오차

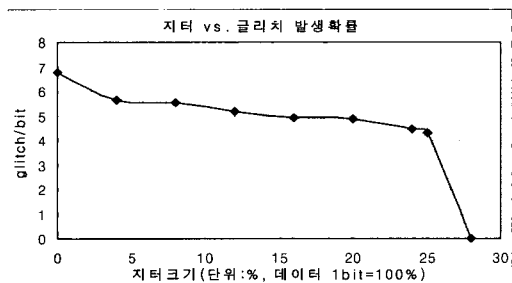


그림 7. 지터 vs. 글리치 발생확률

범위인 0%~25%인 구간에 대해서는 5개에서 6개 정도의 글리치 제거율을 보였으며 대체적으로 지터가 커질수록 보다 적은 글리치 제거율을 보였다. 따라서 본 논문에서 제시한 알고리즘은 앞서 표1에서 보인 ISO/IEC 18000-6C표준안에서 정의하고 있는 0%~+/-22%의 허용오차범위 내에서 발생하는 지터와 글리치에 대해 뛰어난 제거능력을 보인다.

4.2 LF vs. 에러율

그림 8은 LF에 따라 설계된 논리회로의 에러율을 나타낸다. ISO/IEC 18000-6C표준안에서 LF의 범위는 40kHz~640kHz로 정의되어 있다. 따라서 설계된 알고리즘으로 주어진 LF범위 내에서 신뢰성 여부를 확인하여야 한다. 주 클럭은 19.2MHz를 사용하였으며 글리치 발생확률은 매우 작게 하여 글리치에 의한 에러가 나타나지 않도록 하였다. 시뮬레이션 결과 320kHz까지는 정확한 데이터 판별능력을 보였으며 30kHz~640kHz까지는 불규칙한 데이터 판별력을 보였다. 이는 주 클럭을 19.2MHz로 설정하여 320kHz~640kHz구간에 대해서는 정확한 데이터 판별을 위한 샘플링 수가 부족하기 때문이다. 따라서 40kHz~640kHz까지 정확한 데이터 판별력을 보이기 위해서는 보다 더 높은 클럭을 사용하여야 할 것이다. 그러나 현재 전파법 상 UHF주파수에서 대역 당 200KHz의 밴드 폭을 가지도록 규정되어 있기 때문에 15개의 채널을 사용하는 UHF 대역 RFID시스템에서는 채널 당 40kHz가 가장 적당하다. 따라서 본 논문에서 쓰인 19.2MHz보다 낮은 클럭 주파로도 구현이 가능할 것이다.

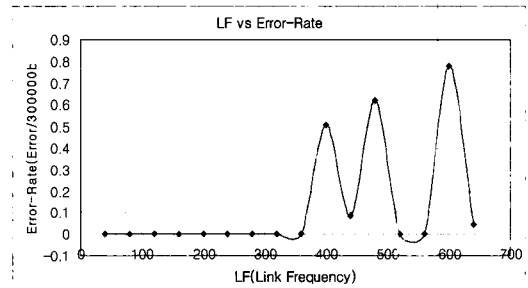


그림 8. LF vs. 에러율

4.3 동적 LF 할당회로

그림 9는 동적 LF 할당회로 사용여부에 따른 제안된 알고리즘의 지터 제거율을 나타낸다. 0%~15% 지터발생에서는 주어진 입력에 대한 데이터 판독에러가 없었기 때문에 동적 LF 할당회로에 의한 회로의 성능개선이 나타나지 않았다. 그러나 15%를 기점

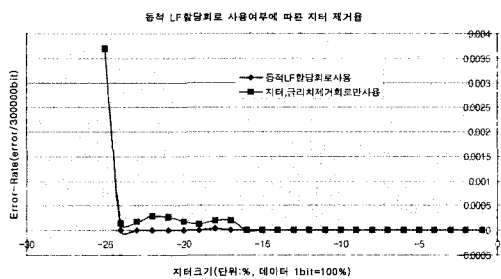


그림 9. 동적 LF회로 사용여부에 따른 지터 제거율

으로 동적 LF할당회로를 사용하지 않은 경우 주어진 입력에 대해 데이터 판독에러가 발생함을 알 수 있다. 이는 입력데이터에 포함된 15%이상의 지터에 대해서 연속된 같은 레벨의 데이터가 3개 이상 입력되면 허용오차 누적 합이 100%이상이 되는 경우가 생기기 때문이다. 동적 LF 할당회로는 이전 8bit의 LF를 평균하여 허용오차 누적회로에 전달함으로써 허용오차를 75%까지 증가시켜 허용오차 누적 합이 100%가 되지 않게 하여 15%이상의 지터 발생에 대한 데이터 판독률을 보장한다.

#### 4.4 FPGA구현 및 기능검증

본 논문에서는 제안한 회로를 FPGA에 직접 구현하여 18000-6C 타입의 태그(Texas Instrument Gen2 태그) 응답을 안테나와 RF보드로부터 전달 받아 실제로 태그 응답에서 지터와 글리치 발생을 확인하고 설계된 회로의 지터 및 글리치 제거기능을 검증한다. 검증에 사용된 FPGA는 Altera사의 cyclone II 계열이며 Quartus II 6.0 버전을 이용하여 제안된 회로를 합성하고 FPGA에 프로그래밍 하였다. 그림10은 QUERY\_REP명령어에 대한 태그응답을 1GHz 오실로스코프를 이용하여 측정한 것이다. 위쪽 파형은 리더명령어와 태그응답을 나타내며 아래쪽 파형은 태그응답을 본 논문에서 제시한 알고리즘과 설계구조를 이용하여 글리치와 지터를 제거한 파형이다. 일반적으로 리더와 태그의 사이가 비교적 가까울 때는 태그응답 파형은 별다른 잡음 없이 리더로 전송된다. 그러나 태그가 움직이거나 거리가 먼 경우, 안테나와의 각도가 많이 틀어져 있을 경우, 태그의 LC공진회로 등의 원인으로 인해 그림 10과 같이 태그의 응답에 글리치나 지터가 발생하게 된다. 또한 Query명령어에서 TRext를 '1'로 설정 시 태그 응답 앞부분은 leading zero 부분으로서 12개의 '10'데이터가 반복되어야 하지만 실제로 그림 10의 경우와 같이 앞부분의 leading zero부분 중 절반

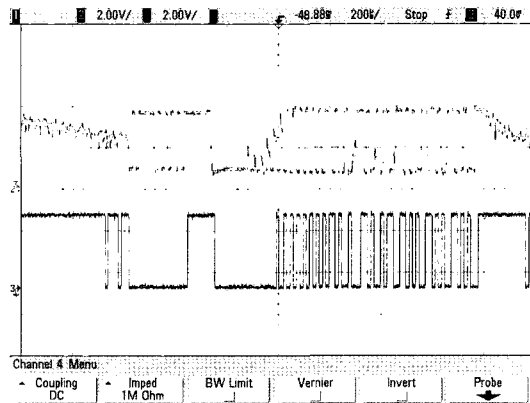


그림 10. Query명령어에 대한 태그응답 & 복원신호

정도가 소실되는 현상이 발생되기도 한다. 그림 10에서는 이러한 이유로 발생한 글리치에 대한 제안된 알고리즘 및 설계구조의 기능을 육안으로 확실히 확인할 수 있다. 그림 11은 지터를 포함한 태그의 RN16응답을 나타낸다. 첫 번째 파형은 글리치와 지터를 포함한 태그의 RN16을 나타내며 두 번째 파형은 본 논문에서 제시한 알고리즘 및 설계구조를 이용한 복원파형을 나타낸다. 세 번째 파형은 40KHz의 주기를 가지는 구형파를 나타낸다. 시뮬레이션 과정에서 언급했듯이 본 논문에서는 현재 국내 전파법을 고려해 40KHz로 LF(link Frequency)를 설정하였기 때문에 40KHz 파형의 한 주기에 복원된 FM0신호의 데이터 1bit이 위치하여야 한다. 따라서 그림 11에서와 같이 40KHz주기신호와 태그응답(FM0신호)의 주기를 비교하여 지터발생여부를 알 수가 있다. 확인결과 비교적 가까운 거리에서는 지터가 거의 발생하지 않았으며 리더와 태그 간의 통신환경이 안 좋을 경우에 한하여 지터

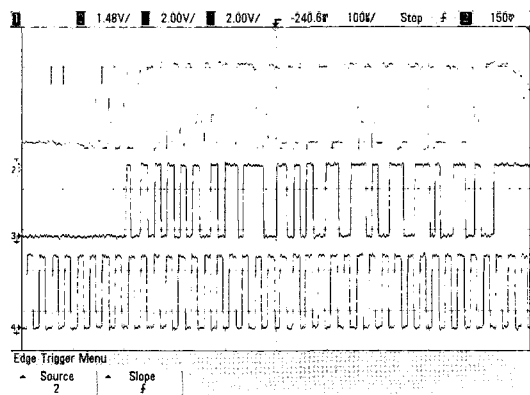


그림 11. RN16과 그에 대한 복원신호

가 발생하였다. 또한 발생한 지터에 대해서 본 논문에서 제시한 알고리즘 및 설계구조를 이용한 복원 파형에서는 지터로 인한 판독에러가 나타나지 않음을 확인 하였다.

### V. 결론

본 논문에서는 태그의 발진기로 쓰이는 LC공진 회로와 RF의 아날로그적 특징으로 인하여 생기는 태그응답의 지터와 클리치를 제거하는 알고리즘 및 하드웨어 설계방안을 제시하였다. 제안된 알고리즘 및 설계구조는 클리치제거 알고리즘과 지터제거 알고리즘의 기본 원리를 동일하게 구성하여 클리치제거와 지터제거를 따로 구분하지 않고 곱셈기와 덧셈기의 조합인 MAC과 같이 하나의 기능으로 동작하게 한다. 또한 동적 LF할당회로를 이용하여 15%에서 25%오차범위내의 판독에러율을 0.000589에서 0으로 줄였다. LF(Link Frequency)는 현재 국내 전파법상 가장 적당한 40KHz로 설정하였으며 실제로 리더에 본 논문에서 제시한 하드웨어를 추가하여 TI(Texas instrument) Gen2 태그의 응답을 측정하여 실제적인 기능검증을 하였다. 시뮬레이션에서는 가상 Tag를 작성하고 제안된 알고리즘의 성능에 영향을 미치는 요소들에 대한 파라미터를 작성하여 제안된 알고리즘과 하드웨어 설계방안이 표준안에서 제시한 기준에 적합함을 확인하였다. 따라서 본 논문에서 제시한 알고리즘 및 설계방안은 주변환경에 의해 불안정한 아날로그 파트에 대해 신뢰성 있는 디지털 신호를 만들어 FM0신호 및 Miller신호를 디코딩함으로써 리더의 태그 인식률을 높이게 된다.

### 참고 문헌

[ 1 ] K. Finkenzeller, *RFID Handbook*, New york : Jonh Wiley & Sons Ltd., 2nd ed, 2003  
 [ 2 ] "Information technology - Radio-frequency identification for item management - Part 6C: Parameters for air interface communications at 860MHz to 960MHz", ISO/IEC JTC 1/SC 32/WG 4, ISO-IEC\_CD 18000-6C.  
 [ 3 ] R. Jacob Baker, *Institute of Electrical and Electroncs Engineers, CMOS Circuit Design, Layout and Simulation*, IEEE Press, pp.373-423, 2005  
 [ 4 ] 오현서, 박상영, 백창현, 이홍섭, "디지털 랜덤 비트 동기회로 설계 (Circuit Design for Digital

Random Bit Synchronization)", *한국통신학회지 제 19권 5호*, pp.787~795, 1994

김 상 훈 (Sang-hoon Kim)

준회원



2005년 2월 서울산업대학교 전  
자공학과 졸업  
2005년 3월~현재 연세대학교 전  
기전자공학과 석사과정  
<관심분야> 전자공학, 마이크로  
프로세서, ASIC

이 용 주 (Yong-joo Lee)

정회원



1999년 8월 연세대학교 전자공  
학과 졸업  
2001년 8월 연세대학교 전기전  
자공학과 석사학위 취득  
2001년 9월~현재 연세대학교 전  
기전자공학과 박사과정  
<관심분야> 전자공학, ASIC

심 재 희 (Jae-hee Sim)

준회원



2005년 2월 경희대학교 전자공  
학과 졸업  
2005년 3월~현재 연세대학교 전  
기전자공학과 석사과정  
<관심분야> 전자공학, 마이크로  
프로세서, ASIC

이 용 석 (Yong-surk Lee)

정회원



연세대학교 전기공학과 졸업  
Intel Corp., Santa Clara,  
California, USA  
펜티엄 마이크로프로세서 설계  
1993년~현재 연세대학교 전기전  
자공학과 교수로 재직중  
<관심분야> 전자공학, 마이크로  
프로세서, ASIC