

논문 20-2-4

고용량 적층 세라믹 커패시터에서 설계 및 제조공정에 따른 전기적 특성 평가

Design and Fabrication Process Effects on Electrical Properties in High Capacitance Multilayer Ceramic Capacitor

윤중락^{1,a}, 우병철¹, 이현용², 이석원³
(Jung-Rag Yoon^{1,a}, Byong-Chul Woo¹, Heun-Young Lee², and Serk-Won Lee³)

Abstract

The purpose of this work was to investigate the design and fabrication process effects on electrical properties in high capacitance multilayer ceramic capacitor (MLCC) with nickel electrode. Dielectric breakdown voltage and insulation resistance value were decreased with increasing stack layer number, but dielectric constant and capacitance were increased. With increasing green sheet thickness, dielectric breakdown voltage, C-V and I-V properties were also increased. The major reasons of the effects were thought to be the defects generated extrinsically during fabrication process and interfacial reactions formed between nickel electrode and dielectric layer. These investigations clearly showed the influence of both green sheet thickness and stack layer number on the electrical properties in fabricating the MLCC.

Key Words : MLCC, C-V properties, Dielectric breakdown voltage, Insulation resistance, Green sheet

1. 서론

최근 휴대용 멀티미디어 제품의 수요 증가와 전자기기의 경박단소화 추세로 인하여 제품의 생산성과 경제성을 고려하여 적층 세라믹 커패시터(MLCC: Multilayer Ceramic Capacitor)의 수요가 증가하고 있다. 일반적으로 전자회로에서 커패시터는 전하를 충전, 방전하는 역할하거나 임피던스 특성을 이용하여 노이즈를 제거하는 회로에 주로 적용되고 있다. 최근에는 고주파를 요구하면서 큰 소비전력 변동이 발생하는 회로(예, 스텝 클럭, 컴퓨터 CPU의 동작이 필요하지 않을 때에 클럭을

정지하는 기술)가 채용될 때 부하 변동에 대해 필요한 전하를 공급하고 전원전압을 안정하게 하거나 타 회로에의 신호를 de-coupling하기 위한 고용량 적층 칩 커패시터의 수요가 급속히 증가하고 있다[1]. 적층 세라믹 커패시터의 고용량화를 위해서는 고유전율을 가지는 유전체를 사용하고 전극 간 유전체 두께를 박막화 하면서 내부층수를 늘려야 한다. 적층 세라믹 커패시터는 온도특성에 따라 C0G (-55 °C ~ 125 °C, 용량변화율 0±30 ppm/°C 이내), X7R (-55 °C ~ 125 °C, 용량변화율 ± 15 %이내), Y5V (-30 °C ~ 85 °C, 용량변화율 +22, -82 %이내)로 구분되며 유전율의 경우 C0G 10 ~ 100, X7R 2,000 ~ 4,000, Y5V 8,000 ~ 20,000의 값을 가진다. 적층 세라믹 커패시터의 구성 요소로서는 유전체 세라믹, 내부전극, 외부전극으로 구성되며 일반적으로 유전체 세라믹은 고유전율 (2,000 ~ 20,000)을 얻기 위하여 주로 BaTiO₃계 유전체를 사용한다. 내부전극으로는 Pd, Ag, Ag-Pd합금 같은 귀금속을 사용하였으나 최근에는 경제성을 고려하여 고가의 귀금속 대신 저가

1. 삼화콘덴서공업(주) 연구소
(경기도 용인시 남동 북리 124)
2. 호서대학교 정보제어공학과
3. 명지대학교 전기공학과
a. Corresponding Author : yoonjunrag@yahoo.co.kr
접수일자 : 2006. 7. 26
1차 심사 : 2006. 8. 26
2차 심사 : 2006. 12. 4
심사완료 : 2007. 1. 5

의 Ni 금속을 적용하는 경우가 증가하고 있다[1,2]. Ni를 내부전극으로 적용 시 소결 중 Ni 내부전극의 산화를 방지하기 위하여 환원 분위기 소결이 필요하며 내환원 특성을 가지는 유전재료의 개발이 필요하다. 고용량 적층 세라믹 커패시터 개발을 위해서는 유전체 분말 분산, 균일한 바인더 혼합, 무결점 그린시트 (green sheet) 제조, 바인더 탈지 및 소성 분위기 제어 등이 중요한 공정 변수로 작용한다. 특히, 적층수의 증가와 그린시트의 박막화에 따라 공정조건에 의해 적층 세라믹 커패시터의 전기적 신뢰성이 저하되는 경우가 발생하며 이에 대한 연구가 진행되고 있다[3,4]. 본 논문에서는 고용량 적층 세라믹 커패시터에 적용 가능한 박막 그린시트를 적용하여 원료 및 제조 공정을 최적화한 후 용량 설계 변수인 적층 수(N)와 그린시트 두께(t)에 따른 전기적 특성 및 설계시 고려할 인자에 대하여 연구하고자 한다.

2. 실험 방법

본 논문에서 적용한 분말은 수열합성법으로 제작된 평균입경 D_{50} 0.4 μm BaTiO₃를 주성분으로 하여 전기적 특성과 온도특성을 향상하기 위하여 첨가제로서 MgO, MnO, Y₂O₃, Er₂O₃, (Ba,Ca)/SiO₃를 적용하였다[5]. 원료의 전기적 특성은 유전율이 2200, 유전손실 0.7 %, 절연저항 1000 G Ω 이고 분체특성은 평균입경 D_{50} 0.4 μm , BET는 4.4 m²/g이다. BaTiO₃, 첨가제, 분산제 및 용매(톨루엔/에탄올)을 적정비로 배합한 후 basket mill을 이용하여 8시간 혼합, 분산하였다. 혼합, 분산된 슬러리에 PVB (Sekisui, BM-SZ), DOP (DC chemical)를 적정 배합비로 첨가한 후 4시간 혼합하여 슬러리를 제작하였으며, die coating 방식을 적용하여 실리콘 코팅한 PET 필름위에 5, 8, 12, 25 μm 로 그린시트를 제작하였다. 그린시트 위에 평균입경 D_{50} 0.4 μm 인 Ni 금속분말로 만든 페이스트로 스크린 프린팅법을 적용하여 내부전극을 형성 한 후 일반적인 적층 칩 공정을 적용하여 표 1과 같이 10 ~ 150층으로 적층하였다. 적층 칩을 260 °C에서 48시간 바인더 탈지 후 H₂-N₂-H₂O를 이용하여 Po₂ = 10⁻¹¹ MPa 분압 하에서 1260 °C에서 2시간 소성하였으며, 재산화 열처리 900 °C, Po₂ = 10⁻⁷ MPa 분위기에서 2시간 행하였다. 소성 칩을 연마 후 Cu 전극을 이용하여 외부전극을 형성하여 800 °C에서 10분간 소성하였다. 외부전극을 형성 한 후

표 1. 적층 세라믹 커패시터의 그린시트 두께 및 층수.

Table 1. Green sheet thickness and stack layer number in multilayer ceramic capacitor.

그린시트 두께 [μm]	내부전극 층수 [층수]	내부전극 총 면적 [mm^2]
8	10	18
	40	72
	70	126
	110	198
	150	270
5	20	36
8		
12		
25		

제품의 납땀성 향상을 위하여 바렐을 이용한 전기도금으로 Ni 2 ~ 5 μm , Sn 3 ~ 5 μm 두께로 도금하였다. BaTiO₃의 결정상을 확인하기 위하여 XRD (D/max-C, Rigaku, Japan)를 측정하였으며 유전율과 손실은 1 kHz, 1 V_{rms} 조건으로 LCR 측정기 (HP4278A, HP, USA)를 이용하여 정전용량 값을 측정 한 후 유전율을 계산하였다. 절연저항측정은 50 V, 60초 인가한 후 고저항 측정기 (HP4339B, HP, USA)를 이용하여 측정하였다.

3. 결과 및 고찰

그림 1은 수열합성법으로 합성된 BaTiO₃의 XRD 결과로 미반응에 의한 이치상은 볼 수 없으며 (200)피크와 (002)피크간의 FWHM (Full Width at Half Maximum)으로 보아 결정상이 뛰어난 tetragonal상을 확인 할 수 있다. 그림 2는 본 실험에 적용된 그린시트의 표면사진이다. 일반적으로 고용량 적층 세라믹 커패시터 제작 시 그린시트의 특성이 중요하며 그린시트의 특성은 분말의 분산성과 결합제인 PVB 함량, 분산제, 용제의 비에 따라 정해지며 특히, 최근에는 고분산성을 얻기 위해 고에너지 분산기를 적용하고 있다. 본 논문에서도 고에너지 분산기로 basket mill을 적용함으로써 그림 2와 같은 그린시트의 SEM 사진을 얻을 수 있었다.

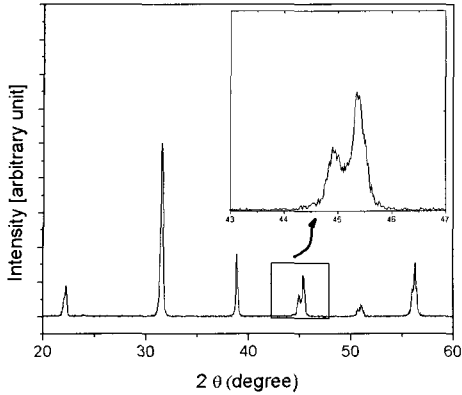


그림 1. BaTiO₃ 분말의 XRD 회절도형.
Fig. 1. XRD profile of BaTiO₃ powder.

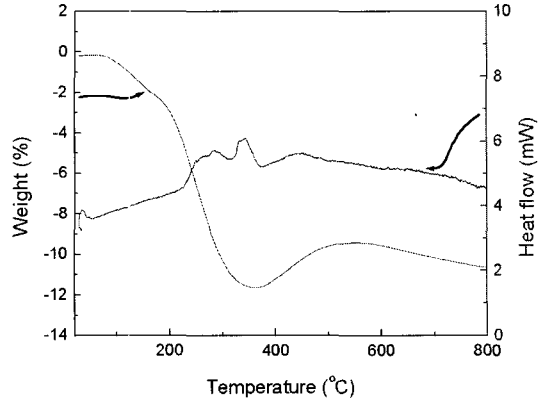


그림 3. 그린 칩의 TG-DTA 분석 결과.
Fig. 3. TG-DTA analysis result of green chip.

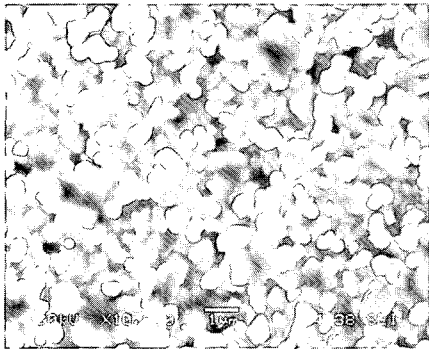


그림 2. 그린시트의 SEM 사진.
Fig. 2. SEM image of green sheet.

적층 세라믹 캐패시터 제조공정에서 그린시트 및 내부전극에 적용되는 PVB 및 EC (Dow chemical, EC-200 FTD) 바인더의 경우 구조에 따른 열분해 거동의 차이가 있어 탈 바인더 조건의 설정이 중요하다. 특히 고용량화 됨에 따라 내부전극의 두께가 얇아지고 내부전극의 층수가 증가함으로 탈 바인더 조건을 최적화하여 신뢰성을 저하시키는 잔류 탄소를 최소화하면서 세라믹과 전극층간의 delamination이 발생하지 않는 조건이 필요하다. 그림 3은 8 μm 그린시트를 150층 적층한 그린 칩의 TG-DTA 곡선을 나타내었다. TG-DTA 곡선을 보면 210 °C 이하에서는 그린시트에 잔류한 톨루엔, 에탄올이 휘발되는 것을 확인할 수 있다. 210 ~ 240 °C의 구간에서는 EC 바인더 분해 및 PVB 바인더 산화에 의한 탈수반응으로 발열피크

가 나타나며 무게 감량의 기울기가 증가함을 볼 수 있다. 240 ~ 320 °C의 구간은 PVB 및 EC 바인더의 분해가 본격적으로 이루어지는 구간으로 PVB의 경우 N-butyraldehyde, butanol이 분해되면서 주 사슬에 이중 결합을 형성한다. 무게 감량의 경우 8 ~ 9 %로서 내부전극으로 이용하는 Ni의 산화에 의한 무게 증가를 고려한다면 바인더에 의한 무게 감량은 10 %정도로 판단되며 이 구간에서는 그린 칩의 탈 바인더에 의한 영향을 받으므로 승온시간을 늦추어 진행하는 것이 유리하다. 320 ~ 450 °C 구간에서는 PVB의 고리구조나 교차구조의 잔류 카본이 일부 분해되는 구간으로서 흡열 및 발열 피크를 볼 수 있으며 Ni 산화에 의한 무게 증가를 볼 수 있다.

그림 4는 8 μm 그린시트의 적층 수에 따른 유전율의 변화를 나타낸 그림으로서 40층 이하에서는 적층수가 증가할수록 유전율이 증가하는 경향을 보이지만 40층 이상에서부터는 차이가 크게 나타나지 않는다. 이와 같은 결과는 내부전극이 소결성을 증진시키거나 내부전극과 세라믹 계면 간에 새로운 상이 형성되어 나타난 것으로 설명할 수 있다. 적층 층수에 따라 유전율의 증가는 소결성에 의한 영향보다는 내부전극인 Ni과 첨가제인 Mg, Si 등과의 반응에 의한 결과로 판단된다[3].

그림 5는 8 μm 그린시트의 적층 수에 따른 절연저항 및 R*C 값으로 적층수가 증가할수록 감소하며 특히, 적층수가 40층 이하에서 급격한 감소를 보이고 있다. 동일한 조성에서 적층수가 증가할수록 절연저항이 감소하는 것은 적층 수 증가에 의한 절연저항이 감소하는 것 보다는 R(절연저항)*C

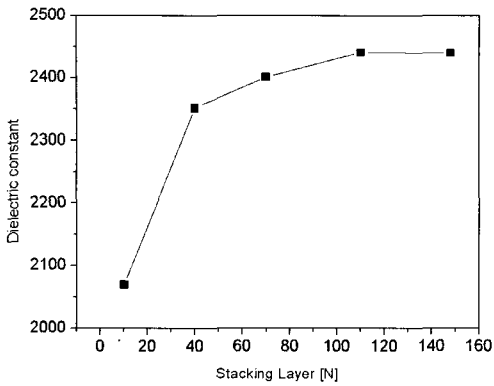


그림 4. 그린시트 두께가 8 μm인 경우에서의 적층 수에 따른 유전율 변화.

Fig. 4. Dielectric constant as a function of stack layer number in the case of 8 μm-thick green sheet.

(정전용량) = constant 값을 갖는 것이 주요한 인자이다. 하지만, 본 실험 결과에서는 70층 이하에서는 절연저항 및 R*C가 급격히 감소하지만 70층 이상부터 R*C = 2800 ~ 3300으로 포화되는 경향을 나타내고 있으며 이와 같은 이유는 적층수 증가에 따른 대향전극 면적의 증가함에 따른 제조 공정상 결함에 의한 영향으로 판단된다.

그림 6은 그린시트 두께에 따른 절연저항의 변화를 나타낸 그림으로서 그린시트의 두께가 증가할수록 절연저항 및 R*C 값이 증가하나 12 μm 이상부터 점차 포화되는 경향을 나타낸다. 특히, 5 μm 그린시트에서 절연저항 및 R*C 값이 낮은 것은 그린시트 성형 공정에서 발생하는 결함(보이드, 줄무늬, 두께 불균일)과 소결 중에 발생하는 세라믹 유전체와 내부전극 계면과의 반응의 차이에 의한 것으로 판단된다.

그림 7의 (a), (b)는 그린시트의 적층 수 및 두께에 따른 절연파괴전압을 와이블 분포로 나타낸 그림이다. 적층 수에 따른 절연파괴전압의 경우 적층 수가 증가할수록 절연파괴 전압이 감소하고 특히 110층의 경우에는 산포가 크게 나타남을 볼 수 있다. 일반적으로 절연파괴전압은 유전체 두께의 함수로서 적층 수에는 무관하며 유전체 결함수에 밀접한 연관을 가지는 것으로 보고되었다[6].

적층 수 증가에 따라 절연파괴전압이 감소하는 것은 표 1에 나타낸 바와 같이 적층수가 증가하면 단위 면적당 결함수가 동일하다면 고층으로 적층한 경우에서 상대적으로 전극의 면적이 증가하고

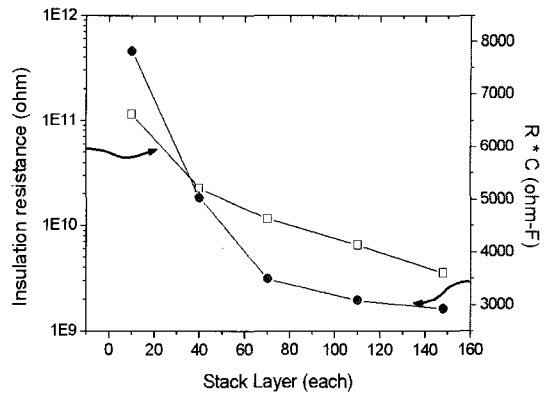


그림 5. 그린시트 두께가 8 μm인 경우에서의 적층 수에 따른 절연저항 및 R*C 값 변화.

Fig. 5. Insulation resistance and R*C value as a function of stack layer number in the case of 8 μm-thick green sheet.

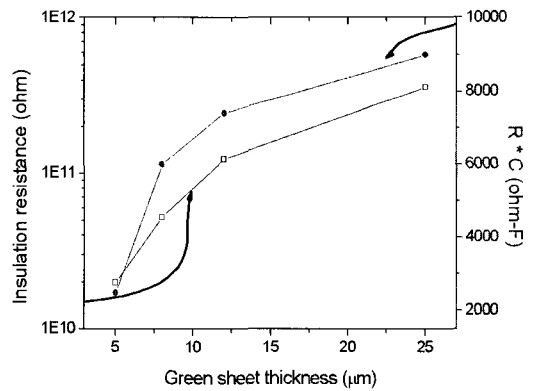


그림 6. 그린시트 두께에 따른 절연저항 및 R*C 값 변화.

Fig. 6. Insulation resistance and R*C value as a function of green sheet thickness.

이에 따라 결함수가 증가하여 절연파괴전압이 감소되고 산포 크기가 증가된 것으로 판단된다. 그린시트 두께에 따른 절연파괴전압의 경우에는 동일한 전극면적이므로 결함수의 증가에 의한 절연파괴전압의 감소는 나타나지 않지만 박막인 5 μm와 상대적으로 두꺼운 25 μm 그린시트에서 절연파괴전압의 산포가 크게 나타나는 것으로 보아 두께별로 그린시트의 미세구조 및 분산성을 개선할 필요성이 있음을 보여주고 있다.

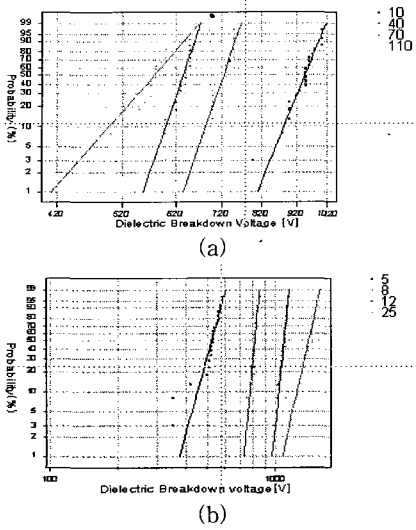


그림 7. 적층 수 (a) 및 그린시트 두께 (b)에 따른 절연파괴 전압 분포.
 Fig. 7. Dielectric breakdown voltage distribution as a function of stack layer number (a) and green sheet thickness (b).

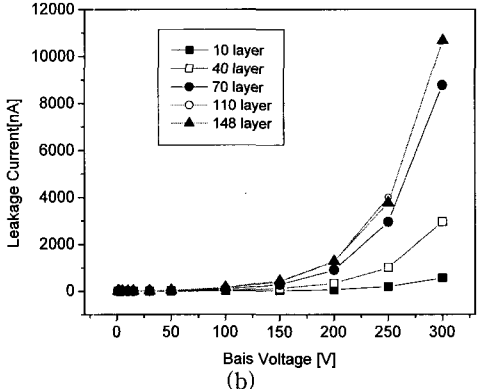
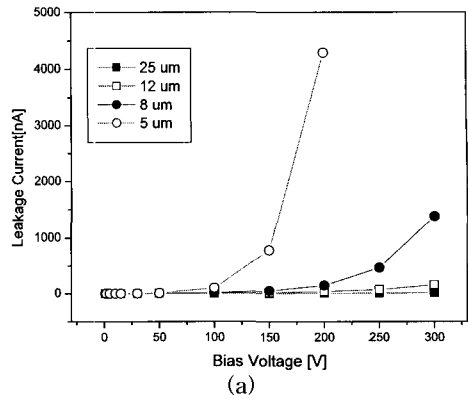


그림 9. 적층 수 (a) 및 그린시트 두께 (b)에 따른 전압-전류 특성.
 Fig. 9. I-V characteristics as a function of stack layer number (a) and green sheet thickness (b).

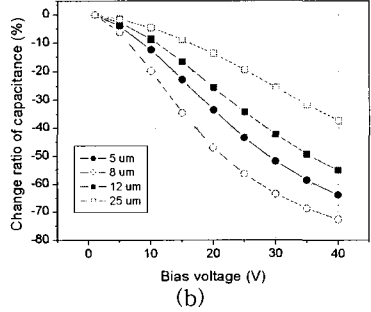
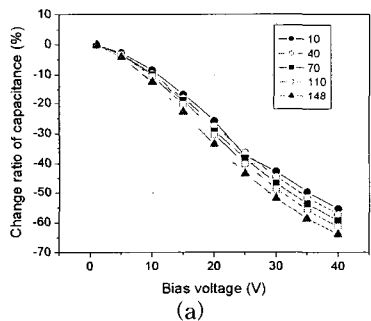


그림 8. 적층 수 (a) 및 그린시트 두께 (b)에 따른 전압-정전용량 특성 변화.
 Fig. 8. C-V characteristics as a function of stack layer number (a) and green sheet thickness (b).

그림 8의 (a), (b)는 그린시트의 적층 수 및 두께에 따른 C-V 특성을 나타낸 그림이다. 적층수가 증가할수록 전압인가에 따른 정전용량의 변화가 나타나고 있지만 그린시트 두께에 따른 영향에 비해서는 작은 값을 나타내고 있다. 일반적으로 X7R 규격을 만족하는 용량변화율은 정적전압의 1/2에서 40%이하를 만족하여야 한다[7]. 따라서 고용량 적층 세라믹 커패시터 설계에 있어 전압에 따른 정전용량의 변화를 규격을 만족하기 위해서는 유전체의 두께를 적절히 선택하여야 함을 볼 수 있다.

그림 9의 (a) 및 (b)는 그린시트의 적층 수 및 두께에 따른 전압-전류 특성을 나타낸 그림이다. 적층 수 증가에 따른 영향을 보면 저전압영역에서는 유의차가 적은 반면 고전압 인가 시 전류증가가 크게 나타나는 것으로 보아 그림 7의 절연파괴

전압의 경우와 같이 제조공정에 의한 변수로 판단된다. 그린시트 두께에 따른 전압-전류특성을 보면 적층 수 보다는 두께에 의한 영향이 크게 나타남을 보여주고 있으며 향후 고용량 적층 칩 커패시터 설계 시 적층 수에 의한 영향보다는 두께와 전압-전류 특성을 고려하여 설계하는 것이 주요 인자임을 보여주고 있다.

4. 결 론

고용량 적층 칩 커패시터 개발을 위한 적층 수, 그린시트 두께에 따른 실험 결과 다음과 같은 결론을 얻었다.

1. 적층 칩 제조공정에서 바인더 탈지 시 240 ~ 320 °C에서 PVB 및 EC 바인더의 분해가 활발히 이루어지는 구간이므로 공정조건 설정 시 바인더 탈지를 위한 승온속도 및 유지시간을 고려한 조건 설정이 필요하다.
2. 적층 층수에 따라 유전율, 절연저항 및 절연과피전압의 유의차가 나타나고 있으며 이와 같은 결과는 내부전극 계면과 세라믹간의 반응에 의한 영향도 있으나 제조 공정에서 발생하는 공정 변수에 의한 영향과 대향전극 면적 증가에 의한 결합 개수의 증가가 주요 인자임을 확인할 수 있었다.
3. 그린시트 두께에 따른 특성으로는 박막화에 따라 제조공정에서 발생하는 그린시트의 결함에 의해 절연저항 및 절연과피전압 수준이 낮아짐을 확인할 수 있었으며 고용량 적층 칩 커패시터의 정격전압 결정시에는 C-V특성과 I-V특성을 고려한 설계가 요구됨을 확인 할 수 있었다.

참고 문헌

- [1] H. Kishi, Y. Mizuno, and H. Chazono, "Base-metal electrode-multilayer ceramic capacitor: Past, present and future perspectives", *Jpn. J. Appl. Phys.*, Vol. 42, p. 1, 2003.
- [2] Y. Mizuno, T. Agiwaru, H. Chazono, and H. Kishi, "Effect of milling process on core-shell microstructure and electrical properties for BaTiO₃-based Ni-MLCC", *J. Urop. Ceram. Soc.*, Vol. 21, p. 1649, 2001.
- [3] Q. U. Feng and C. J. Mcconville, "Dielectric degradation and microstructures of heterogeneous interfaces in cofired multilayer ceramic capacitors", *J. Electroceram.*, Vol. 14, p. 213, 2005.
- [4] H. Chazono and H. Kishi, "dc electrical degradation of the BT based materials for multilayer ceramic capacitor with Ni internal electrode: Impedance analysis and microstructure", *Jpn. J. Appl. Phys.*, Vol. 40, p. 5624, 2001.
- [5] 이석원, 윤중락, "X7R 적층칩 세라믹 캐패시터 조성의 희토류첨가에 따른 유전특성", 전기전자재료학회논문지, 16권, 12호, p. 1080, 2003.
- [6] 윤중락, 김민기, 이현용, 이석원, "중,고압용 적층 세라믹 캐패시터 제작 및 분석", 전기전자재료학회논문지, 18권, 8호, p. 685, 2005.
- [7] Electronic Industries Association, Specification, #RS198.