

## BTS 방법을 사용한 Low-K 유전체 물질들과 산화막의 Cu 드리프트 확산에 대한 비교 연구

### A Comparative Study on Cu Drift Diffusion of Low-k Dielectrics and Thermal Oxide by use of BTS Technique

추순남<sup>1,a</sup>, 권정열<sup>1</sup>, 김장원<sup>2</sup>, 박정철<sup>3</sup>, 이현용<sup>4</sup>

(Soon-Nam Chu<sup>1,a</sup>, Jung-Youl Kwon<sup>1</sup>, Jang-Won Kim<sup>2</sup>, Jung-Cheul Park<sup>3</sup>, and Heon-Yong Lee<sup>4</sup>)

#### Abstract

Advanced back-end processing requires the integration of low-k dielectrics and Cu. However, in the presence of an electric field and a temperature, positive Cu ions may drift rapidly through dielectric and causing reliability problems. Therefore, in this paper, Cu<sup>+</sup> drift diffusion in two low-k materials and silicon oxide is evaluated. The drift diffusion is investigated by measuring shifts in the flat band voltage of capacitance-voltage measurements on Cu gate capacitors after bias thermal stressing. The Cu<sup>+</sup> drift rate in SiO<sub>x</sub>C<sub>y</sub> (2.85±0.03) and Polyimide(2.7≤k≤3.0) is considerably lower than in thermal oxide.

**Key Words** : Drift diffusion, Cu gate capacitors, Polyimide, SiO<sub>x</sub>C<sub>y</sub>, Low-k materials

#### 1. 서론

최근 급속한 발전을 거듭하고 있는 전자 및 정보통신 사업의 발전원동력은 반도체 집적소자의 발전에 기인한다고 해도 과언이 아니다. 산업전반에 지대한 기여를 하는 반도체 소자는 성능개선 및 수율향상을 위해 점차 고집적화 되고 있다. 소자의 집적화는 일차적으로는 트랜지스터의 최소 배선 폭을 줄임으로서 트랜지스터의 스위칭 시간을 보다 빠르게 하는 요소를 제공한다. 하지만 서브마이크론 이하의 소자에서는, 오히려 내부배선의 저항과 정전용량에 의해 발생하는 신호지연이 게이트 길이의 감소에 의해 얻어지는 이득을 증가하

게 된다. 뿐만 아니라, 상호간섭 및 전력소비의 증가와 같은 문제가 발생하게 된다. 기존의 알루미늄과 실리콘 산화막의 내부배선 구조를 사용할 경우, 이러한 소자특성의 저하는 1Gb DRAM의 디자인 룰(0.18 μm)에 가까운 약 200 nm이하의 반도체 소자에서부터 큰 문제로 나타나며, 7개 이상의 금속 배선을 사용하는 논리 소자에서는 소자의 디자인 룰이 100 nm이하로 향하고 있는 것을 고려할 때, 내부배선 문제의 해결은 새로운 반도체 시대를 위한 시급한 과제이다[1,2]. 내부배선에 의한 소자의 성능저하 문제를 해결하고자, 많은 연구자들이 저유전상수 (εr ≤ 3.0)의 절연막 과 낮은 저항의 배선금속을 사용하는 연구를 하고 있다. 배선금속으로는 기존에 사용되던 알루미늄보다 낮은 비저항을 가지며 EM (electromigration)에 대한 저항도 우수한 Cu를 사용하려는 시도가 활발히 진행되고 있다[3].

본 연구에서는 Cu와 SiO<sub>x</sub>C<sub>y</sub>, 폴리이미드(polyimide)를 이용한 MIS 커패시터를 제작하여 구리배선 시 나타나는 후속공정 적용의 문제점인 Cu<sup>+</sup> 드리프트 확산(drift diffusion)에 고찰하기 위

1. 경원전문대학 전기제어시스템과  
(경기도 성남시 수정구 복정동 산65)  
2. 경원전문대학 정보통신과  
3. 경원전문대학 전자정보과  
4. 명지대학교 전기공학과  
a. Corresponding Author : snchu@kwc.ac.kr  
접수일자 : 2006. 11. 27  
1차 심사 : 2007. 1. 15  
삼사완료 : 2007. 1. 19

하여 BTS(bias thermal stressing)를 측정하여 SiO<sub>2</sub>를 절연막으로 가지는 MIS(Metal Insulator Semiconductor) 커패시터와 비교 연구하였다.

## 2. 실험

### 2.1 시료제작

#### 2.1.1 Polyimide

시료 제작을 위해 저항률이 0~30 Ω·cm인 N-type (100) 방향의 4in. Si 웨이퍼를 기판으로 이용하였다. 기판표면의 유기물과 산화막을 제거하기 위하여 RCA 표준세척법을 이용하여 웨이퍼를 세척하였다. 저유전절연막 증착에 사용된 폴리이미드는 NISSAN CHEMICAL의 SE5291 POLYAMIC ACID(PAA)를 이용하였으며, 비유전상수는 2.8≤k≤3.0을 가진다.

스핀코팅법으로 폴리이미드를 증착하였으며 증착과정은 4000 rpm에서 120 sec, 5000 rpm에서 180 sec로 두 단계의 과정을 거쳤다. 이렇게 증착된 필름의 두께는 65~80 nm로 측정되었다.

증착된 폴리이미드를 Si 기판에 완전 증착을 위하여 150 °C에서 30분 동안 soft baking을 실행한 다음 350 °C에서 60분 동안 hard baking을 실행했다. 게이트로 사용된 금속은 순도 99.9 % 구리를 이용하였으며, RF 스퍼터를 이용하여 구리를 증착하였다. 이렇게 증착된 구리의 두께는 400 nm로 측정되었다. 또한, 구리의 산화를 막기 위한 보호막으로 TiN을 20 nm로 증착하였다. 마지막으로 접촉 저항을 작게 하기 위하여 시료의 위아래에 알루미늄을 각각 400 nm를 증착하였다. 이는 C-V 측정 시 접촉저항을 줄이기 위하여 증착하였다.

#### 2.1.2 SiO<sub>x</sub>C<sub>y</sub>

시료 제작을 위해 저항률이 0~30 Ω·cm 인 P-type (100) 방향의 Si 기판을 사용하였다. 기판 표면의 유기물과 산화막을 제거하기 위하여 RCA 표준세척법을 이용하여 기판을 세척하였다. 저유전절연막 증착에 사용된 SiO<sub>x</sub>C<sub>y</sub>는 Novellus社의 Coral을 이용하였으며, 비유전상수는 k=2.85 ± 0.03을 가진다. SiO<sub>x</sub>C<sub>y</sub> 박막을 증착하기 위하여 PECVD를 이용하여 증착하였다. 두께측정은 엘립소미터와 나노스펙을 이용하여 측정하였다. 제작된 SiO<sub>x</sub>C<sub>y</sub>의 비유전율은 2.85로 측정되었다. Cu층과 Ta층은 스퍼터를 이용하여 증착하였다. 이렇게 증착된 Cu 게이트의 넓이는 50 mm<sup>2</sup>이고, 두께는 5000 Å이다. Ta층을 Cu층 위에 증착시킨 이유는 Ta를

보호막(200 Å)으로 사용하여 BTS 처리 시에 구리의 산화를 방지하기 위함이다. 이상과 같은 스퍼터된 시료는 300 °C에서 80분간 아르곤 분위기에서 열처리하였다. 이는 스퍼터된 박막의 손상을 줄이기 위함이다. 각각의 알루미늄층은 증착기를 이용하여 각각 5000 Å을 증착하였다. 알루미늄을 증착한 목적은 C-V 측정 시 전기적 접촉을 좋게 하기 위함이다.

### 2.2 BTS(Bias temperature stressing)

구리배선은 알루미늄배선과 같은 200 °C~450 °C 공정온도를 보인다. 이러한, 공정온도에서의 Cu<sup>+</sup> 이온의 드리프트 확산(drift diffusion)은 무시할 수 있는 결과를 나타낸다. 그러나 구리배선은 알루미늄배선과는 달리 전계가 인가되면 Cu<sup>+</sup> 이온이 절연막으로 드리프트 확산이 발생한다[4,5]. 이러한 현상을 알아보기 위한 방법이 BTS 기술이다. 이 기술은 구리배선 공정온도 조건에서 전계를 인가하여 Cu<sup>+</sup> 이온의 드리프트 확산을 유발한 후, 이것을 C-V 측정을 이용하여 플랫밴드 전압의 변화를 측정하여 식 (1)을 이용하여 Cu<sup>+</sup> 이온의 드리프트 확산율을 구하는 방법이다.

$$\frac{d}{dt} [Cu^{+}] = -\frac{C}{q} \frac{d}{dt} (\Delta V_{FB}) \quad (1)$$

여기서, C는 유전체의 단위 면적당 커패시턴스, q는 전자의 전하량, ΔV<sub>FB</sub>는 플랫밴드 전압의 BTS 전·후의 변화량이다.

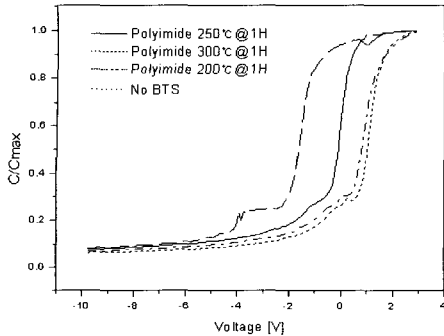
## 3. 결과 및 고찰

### 3.1 C-V 특성 및 Cu<sup>+</sup> 드리프트 확산율

#### 3.1.1 polyimide

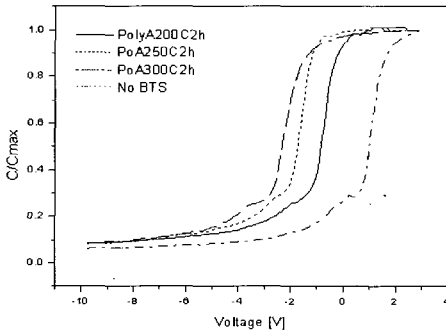
폴리이미드로의 Cu<sup>+</sup> 이온의 드리프트 확산은 BTS 전·후의 폴리이미드 절연막을 가진 Cu 게이트 커패시터의 C-V를 측정하여 플랫밴드 전압의 변화를 측정함으로써 연구되었다.

BTS 시험은 열처리(200 °C ~ 300 °C)와 함께 전계(1.1 MV/cm)를 인가하여 절연막으로 Cu<sup>+</sup> 이온의 드리프트 확산을 발생시킨다[6,7]. 온도를 고정시키고 열처리 시간을 달리한 폴리이미드를 절연막으로 가지는 커패시터의 C-V 특성 곡선은 그림 1과 같다. 그림 1에서는 열처리 시간과 온도가 증가할수록 측정시간이 길어졌고, ΔV<sub>F</sub>의 변화가



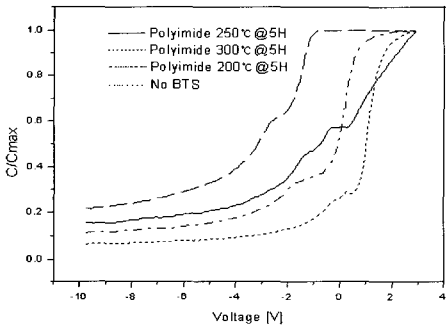
(a) 1시간 열처리한 폴리이미드 커패시터의 C-V 곡선. (E=1.1 MV/cm)

(a) C-V curves of polyimide capacitors for 1 hour BTS time. (E=1.1 MV/cm)



(b) 2시간 열처리한 폴리이미드 커패시터의 C-V 곡선. (E=1.1 MV/cm)

(b) C-V curves of polyimide capacitors for 2 hour BTS time. (E=1.1 MV/cm)



(c) 5시간 열처리한 폴리이미드 커패시터의 C-V 곡선. (E=1.1 MV/cm)

(c) C-V curves of polyimide capacitors for 5 hour BTS time. (E=1.1 MV/cm)

그림 1. 열처리 변화에 따른 폴리이미드 커패시터의 C-V 곡선(1.1 MV/cm at 200~300 °C).

Fig. 1. C-V curve of polyimide capacitors for different BTS time(1.1 MV/cm at 200~300 °C).

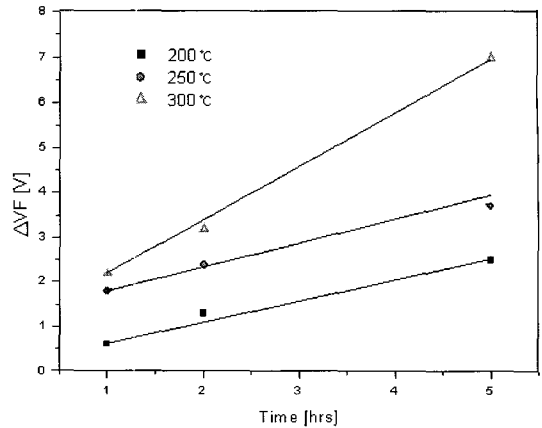


그림 2. 구리게이트를 가진 폴리이미드 커패시터의 BTS 시간과 온도에 따른 플랫폼 전압 이동.

Fig. 2. Flatband voltage shift  $\Delta V_{FB}$  versus BTS time and temperature for polyimide capacitors with Cu gate.

크게 나타났다. 이러한 결과는  $Cu^+$  이온이 시간과 온도에 비례하게 절연막으로 드리프트 되고, 드리프트 된  $Cu^+$  이온들은 트랩층(trap layer)을 형성하여 게이트에 양(+) 전압 인가 시 전자의 이동 방해 및 결합하여 축적시간이 길어지는 결과를 가져오게 된다. 이는 일반적인 구리 게이트 커패시터의 BTS 전·후의 C-V특성이다. 이러한 결과로 구리 게이트를 가지는 소자는  $Cu^+$  드리프트 확산에 의하여 설계자의 의도와는 달리 동작 전압의 변화를 초래하는 결과를 가져올 수 있다. 동작 전압의 변화는 소자의 오동작을 초래하고 소자의 수율에도 영향을 미친다. 이러한 영향을 줄이기 위해서 확산 방지막이 필수적임이 입증되었다.

그림 1의 C-V 측정 결과를 바탕으로 하여  $\Delta V_F$ 를 구하였다. 이렇게 구한  $\Delta V_F$ 를 정리하여 그래프로 나타내면 그림 2와 같다. 그림 2에서 나타나는 바와 같이 BTS 온도와 시간의 변화에 따른  $\Delta V_F$ 의 변화는 BTS 온도와 시간에 비례하게 증가하는 결과가 나타났다. 후속공정의 공정온도가 200 °C ~ 450 °C임을 감안한다면 반도체 산업체에서 생산되는 확산방지막이 없는 구리 게이트를 가진 소자의  $\Delta V_F$ 는 더욱 커질 것이다.

그림 2의 결과와 식 (1)을 이용하여  $Cu^+$  이온 드리프트 확산율을 구하면 그림 3과 같다.

그림 3에서는 BTS 온도와 시간이 증가할수록 유전체로의  $Cu^+$  이온의 드리프트 발생이 많아짐을

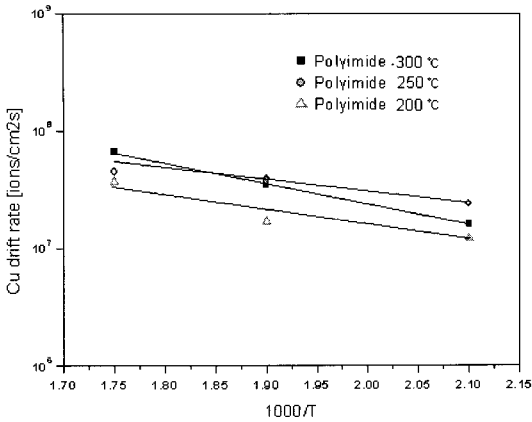


그림 3. 폴리이미드의 Cu<sup>+</sup> 드리프트 확산율.  
(1.1 MV/cm)

Fig. 3. Cu<sup>+</sup> drift diffusion rate in polyimide.  
(1.1 MV/cm)

알 수 있었다. 이러한 Cu<sup>+</sup> 이온의 드리프트 확산율의 증가하는 이유는 BTS 온도가 증가하면 Cu 게이트의 Cu<sup>+</sup> 이온은 많은 에너지를 축적하게 되고, 이렇게 활성화된 Cu<sup>+</sup> 이온은 전계가 인가됨으로서 절연막으로의 드리프트가 발생하게 된다. 이러한 드리프트의 발생은 BTS 시험 시간과 비례하여 증가하게 되는 것이다.

그림 4는 산화막과 폴리이미드를 비교한 그림이다. 그림 4에서 나타난 바와 같이 폴리이미드는 SiO<sub>2</sub>에 비해서는 작은 드리프트 율을 보인다. 그 이유는 폴리이미드는 SiO<sub>2</sub>에 비하여 복합 섬유구조로 되어있어 Cu<sup>+</sup> 이온이 침투할 수 있는 공간이 적다. 이러한 절연막의 구조특성 때문에 BTS 시험에 의하여 발생하는 Cu<sup>+</sup> 이온의 드리프트 확산이 SiO<sub>2</sub>에 비해 작게 된다. 그림 3과 그림 4에서 Bias Thermal Stress에 따른 경향은 동일한 경향을 가져야 하나, 본 실험에 사용된 저유전상수 폴리이미드(NISSAN CHEMICAL의 SE5291 POLYAMIC ACID(PAA))필름 증착 시 사용된 Polyimide의 재료적 특성 및 Spin-Coating 특성(유기물의 Thermal Stress에 대한 열화특성, Spin-Coating시 발생된 미세 Void 및 Dusty에 의한 Stress Point 발생)에 따른 Stress 인가에 의한 필름의 열화 가능성 때문에 시간에 따른 경향이 다르게 나타난 것으로 사료된다.

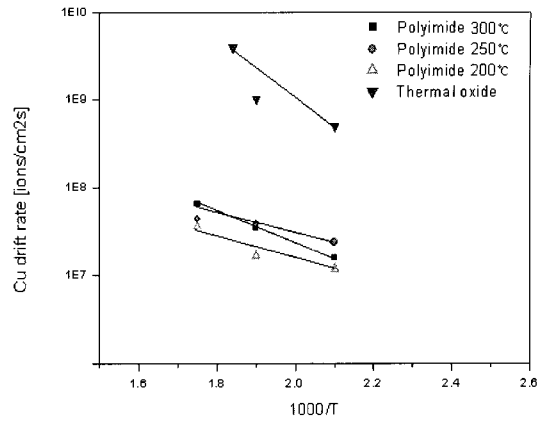


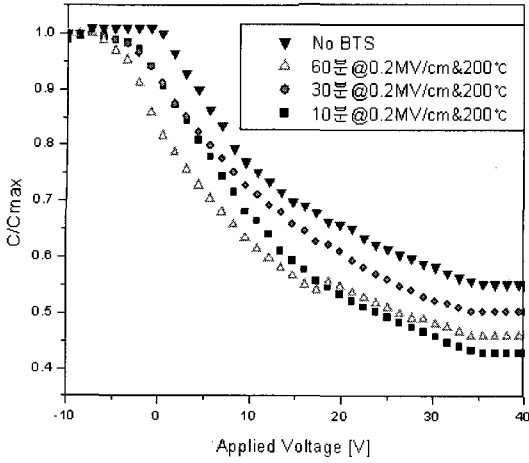
그림 4. 폴리이미드와 SiO<sub>2</sub>의 초기 구리 드리프트 확산율.

Fig. 4. Initial copper drift rate in polyimide and thermal oxide.

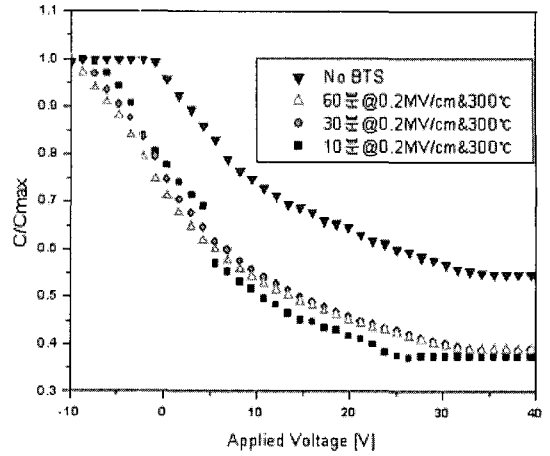
### 3.1.2 SiO<sub>x</sub>C<sub>y</sub>와 SiO<sub>2</sub>

SiO<sub>x</sub>C<sub>y</sub>로 Cu<sup>+</sup> 이온의 드리프트 확산은 SiO<sub>x</sub>C<sub>y</sub>를 절연막으로 가지는 Cu 게이트 커패시터의 C-V를 BTS 전·후로 측정하여 플랫폼 전압의 변화를 측정함으로써 살펴보았다. BTS 시험은 열처리(200~300 °C) 온도와 인가된 전계(0.2 MV/cm)에 의한 Cu<sup>+</sup> 이온의 유전체로의 드리프트 확산을 발생시키고, C-V를 측정함으로써 플랫폼 전압의 변화를 관찰하여 Cu<sup>+</sup> 이온의 드리프트 확산의 발생을 알 수 있었다.

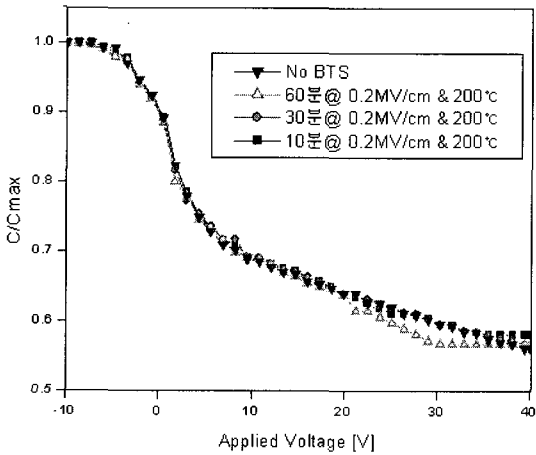
그림 5와 그림 6은 SiO<sub>2</sub>와 SiO<sub>x</sub>C<sub>y</sub>의 BTS 시간과 온도에 대한 C-V곡선을 비교한 그림들이다. 그림에서 나타나는 바와 같이 SiO<sub>x</sub>C<sub>y</sub> 박막은 SiO<sub>2</sub>에 비하여 BTS 온도와 시간에 따른 플랫폼 전압의 변화가 적었다. 이는 Cu<sup>+</sup> 이온 드리프트가 상대적으로 적음을 나타낸다. 이러한 결과는 SiO<sub>x</sub>C<sub>y</sub>의 물질특성에 기인한다. 일반적으로 SiO<sub>x</sub>C<sub>y</sub>는 SiO<sub>2</sub>에 비하여 외부 스트레스에 대한 저항이 크게 나타난다. 이는 외부에서 인가된 열, 전계 등의 스트레스 의한 물질특성의 변화가 적다는 것을 의미한다. 외부에서 인가된 스트레스는 Cu<sup>+</sup> 이온의 이동을 발생시키고 SiO<sub>x</sub>C<sub>y</sub>는 SiO<sub>2</sub>에 비하여 이러한 영향이 적다. 따라서 SiO<sub>x</sub>C<sub>y</sub>가 SiO<sub>2</sub>에 비하여 작은 Cu<sup>+</sup> 드리프트 확산율을 가지게 되고, 이는 플랫폼 전압의 변화가 작게 나타나는 원인이 된다. 플랫폼 전압의 변화에 및 측정시간의 변화는 Cu<sup>+</sup> 이온의 드리프트 현상에 의하여 발생하는 결과이다.



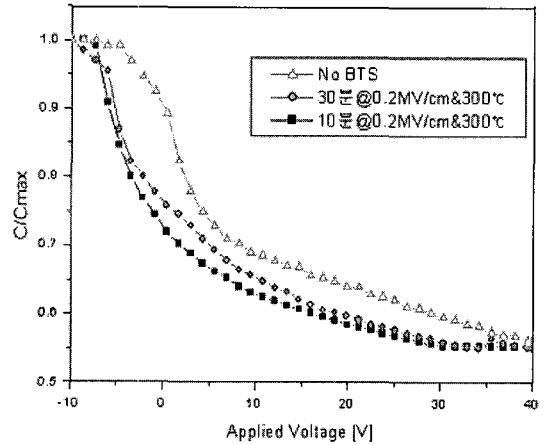
(a) BTS 시간 변화에 따른  $\text{SiO}_2$  커패시터의 C-V 곡선 (0.2 MV/cm at 200 °C)  
 (a) C-V curves of thermal oxide capacitors for different BTS time( 0.2 MV/cm at 200 °C)



(a) BTS 시간 변화에 따른  $\text{SiO}_2$  커패시터의 C-V 곡선(0.2 MV/cm at 300 °C)  
 (a) C-V curves of thermal oxide capacitors for different BTS time (0.2 MV/cm at 300 °C)



(b) BTS 시간 변화에 따른  $\text{SiO}_x\text{C}_y$  커패시터의 C-V 곡선 (0.2 MV/cm at 200 °C)  
 (b) C-V curves of  $\text{SiO}_x\text{C}_y$  capacitors for different BTS time (0.2 MV/cm at 200 °C)



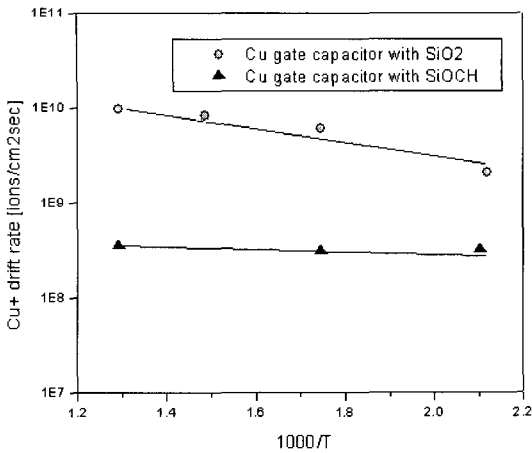
(b) BTS 시간 변화에 따른  $\text{SiO}_x\text{C}_y$  커패시터의 C-V 곡선  
 (b) C-V curves of  $\text{SiO}_x\text{C}_y$  capacitors for different BTS time (0.2 MV/cm at 300 °C)

그림 5. BTS 시간 변화에 따른  $\text{SiO}_2$ 와  $\text{SiO}_x\text{C}_y$  커패시터의 C-V 곡선(0.2 MV/cm at 200 °C).

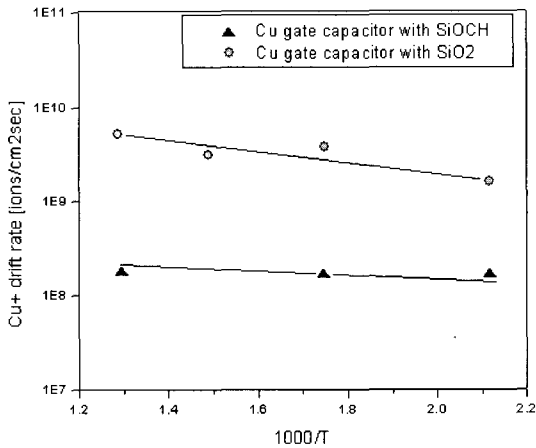
Fig. 5. C-V curves of thermal oxide and  $\text{SiO}_x\text{C}_y$  capacitors for different BTS time(0.2 MV/cm at 200 °C).

그림 6. BTS 시간 변화에 따른  $\text{SiO}_2$ 와  $\text{SiO}_x\text{C}_y$  커패시터의 C-V 곡선(0.2 MV/cm at 300 °C).

Fig. 6. C-V curves of thermal oxide and  $\text{SiO}_x\text{C}_y$  capacitors for different BTS time(0.2 MV/cm at 300 °C).



(a) 10분간 열처리  
(a) heat treatment for 10 min.



(b) 30분간 열처리  
(b) heat treatment for 30 min.

그림 7. 시간변화에 대한 SiO<sub>2</sub>와 SiO<sub>x</sub>C<sub>y</sub>의 구리 드리프트 확산율.

Fig. 7. Copper drift diffusion rate for different time in thermal oxide and SiO<sub>x</sub>C<sub>y</sub>.

그림 7은 온도와 시간에 따른 SiO<sub>2</sub>와 SiO<sub>x</sub>C<sub>y</sub>의 Cu<sup>+</sup> 이온의 드리프트 확산율을 비교하여 나타냈다. 그림 7에서 나타나는 바와 같이 SiO<sub>x</sub>C<sub>y</sub>가 SiO<sub>2</sub>에 비하여 같은 BTS 시험 조건에서 드리프트 확산율

이 작았다. 이는 SiO<sub>x</sub>C<sub>y</sub>를 SiO<sub>2</sub>를 대신하여 중간 절연막으로 사용할 경우, 구리 드리프트에 저항성이 우수하여 플랫밴드 전압의 변화와 같은 소자의 구동에 대한 변화가 작음을 나타낸다. 또한, Cu<sup>+</sup> 드리프트에 대한 barrier의 필요성도 입증되었다.

#### 4. 결론

본 실험에서는 Cu 게이트를 가진, 커패시터를 BTS 전·후의 C-V를 측정하여 Cu<sup>+</sup> 드리프트 확산율을 계산하여 폴리이미드와 SiO<sub>2</sub>, SiO<sub>x</sub>C<sub>y</sub>를 비교 분석하여 특성을 알아보았다.

(1) 폴리이미드는 BTS 온도가 상승하여도 SiO<sub>2</sub>에 비하여 Cu<sup>+</sup> 드리프트 확산율이 작았다. 이것은 온도의 증가에 의한 Cu<sup>+</sup> 확산이 SiO<sub>2</sub>보다 작다는 것을 알 수 있다. 그 이유는 Cu<sup>+</sup> 드리프트 확산율은  $\Delta V_F$ 의 함수이기 때문이다.  $\Delta V_F$ 가 증가하면 Cu<sup>+</sup> 드리프트 확산율 역시 증가한다.  $\Delta V_F$ 의 증가는 Cu<sup>+</sup> 확산의 결과이다. 그러므로 이러한 Cu<sup>+</sup> 드리프트 확산율과 폴리이미드의 드리프트 확산율이 SiO<sub>2</sub>에 비하여 안정적이었다.

(2) SiO<sub>x</sub>C<sub>y</sub> 박막 역시 BTS 온도와 시간의 증가에 따라서  $\Delta V_F$ 의 증가 및 Cu<sup>+</sup> 이온의 드리프트 확산율이 증가를 하였다. 그러나 이러한 증가는 SiO<sub>2</sub>에 비하여 작은 경향을 보였다. 이는 SiO<sub>2</sub>를 대신하여 SiO<sub>x</sub>C<sub>y</sub>를 중간 절연막으로 사용할 경우 Cu<sup>+</sup> 이온 드리프트를 감소시킬 수 있음을 알 수 있었다.

본 실험에서의 결과로 구리배선 시 barrier의 필요성도 입증되었고, barrier layer가 존재한다면 소자의 신뢰성에 미치는 영향이 감소할 것이며 소자의 수명도 증가 될 것으로 사료된다.

#### 참고 문헌

- [1] T. Homma, "Materials Science and Engineering", R23 p. 243, 1998.
- [2] 나성일, 허원녕, 부성은, 이정희, "ALD법을 이용해 증착된 TaN 박막의 Cu 확산방지특성", 한국센서학회, 13권, 3호, p. 195, 2004.
- [3] A. L. S. Loke, J. T. Wetzel, J. J. Stankus, M. S. Angyal, B. K. Mowry, and S. S. Wong, "Electrical leakage at low-k polyimide/TEOS

- interface", IEEE Electron Device Lett, Vol. 19, No. 6, p. 177, 1999.
- [4] A. L. S. Loke, C. Ryu, P. Yue, J. S. H. Cho, and S. S. Wong, "Kinetics of copper drift in PECVD dielectrics", IEEE Electron Device Lett., Vol. 17, No. 22, p. 549, 1996.
- [5] M. Vogt and K. Drescher, "Barrier behaviour of plasma deposited silicon oxide and nitride against Cu diffusion", Appl. Surf. Sci., Vol. 91, p. 303, 1995.
- [6] J.-H. Ahn, K.-T. Lee, B.-J. OH, Y.-J. Lee, S.-H. Liu, M.-K. Jung, Y.-W. Kim, and K.-P. Suh, "Integration of a low-k  $\alpha$ -SiOC:H dielectric with Cu interconnects", Journal of the Korean Physical Society, Vol. 41, No. 4, p. 422, 2002.
- [7] S.-D. Kim, H.-M. Park, and S.-B. Kim, "Low dielectric constant spin-on-glass passivation for high-speed complementary metal-oxide-silicon devices", Journal of the Korean Physical Society, Vol. 43, No. 3, p. 386, 2003.