

## Nano-CMOSFET를 위한 플라즈마-질화막의 초기 산화막 성장방법에 따른 소자 특성과 저주파 잡음 특성 분석

### Dependence of Low-frequency Noise and Device Characteristics on Initial Oxidation Method of Plasma-nitride Oxide for Nano-scale CMOSFET

주한수<sup>1</sup>, 한인식<sup>1</sup>, 구태규<sup>1</sup>, 유옥상<sup>1</sup>, 최원호<sup>1</sup>, 최명규<sup>2</sup>, 이가원<sup>1</sup>, 이희덕<sup>1,a</sup>  
(Han-Soo Joo<sup>1</sup>, In-Shik Han<sup>1</sup>, Tae-Gyu Goo<sup>1</sup>, Ook-Sang Yoo<sup>1</sup>, Won-Ho Choi<sup>1</sup>, Myoung-Gyu Choi<sup>2</sup>,  
Ga-Won Lee<sup>1</sup>, and Hi-Deok Lee<sup>1,a</sup>)

#### Abstract

In this paper, two kinds of initial oxidation methods i.e., SLTO(Slow Low Temperature Oxidation: 700 °C) and RTO(Rapid Thermal Oxidation: 850 °C) are applied prior to the plasma nitridation for ultra thin oxide of RPNO (Remote Plasma Nitrided Oxide). It is observed that SLTO has superior characteristics to RTO such as lower SS(Sub-threshold Slope) and improved Ion-Ioff characteristics. Low frequency noise characteristics of SLTO also showed better than RTO both in linear and saturation regime. It is shown that flicker noise is dominated by carrier number fluctuation in the channel region. Therefore, SLTO is promising for nano-scale CMOS technology with ultra thin gate oxide.

**Key Words** : Low-frequency noise, Flicker noise (1/f noise), Sub-threshold swing, Initial-oxidation, Remote plasma nitride oxide, Nano CMOSFET

#### 1. 서론

반도체공정 기술의 발달로 인해 CMOS (Complementary Metal Oxide Semiconductor)의 소형화는 매우 급격하게 이루어져 왔다. 이러한 발전과 더불어 Digital과 Analog/RF 기능을 단일 chip에 집적화 시키려는 SoC(System on a Chip)에 대한 연구가 진행 되면서 다양한 기능의 Chip들이 CMOS 기술의 발전에 의해 단일 chip에 집적화가 가능하게 되었다. CMOS 소자의 지속적인 성능 향상에 따라 기존의 RF module에 주로 사용하던 GaAs계열의 III-V족 화합물 반도체

소자를 CMOS로 대체하여 실리콘 웨이퍼에 Logic과 RF단을 동시에 구현할 수 있게 되었는데, 특히 RF 응용에 있어서 부득이 하게 소자 자체적으로 발생하는 저주파 대역의 잡음인 Ficker noise(1/f noise)가 MOSFET에서 중요한 신뢰성의 하나로 대두 되고 있다. 일반적으로 기준 이상의 저주파 잡음은 Analog와 Digital 회로의 기능적인 면에서 심각한 문제를 야기시키며, Oscillator나 multiplexer에서 위상잡음을 높이거나 신호 등을 왜곡시켜 RF 회로들에 영향을 미치게 된다[1-6]. MOSFET에서 Flicker noise의 물리적 원인은 완벽히 밝혀지지 않았으나 산화막 내부나 Si/SiO<sub>2</sub> 계면에서의 트랩(trap)과 디트랩(de-trap)에 의해 반전층 캐리어의 수가 변동함으로써 생성된다는 캐리어 수 변동 이론이 가장 설득력 있는 메커니즘으로 알려져 있으며[2,3], 최근에는 반전층 내의 캐리어 수의 변동뿐만 아니라 이동도의 변화에 의해서도 영향을 받는다고 보고 되고 있다[4-6]. 따라서 반전층 내의 캐리어 수와

1. 충남대학교 전자공학과  
(대전시 유성구 궁동 220)  
2. 매그나칩반도체  
a. Corresponding Author : hdlee@cnu.ac.kr  
접수일자 : 2006. 10. 16  
1차 심사 : 2006. 11. 23  
심사완료 : 2006. 12. 4

이동도 특성에 지대한 영향을 미치는 Si/SiO<sub>2</sub> 계면특성과 산화막의 막질 특성이 Flicker noise에 가장 많은 영향을 준다고 할 수 있다.

CMOS 소자의 크기 감소에 따라 게이트 절연막의 두께도 매우 감소하고 있으며, 현재 널리 적용되고 있는 질화 산화막(Oxinitride, Nitride-Oxide)의 경우 기존의 실리콘 산화막 보다 낮은 게이트 누설전류(Gate leakage current), 보론 침투(Boron penetration)로 인한 문턱전압의 변동의 감소 등의 이점을 가지고 있어 Deep submicron CMOSFET 소자의 게이트 산화막으로 사용되어 왔다. 그러나 질화 산화막의 경우 PMOSFET에서 NBTI(Negative Bias Temperature Instability) 열화가 심화되어 소자의 수명 시간이 매우 단축 되는 문제점이 있으며 특히 1.5 nm이하로 Scale-down되기 어려운 한계를 갖고 있다. 따라서 최근 PMOSFET 소자의 신뢰성을 확보 하면서 1.5 nm이하의 게이트 절연막을 형성하는 방법으로 얇은 산화막을 형성 한 후 플라즈마 질화 공정을 이용하여 산화막 위에 Nitrogen 농도가 높은 층을 형성하는 RPNO (Remote Plasma Nitrided Oxide)방법이 보고되고 있다[7].

본 논문에서는 최근 게이트 산화막으로 각광을 받고 있는 플라즈마 질화 산화막(RPNO: Remote-Plasma Nitrided Oxide)의 전 공정인 초기 산화막 형성을 위한 두 가지 성장 방법(SLTO : Slow Low Temperature Oxidation, RTO : Rapid Thermal Oxidation)에 대해 소자 특성과 Flicker noise에 미치는 영향을 비교 평가하여 Nano-CMOS technology에 적용 가능한 최적의 방법을 제시 하였다. SLTO 방법은 성장 속도를 느리게 함으로서 산화막의 막질을 개선시키는 것으로 보고되고 있는데[8], 본 논문에서는 1.5 nm 이하의 Ultra-thin gate oxide 형성을 위한 방법 중의 하나인 RPNO 에서 RTO 방법과 비교 분석하였다.

## 2. 실험 방법

소자 제작에 사용된 90 nm CMOS technology의 주요 공정 흐름도는 그림 1과 같다. STI(Shallow Trench Isolation)와 Twin well을 형성한 후에 RPNO 방법을 이용하여 게이트 산화막을 형성 하는데, 플라즈마 공정을 인가하기 전에 초기 산화막을 성장하였다. 초기 산화막을 성장시키는 방법으로는 Furnace 내에서 저온으로 느리게 성장

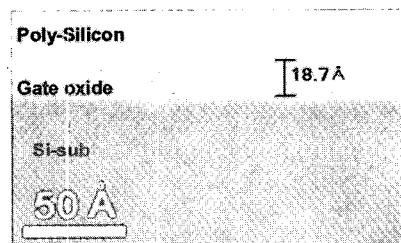


그림 1. 실험을 위한 CMOS 제작 공정 흐름도 및 초기 산화막 형성 Split.

Fig. 1. Process flow for fabrication of CMOS process with split of initial oxidation.



(a)



(b)

그림 2. 90 nm CMOS 기술로 제작된 소자의 TEM 사진. (a) X-TEM 사진, (b) Gate Oxide 영역의 HR-TEM 사진.

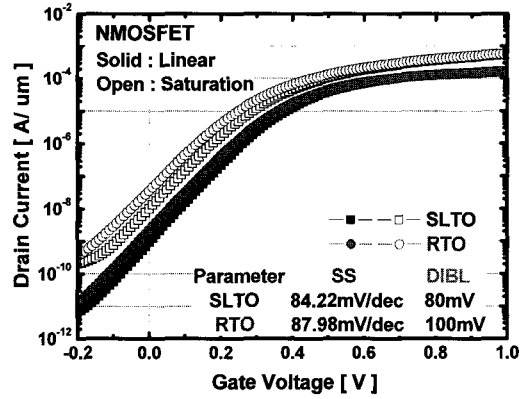
Fig. 2. Cross-sectional TEM image of MOSFET fabricated with 90 nm CMOS technology. (a) X-TEM image, and (b) HR-TEM image of gate oxide region.

하는 방법(SLTO: Slow Low Temperature Oxidation, 700 °C)과 RTP를 이용하여 고온에서 빠르게 성장 시키는 방법(RTO: Rapid Thermal Oxidation, 850 °C)을 적용 하였다. 또한 단 채널 효과를 방지하기 위하여 소스/드레인 영역에 Halo 이온주입을 적용하였고 소스/드레인 extension을 형성하고 sidewall 공정을 거친 후 소스/드레인을 형성하였다. 또한 CoSi<sub>2</sub>와 Al-metallization 공정을 진행 하였다.

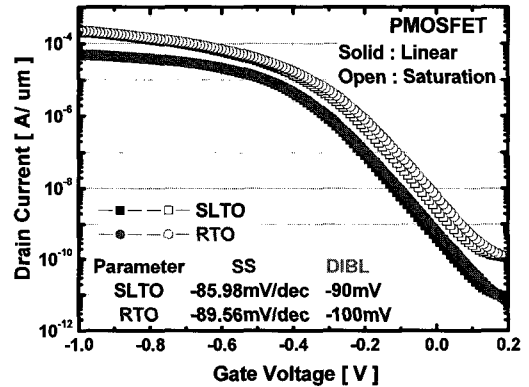
제작된MOSFET의 투과전자현미경(TEM: Transmission Electron Microscope) 단면도는 그림 2와 같으며, 게이트 길이와 게이트 산화막의 두께는 각각 약 70 nm와 18.7 Å 임을 알 수 있다. 소자의 전기적인 특성은 반도체 소자 분석기(Agilent 4156C)를 이용하여 측정 하였으며, Flicker noise 측정을 위해 자동 잡음측정 시스템(BTA9812B)을 이용하여 DUT(Device Under Test)에 의해 생성되는 전류 잡음을 증폭하였고, 잡음 스펙트럼은 Agilent 4156C와 동적 신호 분석기(HP89410A)를 이용하여 측정 하였다.

### 3. 실험 결과 및 고찰

초기 산화막 형성 방법에 따른 드레인 전류 - 게이트 전압 ( $I_{ds}$  vs.  $V_{GS}$ ) 특성을 비교해 보면 그림 3과 같이 NMOSFET와 PMOSFET 모두 SLTO 방법이 RTO에 비해 Subthreshold slope(SS)과 DIBL (Drain Induced Barrier Lowering)이 개선됨을 알 수 있다. 즉, 게이트 산화막과 실리콘 표면의 계면 준위의 결합에 연관이 깊은 문턱전압 아래의 기울기가 NMOSFET의 경우에 RTO = 88.0 에서 SLTO = 84.2 mV/dec로 줄어들었으며, PMOSFET의 경우에는 RTO = 89.6 에서 SLTO = 86.0 mV/dec로 감소되는 것을 확인할 수 있다. DIBL인 경우에도 NMOSFET에 대해 RTO = 100 mV, SLTO = 80 mV로 추출되었으며, PMOSFET의 경우에는 RTO = 100 mV, SLTO = 90 mV로 추출 되었다. 그림 4와 같이 초기 산화막 성장방법에 따른 MOSFET의 포화전류-단락전류 ( $I_{Dsat}$  vs.  $I_{off}$ ) 특성을 비교해 보면 NMOSFET의 경우 저온에서 느리게 성장시킨 SLTO 경우가 RTO에 비해 약 15 mA/mm 정도, PMOSFET는 약 5 mA/mm 정도 포화전류가 개선됨을 확인할 수 있었는데 이는 그림 3의 결과와 잘 일치함을



(a)



(b)

그림 3. 게이트 전압에 따른 드레인 전류 특성, (a) NMOSFET, (b) PMOSFET.

Fig. 3. Drain current vs. Gate voltage of (a) NMOSFET and (b) PMOSFET.

보여주고 있다. 8" 웨이퍼에서 5개 Die에서 측정한 소자의 평균 값을 이용하여 게이트 길이에 따른 문턱전압 특성을 그림 5와 같이 나타내었다. 그림에서 알 수 있듯이 SLTO의경우가 RTO에 비해 단채널 효과(SCE: Short Channel Effect)가 개선됨을 확인할 수 있다. 따라서 N, PMOSFET 모두의 경우에 SLTO 방법이 소자성능이 개선 되는 것을 확인할 수 있으며, 이는 플라즈마 질화산화막 증착 전 공정인 초기 산화막을 저온에서 느리게 성장 하는 SLTO 방법이 플라즈마 질화산화막이 사용된 나노급 CMOSFET에 적용하기 위한 초기 산화막 성장 방법으로 적합함을 알 수 있다.

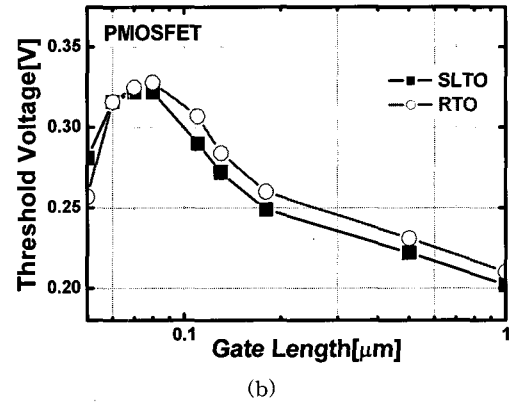
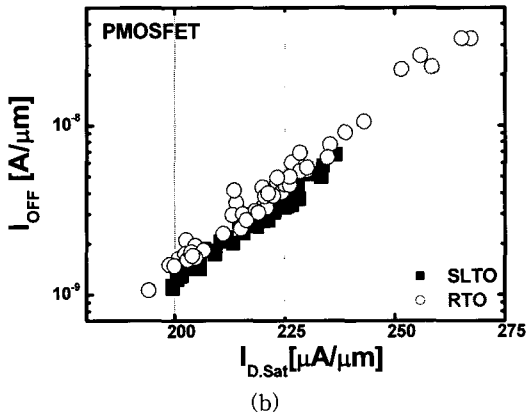
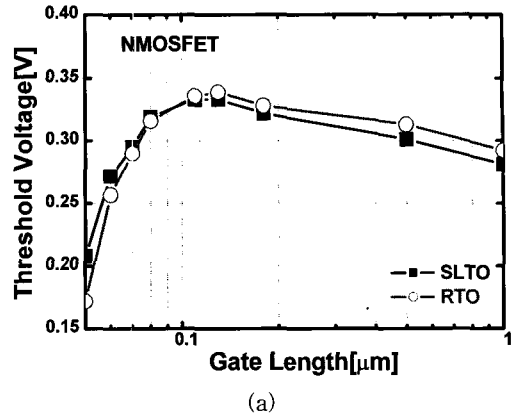
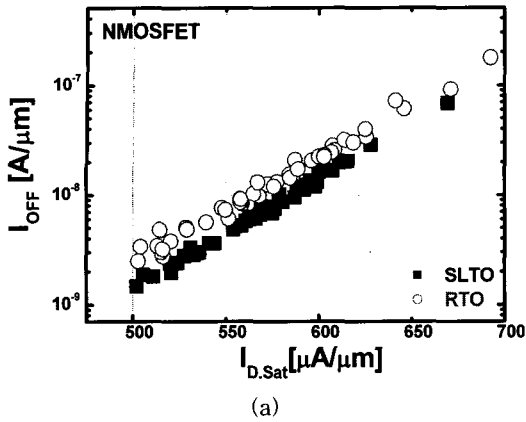


그림 4. 측정에 사용된 소자의 on-off 특성. (a) NMOSFET, (b) PMOSFET.

Fig. 4.  $I_{D.Sat}$ - $I_{off}$  characteristic of (a) NMOSFET and (b) PMOSFET.

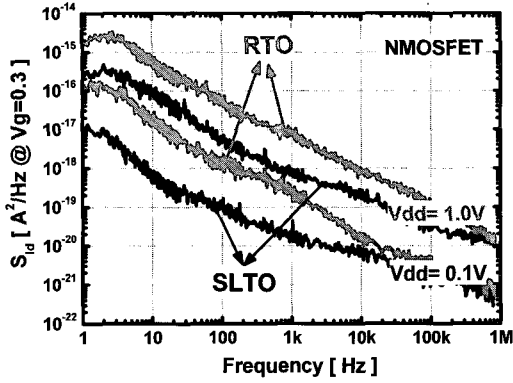
그림 5. 측정에 사용된 소자의  $V_t$  roll-off 특성. (a) NMOSFET, (b) PMOSFET.

Fig. 5.  $V_t$  roll-off characteristics of (a) NMOSFET and (b) PMOSFET.

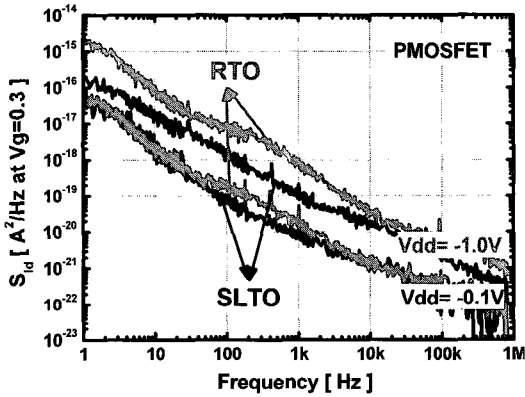
그림 6에 소자의 저주파 잡음 PSD(Power spectral density),  $S_{id}$ 을 나타내었다. 측정 조건은 NMOSFET와 PMOSFET 동일하게 문턱전압 근처인 0.3V의 게이트 전압에서 드레인 전압을 선형 영역( $V_{dd}=0.1V$ )과 포화 영역( $V_{dd}=1.0V$ ) 두 가지 경우를 인가하여 측정을 하였다. 그림 6과 같이 저주파 잡음 특성도 SLTO에서 선형과 포화 영역 모두 RTO에 비해 현저히 개선되는 것을 알 수 있다.

그림 7은 Flicker noise의 발생 원인을 파악하기 위해 선형과 포화 영역에서의 저주파 잡음의 특성을 드레인 전류에 따라 일반화시킨  $S_{id}/I_d^2$ 와  $(gm/I_d)^2$ 을 나타내었다. 캐리어의 수의 변동에 의해

Flicker noise가 주로 발생하는 경우에 일반화시킨 드레인 전류 PSD는 식(1)과 같이 캐리어 수 변동 모델(Carrier number fluctuation model)로 표현이 가능하며,  $S_{id}/I_d^2$ 와  $(gm/I_d)^2$ 의 특성을 통해 소자 내에서 발생하는 저주파 잡음 즉, Flicker noise의 실질적인 원인을 알 수 있다 [9]. 캐리어 수 변동 모델에 의한 결과에서  $S_{Vg}$ 는 인가된 바이어스에 의한 의존성이 매우 작은 것으로 알려져 있으며 식(1)에서  $S_{Vg}$ 가 게이트 바이어스에 약한 의존성을 가진다면,  $S_{id}/I_d^2$ 은  $(gm/I_d)^2$ 에 따라 변화하게 된다. 따라서,  $S_{id}/I_d^2$ 가  $(gm/I_d)^2$ 의 비율에 근접해 갈수록,



(a)

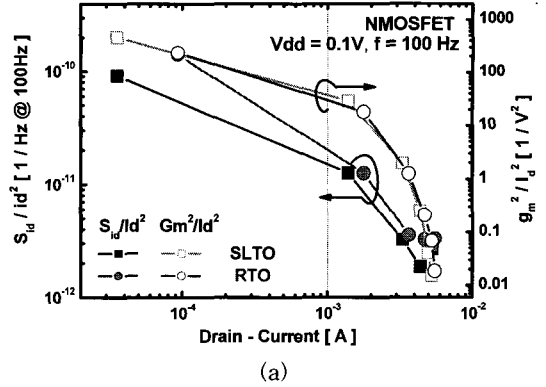


(b)

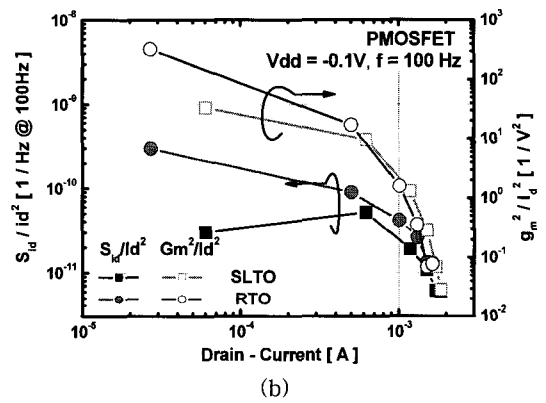
그림 6. 두 가지 종류의 초기 산화막 성장방법에 따른 저주파 잡음의 특성. (a) NMOSFET, (b) PMOSFET.

Fig. 6. Dependence of low frequency noise characteristics on the initial oxidation method. (a) NMOSFET and (b) PMOSFET.

Flicker noise는 캐리어 수의 변동(Carrier number fluctuation)에 의해 주도적으로 나타남을 알 수 있다[10]. 그림 7에서 보는 바와 같이 RTO의 경우에  $S_{id}/I_d^2$ 의 비율이  $(gm/I_d)^2$ 의 비율에 SLTO 보다 더 근접해 있는 것을 볼 수 있다. 따라서 고온에서 빠르게 성장 시킨 소자의 경우에 N, PMOSFET 모두 에서 반전층 내의 캐리어 숫자의 변동이 크게 일어나 Flicker noise 값이 SLTO에 비하여 더 커지는 것을 알 수 있다. 그림 8은 문턱전압 아래에서의 드레인 전류의 의존성을 나타내었다. 식(1)에서 문턱 전압 아래의 영역에서는 드레인 전류가 증가할수록 드레인 전류의 PSD가



(a)



(b)

그림 7. 일반화 시킨 드레인 전류 잡음 PSD와 전류-트랜스컨덕턴스 특성. (a) NMOSFET, (b) PMOSFET.

Fig. 7.  $S_{id}/I_{ds}^2$  and  $(gm/I_d)^2$  as a function of drain current, (a) NMOSFET and (b) PMOSFET.

드레인 전류의 제곱으로 증가하는 것을 볼 수 있다. 이러한 결과는 문턱전압 아래에서 Flicker noise가 생성되는 원인은 캐리어 숫자의 변동에 의해 가장 주도적으로 일어남을 증명할 수 있다.

$$\frac{S_{id}}{I_{ds}^2} = \left( \frac{gm}{I_{ds}} \right)^2 S_{Vg} \quad (1)$$

$$S_{id} = gm^2 S_{Vg} = \frac{q^2}{C_{ox}} \left( \frac{I_d}{V_g - V_t} \right)^2 \frac{N_{ot}}{WL f} \quad (2)$$

반전 영역에서 일어나는 캐리어 숫자 변동의

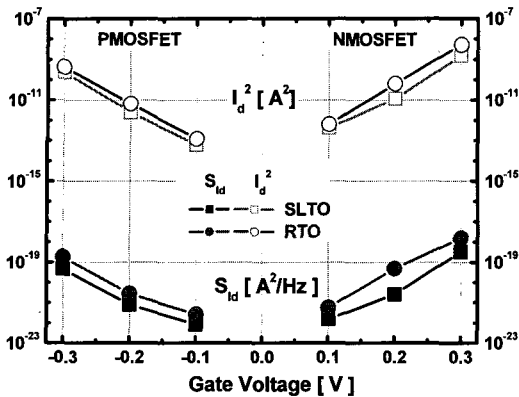


그림 8. 문턱전압 아래의 영역에서의 드레인 전류와 드레인 전류 잡음PSD의 게이트 전압에 따른 특성.

Fig. 8.  $S_{Id}$  and  $I_d^2$  as a function of  $t$  gate-voltage in subthreshold region.

원인을 규명 하기 위해 식(2)를 이용하여 선형 영역에서 산화막 트랩 밀도( $N_{ot}$ )를 계산하였다[11]. 즉, 선형 영역의 강 반전에서 초기 산화막의 성장 방법에 따른 산화막 트랩 밀도를 계산한 결과 NMOSFET의 경우에  $N_{ot,SLTO} = 4.47 \times 10^{14} \text{ cm}^{-3}\text{eV}^{-1}$ ,  $N_{ot,RTO} = 1.75 \times 10^{15} \text{ cm}^{-3}\text{eV}^{-1}$ 의 값을 PMOSFET의 경우에는  $N_{ot,SLTO} = 3.37 \times 10^{15} \text{ cm}^{-3}\text{eV}^{-1}$ ,  $N_{ot,RTO} = 5.48 \times 10^{15} \text{ cm}^{-3}\text{eV}^{-1}$ 의 값을 얻을 수 있었다. 추출된  $N_{ot}$ 로부터 N, PMOSFET 모두에서 Flicker noise의 특성은 산화막 트랩 밀도에 의한 의존성이 강하다는 것을 알 수 있으며 Flicker noise의 원인이 되는 캐리어 숫자 변동이 산화막에서의 트랩에 의해 가장 주도적으로 발생됨을 알 수 있다. 따라서 SLTO의 방법이 Flicker noise가 가장 낮은 이유는 산화막 트랩 밀도가 RTO 방법에 비해 낮아서 잡음 특성이 우수하다고 할 수 있으며, 산화막 트랩 밀도와 저주파 잡음 등이 작은 이유는 성장 속도를 느리게 함으로서 산화막의 막질과 계면 특성이 우수해 지기 때문이라고 사료된다.

#### 4. 결론

본 논문에서는 게이트 산화막으로 사용되는 플라즈마 질화막을 형성하기 위한 전 공정인 두 가지의 서로 다른 초기 산화막 성장 방법이 소자의 성능 및 특성과 저주파 잡음에 미치는 영향을 조사하였다. 고온에서 느리게 성장 시킨

SLTO의 경우가 N, PMOSFET 모두에서  $I_{Dsat}-I_{off}$  특성뿐 만 아니라 DIBL 및 SS 특성도 RTO 비하여 매우 개선되는 것을 볼 수 있다. 또한 여러 반전 영역에서의 저주파 잡음의 영향을 평가한 결과 N, PMOSFET 모두에서 SLTO의 방법이 저주파 잡음이 낮아지는 것을 확인할 수 있다. 이는 산화막의 성장 속도를 느리게 진행 시킴으로서 산화막의 막질 특성이 우수해지고 계면 특성 또한 개선되어 산화막이나 Si/SiO<sub>2</sub> 계면으로의 트랩 밀도가 감소 하기 때문인 것을 확인 하였다. 그러므로 SLTO 방법이 소자의 성능뿐 만 아니라 소자의 신뢰성도 우수함을 확인할 수 있어 Nano-CMOS technology에 적용 가능한 최적의 방법이라 할 수 있다.

#### 감사의 글

This work is supported in part by ETRI (Electronics and Telecommunication Research Institute).

This work was also supported in part by the MOCIE(Ministry of Commerce, Industry and Energy), KOREA under the IDEC Support Program(MPW, CAD).

#### 참고 문헌

- [1] J. Jomaah and F. Balestra, "Low-frequency noise advanced CMOS/SOI devices", IEE Pro-Circuits Devices Syst., Vol. 151, No. 2, p. 111, 2004.
- [2] M. B. Weisman, "1/f noise and other slow, nonexponential kinetics in condensed matter", Rev. Mod. Phys., Vol. 60, No. 2, p. 537, 1988.
- [3] Y. Nemirovsky, I. Brouk, and C. G. Jakobson, "1/f noise in CMOS transistors for analog Applications", IEEE Trans. Electron Devices, Vol. 48, No. 5, p. 921, 2001.
- [4] M. H. Tsai and T. P. Ma, "The impact of device scaling on the current fluctuations in MOSFET's", IEEE Trans. Electron Devices, Vol. 41, No. 11, p. 2061, 1994.
- [5] K. Hung, P. K. Ko, C. C. Hu, and Y. C. Cheng, "A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors", IEEE Trans. Electron

- Devices, Vol. 37, No. 3, p. 654, 1990.
- [6] Z. Celik-Butler, "Low-frequency noise in deep-submicron metal-oxide-semiconductor field-effect transistors", IEE Proc-Circuits Devices Syst., Vol. 149, No. 1, p. 23, 2002.
- [7] T. Sasaki, K. Kuwazawa, K. Tanaka, J. Kato, and D. L. Kwong "Engineering of nitrogen profile in an ultrathin gate insulator to improve transistor performance and NBTI", IEEE. Electron Device Letters, Vol. 24, No. 3, p. 150, 2003.
- [8] E. P. Gusev, H.-C. Lu, E. L. Gafunkel, T. Gustafsson, and M. L. Green, "Growth and characterization of ultrathin nitrided silicon oxide films", IBM J. DEVELOP, Vol. 43, No. 3, p. 265, 1999.
- [9] G. Ghibaudo, O. Roux, C. N. Duc, F. Balestra, and J. Brini, "Improved analysis of low frequency noise in field-effect MOS transistors", Phys. Status Solidi, Vol. 124, No. 2, p. 571, 1991.
- [10] K. W. Chew, K. S. Yeo., and S.-F. Chu., "Impact of technology scaling on the 1/f noise of thin and thick gate oxide deep submicron NMOS transistors", IEE Proc.-Circuits Devices Syst., Vol. 151, No. 5, p. 415, 2004.
- [11] C. Jakobson, I. Bloom, and Y. Nemirovsky, "1/f noise in CMOS transistors for analog applications from subthreshold to saturation", Solid-State Electronics., Vol. 42, No. 10, p. 1807, 1998.