

Properties of Carbon Films Formed for Renewed Electric Power Energy by Electro-deposition

李 尚 憲[†]
(Sang-Heon Lee)

Abstract - Electro-deposition of carbon film on silicon substrate in methanol solution was carried out with various current density, solution temperature and electrode spacing between anode and cathode. The carbon films with smooth surface morphology and high electrical resistance were formed when the distance between electrode was relatively wider. The electrical resistance of the carbon films were independent of both current density and solution temperature.

Key Words : carbon, methanol, Si, film

1. 서 론

Carbon 박막은 Diamond에 필적할 만한 경도를 가지고 있으며, 마찰계수가 매우 적은 값을 나타내고 있는 것으로 알려져 있다[1]. 따라서 마모 억제, 기계적 구동부의 윤활성을 coating 재료로서 연구개발이 집중적으로 수행 되어 왔다. 최근의 연구개발 결과로서 gas 투과에 대한 carbon 박막의 우수한 내성이 확인되어 산소 차단재료로도 활용도가 확장되고 있다.

Carbon 박막은 다이아몬드와 같은 경향의 전자친화력을 나타내고 있으며, 반도체와 같은 특성이 발견되어 전자 소자용 재료로도 주목 되고 있다. 불순물 첨가에 따른 다이오드의 구성이 가능한 점으로 보아 carbon으로 구성된 신기능성 전자소자의 출현 또한 크게 기대 되고 있다. 이제 까지 carbon 박막의 합성법으로는 ion beam 증착법[2], 화학기상 증착법 CVD [3], sputtering [4], dual ion beam 증착[5] 등 많은 방법이 시도 되고 있다. 특히 carbon 박막의 대표적인 합성법이라 할 수 있는 CVD법에 의한 carbon 박막의 합성으로는 700℃이상의 고온의 기판 가열이 필요로 하므로 기판의 선택의 자유도에서 크게 제한을 받는다. 이러한 기판의 가열 온도를 크게 낮출 수 있다면, polymer등 합성수지를 기판으로 활용할 수 있으며, 저렴한 기판을 활용 할 수 있는 등의 큰 장점이 있다.

본 연구에서는 CH₃OH를 탄소원 으로 하여 전기 화학적으로 분해하여 액상으로부터 carbon 박막을 제작한다. 본 전기 분해법은 수십℃이하의 저온에서 carbon 박막의 합성이 가능하므로 기판의 선택폭이 자유로운 이점이 있다. 현

제까지 carbon 박막은 CVD, Sputtering등의 화학적, 물리적 증착으로부터 박막화가 시도되고 있다. 본 연구에서 시도하는 전기 분해법은 진공장치를 비롯한 고가의 복잡한 장치를 필요로 하지 않다. 더욱이 carbon 박막의 합성이 지극히 간편하며, display의 개발에 있어서 중요한 요소인 저 cost화가 가능하게 됨으로써 연구개발의 필요성이 시급하다고 할 수 있다. carbon 박막은 반도체와 같은 전기적 특성을 나타내므로 유용한 불순물을 도핑 함으로써 전기 전도형이 서로 다른 박막 제작이 가능하게 된다. 불순물의 제어가 가능하게 되면 전자 device의 기본이 되는 diode, transistor로의 응용을 기대 할 수 있다. 전기분해에 의한 carbon 박막 합성의 시도는 지금까지 연구되어 있지 않아 본 연구의 의의는 중대하다고 할 수 있다. 따라서 본 연구에서는 독창적이고 간단한 방법으로 carbon 박막을 합성하여 물리적 전기적 특성을 명확하게 분석하여 전자 device로의 응용을 위한 기초 연구를 설명 하고자 한다.

2. 실험방법

전기 분해법에 의한 carbon박막의 합성 방법을 기술한다. 기판 재료로는 Si 과 Ta, MgO등의 금속을 포함한 세라믹의 다양한 원료 기판재료 적용가능성을 검토 하였다. 특히 Si기판은 비저항 0.2 Ωcm 의 n형(100)을 사용 하였다. Si 기판을 5mm× 30mm 크기로 절단하였으며, HF수용액으로 Si 기판 표면의 자연 산화막을 제거하였다.

합성 고전압 배치는 +극에는 불활성 재료로서 Graphite를, -극에는 대향 기판을 배치하여 탄소원 으로서 CH₃OH용액을 사용하였다. carbon 박막을 Si기판 위에 제작하기 위하여 Si 기판 뒷면을 Tefron tape로 싸고, 표면은 5mm × 5mm의 크기로 제작하도록 하였다. 합성 과정에서 기판 뒷전극을 흐르는 전류밀도는 일정하도록 조정 하였다.

[†] 교신저자, 正會員 : 선문대학교 전자정보통신공학부 교수

E-mail : shlee@sunmoon.ac.kr

接受日字 : 2006年 11月 9日

最終完了 : 2006年 12月 6日

Si 기판 표면에는 고 저항의 carbon 박막이 coating되므로, 일정한 전류밀도에서 증착 하였 을 경우, 합성 시간과 함께 전압도 증가하게 된다.

따라서 전원 전압의 최대출력이 5 kV에 도달하게 되면 carbon 박막의 합성을 종료하였다. 실험 조건으로는 전류밀도를 20 mA/cm²에서 40mA/cm² 의 범위로 하였으며, 전극간 거리를 3mm에서 20mm까지 변화 시켰다. CH₃OH 용액의 온도 범위를 35℃-50℃에서 고정 하였다. 다양한 실험 조건에서 carbon 박막을 합성하여, 전기분해법에 의한 carbon 박막 합성 메커니즘을 자세히 검토하였다. 다양한 합성 Parameter에서 carbon 박막을 합성하여 전기적 특성 및 결정학적 특성을 검토하여, carbon 박막의 합성조건을 확립하여 경제적이고 신뢰성 있는 전기분해 기능성 박막장치 구성을 검토하였다.

3. 결과 및 고찰

일반적으로 carbon 박막은 10⁸~10¹¹ Ωcm의 비 저항을 갖는 고저항의 박막으로 알려져 있다. 본 실험에서는carbon 박막을 일정한 전류 밀도 조건에서 합성하고 있으므로 Si 기판 표면에는 고저항의 박막이 형성됨을 추측 할 수 있다. 따라서 박막 합성 공정 도중에 전극 간에 인가되고 있는 전압은 박막 합성과 더불어 상승하게 된다. 전기분해에 의한 carbon 박막의 품질은 전극 간 인가전압의 상승과도 밀접하게 관련되어 있는 것으로 사려 된다. 전류밀도, 탄소원이 되는 CH₃OH 용액의 온도 및 대향 전극 간의 거리등 모든 박막 합성조건을 parameter로 하여, carbon 박막의 합성 조건을 검토 하였다. 특히 본 실험에서는 carbon 박막의 합성 시간에 따른 인가전압의 변화와 carbon 박막에서 관측 되는 전기 저항과의 관련성을 조사하였다. 이러한 실험 방법은 향후 본 전기 분해법을 carbon박막을 포함한 전자 재료 기능성 박막의 합성법으로 적용하기 위하여는 중요한 박막 합성 요소로서 고려될 수 있다. 본 전기 분해법으로 증착한 carbon박막의 비 저항값 은 2point probe로 전기 저항을 측정하였다. 실험에는 W와이어를 사용하여, digital multimeter의 저항 probe로 측정하였다. probe 사이의 거리는 약 3mm로 고정 하였다.

전류 밀도를 30mA/cm²로 일정하게 유지하고, +극에 위치한 Graphite와 -극의 Si기판사이의 거리를 조절하여 합성도중 발생하는 전극간 전압을 측정하였다. 그림1에 본 실험 결과를 제시 한다.

탄소원의 CH₃OH 용액온도는 35℃로 고정 하였으며, 전극간 거리는 3, 5, 10, 15, 20mm 로 하였다. 그림에서 H는 carbon 박막의 전기저항이 20 MΩ이상의 고 저항의 박막을 의미하며, L은 수kΩ 에서 수100kΩ 범위의값을 나타내는 저 저항값으로 합성한 carbon 박막을 나타낸다.

본 실험에서는 전류 밀도를 일정하게 유지하고 있으므로, 전기 분해시 carbon 박막의 합성시간과 함께 전압도 증가하고 있다. 실험 결과 전극간 거리가 5mm인 박막은 저 저항값(L)을 나타내며, 그외의 조건에서 합성 한 carbon 박

막은 고 저항 박막으로 제작 되었다. 저 저항의 carbon 박막은 박막 합성 시 전압의 상승이 비교적 완만하게 관측되며, 고 저항의 박막은 합성 시간에 따른 급격한 전압 상승효과를 나타낸다.

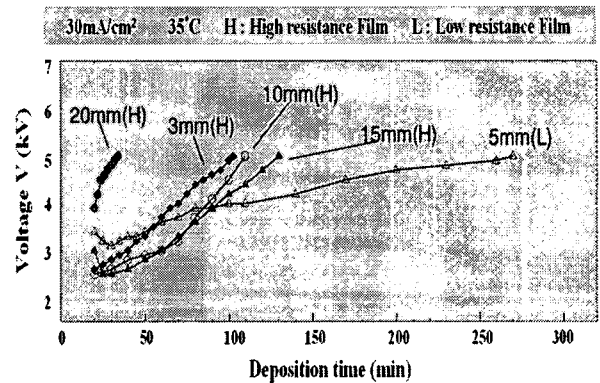


그림 1 증착시간에 따른 전압의 전극간 거리의존성
Fig. 1 Electrode distance and voltage change with deposition time.

전극 간 이 비교적 완만하게 상승한 원인으로는 박막 합성공정에 원인이 있는 것으로 사려 된다. 특히 합성 공정을 통하여 저 저항의 carbon 박막이 서서히 Si 기판위에 증착되고 있음에 알 수 있다. 전압 상승이 급격히 나타나는 원인으로는 박막 합성초기 상태에서 부터 이미 고 저항의 carbon 박막이 형성되어 있는 것으로 설명 될 수 있다. 따라서 전기 분해 carbon 박막 합성과정에서 관측되는 전극간 전압의 변화는 합성하고자 하는 박막의 품질을 의미하는 전기 저항을 예상 할 수 있는 좋은 지표가 되고 있음을 알 수 있다. 전극간 거리가 비교적 좁은 경우는 carbon 박막 합성 공정에서 나타나는 전압 상승효과가 비교적 완만하게 관측되며, 이와 반대로 전극간 거리가 넓은 경우는 전압이 급격하게 상승하는 경향을 나타낸다.

이와 같은 경향은 전류 밀도 값을 변화하여 제작한 박막 합성조건에서도 동일한 경향이 관측되었다.

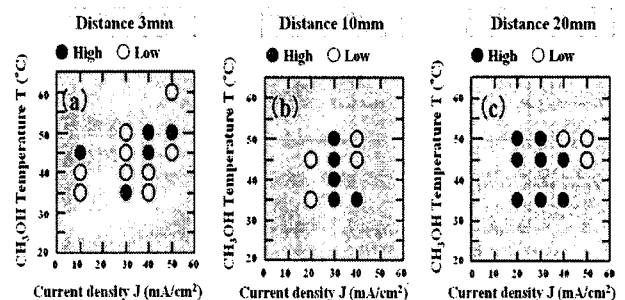


그림 2 전류밀도와 용액온도에 따른 전기저항의 변화
Fig. 2 Electrical resistance change with current density and solution temperature.

그림 2는 전극간의 거리는 일정하게 유지하고, 전류 밀도와 CH₃OH 용액 온도 변화에 따른 carbon 박막의 전기 저항의 변화를 조사한 결과이다. 그림에서 ●은 고 저항 carbon 박막을 ○은 저 저항 carbon 박막을 나타낸다. 그림 2에서 전극간 거리가 3mm인 경우에는 저 저항의 carbon 박막(○)에 비하여 고 저항의 carbon 박막(●)이 합성되는 비율이 현저히 적다. 즉 전극 거리 3mm에서는 탄소원이 되는 CH₃OH 용액의 온도와 전류 밀도에 관계없이 저 저항 carbon 박막이 합성되기 쉬운 실험조건을 구성하고 있다. 전극간의 거리를 10mm, 20mm로 넓게 하였을 경우, 저 저항의 carbon 박막에 비하여 고 저항의 carbon 박막이 합성되기 쉬운 제작 조건을 구성하고 있다. 전극간 거리 20mm, 전류밀도를 20~40mA/cm², 탄소원의 용액 온도가 30~50℃까지의 온도 범위에서는 용액의 온도와는 관계없이 고 저항을 나타내는 carbon 박막이 형성되고 있음을 알 수 있다.

전류 밀도, 탄소원이 되는 CH₃OH 용액의 온도 및 전극간의 거리에 따른 carbon 박막의 표면 형태를 주사형 전자 현미경(Scanning Electron Microscope, SEM)으로 관찰하였다.

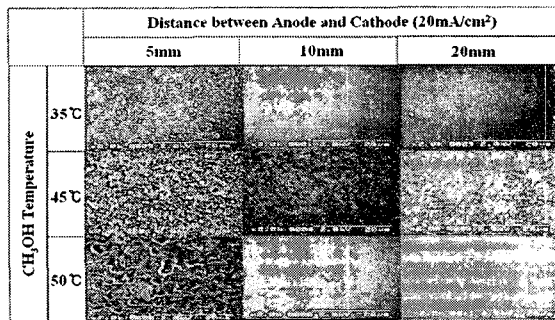


그림 3 전류밀도 20mA/cm²에서 형성된 박막의 형태.
 Fig. 3 Surface morphology change of carbon films with electrode distance formed at 20mA/cm².

그림 3은 전기 분해 합성공정에서 시료간을 흐르는 전류 밀도를 각각 20mA/cm²와 30mA/cm²로 일정하게 유지하면서 합성한 carbon 박막의 표면을 관측한 결과이다. 그림 3에서 알 수 있듯이 전류 밀도를 20mA/cm², 전극거리를 5mm로 고정 하였을 때, 모든 합성 온도 parameter에서 carbon 박막의 요철이 관찰되었다. 전극거리를 10mm, 20mm로 증가 하게 되면 carbon 박막의 표면도 평탄하게 증착 되고 있음을 알 수 있다. 같은 carbon 박막의 합성 경향은 전류밀도를 30mA/cm²로 일정하게 고정한 실험 조건에서도 관측 되었다. 따라서 전기분해 합성 과정에서 대향 전극간의 거리를 좁게 하면, 박막의 표면이 거칠게 되어 표면의 평활도는 감소하게 된다. 전극간의 거리가 넓어지면 carbon 박막의 표면은 평탄하게 되어 표면의 평활도는 증가한다. 대향 전극간의 거리가 좁으면 박막의 표면이 거칠며 저 저항의 carbon 박막이 형성된다. 반대로 전극간의 거리가 넓으면 박막의 표면이 거칠며 고 저항의 carbon 박막이 형성된다. 전극간의 거리를 좁게 하여 전류밀도를 증가 하

면 carbon 박막의 합성과정에서 방전에 의한 spark가 발생하며, 이로 인하여 국부적으로 탄소원 용액의 온도가 상승하게 되어 전기 분해 carbon 박막 합성 조건이 변화하게 된다. 따라서 이러한 전기 분해 합성 조건의 변화로 인하여 본 실험에서 증착된 carbon 박막의 표면 평활도는 감소하여, 저 저항의 carbon 박막이 형성되는 것으로 사려 된다.

저 저항의 carbon 박막이 합성되는 원인으로서는 전기 분해 반응에 의하여 Graphite가 형성되는 현상에 기인할 가능성이 있다. 따라서 Graphite와 저 저항의 carbon 박막에 관한 전기 저항의 온도 의존성을 조사하여, carbon 박막 합성 메커니즘을 규명할 필요가 있다. 본 실험에서는 Graphite의 주위 온도를 20℃에서 75℃까지 변화 시켜가며, carbon 박막의 저항 값을 측정 하였다. 저항 값은 초기 저항값 0.39Ω에서 0.37Ω부근까지 감소하였다.

carbon 박막 합성 공정에서 전류밀도를 20mA/cm²로 유지하고 기판간의 거리를 20mm로 고정하였다. 탄소원 CH₃OH 용액의 온도는 50℃로 유지 하여 carbon 박막의 전기저항에 대한 온도 의존성을 조사 하였다. 저 저항의 carbon 박막은 주위온도가 20℃에서 30℃로 상승하게 되면, 저항 값이 50Ω에서 90Ω부근까지 증가한다. 주위 온도를 30℃로 상승시키면 carbon 박막의 저항 값은 40Ω부근까지 감소하게 된다. 이와 같은 조건에서 합성한 저 저항의 carbon 박막은 주위온도 30℃부근에서 저항 값이 최대가 된다. Graphite에 대한 저항 값의 변화는 완만하나, 저 저항의 carbon 박막의 변화는 매우 급격하게 나타났다. 따라서 저 저항의 carbon 박막이 합성되는 원인으로서는 Graphite 성분에 의한 변화가 아니라, 별도의 메커니즘에 의한 현상으로 사려 된다.

4. 결 론

전기 분해 합성법에 의한carbon 박막의 전기 저항은 대향 전극간의 거리에 크게 의존하며, 거리가 비교적 좁은 3mm인 경우 저 저항의 carbon 박막이 합성되며, 20mm정도로 비교적 넓게 되면 고저항의carbon 박막이 증착되는 경향이 있다. 고 저항이 되는 원인으로서는 탄소원 용액의 온도와 전류 밀도와 크게 연관성이 없음이 관측되었다. carbon 박막의 표면 형태는 전극간의 거리가 좁으면 거칠게 나타나며, 전극간의 거리가 넓어지게 되면 평탄하게 나타났다. 따라서 전극거리가 좁게 되면 박막의 표면에 거칠고 저 저항의 carbon 박막이 형성되며, 거리가 넓어지면 평탄하며 고저항의carbon 박막이 합성된다. 본 연구는 고가의 진공장비를 대체할 수 있는 독창적인 공정 방법으로 수행한 연구결과로서 carbon을 포함한 각종 전자 기능성 박막의 합성 장비로 대체 될 수 있는 가능성을 제시 하였다.

참 고 문 헌

- [1] B. Pate, Electronic Properties and Applications, eds. L.S. Pan and D.R.Kania (Kluwer Academic, Boston) Chap. 2, (1995).
- [2] A.A.Voevodin, S.J.P.Laube, S.D.Walck, J.S.Solomon, M.S.Donley, and J.S.Zabinski, J.Appl.Phys., 78, 4123 (1995).
- [3] F.Rossi, B.Andre, A.van Veen, P.E.Mijnarends, H.Schut, M.P.Delplancke, W.Gissler, J.Haupt, G.Lucazeau, and L.Abello, J. Appl. Phys., 75, 3121 (1994).
- [4] L.L.Maissel, and R.Glang, Hand book of Thin Film Technology (McGrow-Hill, New York) Chap.5, 5 (1970).
- [5] T.Suzuki, Y.Manita, T.Yamazaki, S.Wada, and T.Noma, J.Mater.Sci., 30, 2067 (1995).

저 자 소 개



이 상 헌 (李尙憲)

1989년 일본 TOKAI University 전자공학과 공학사. 1991년 일본 TOKAI University 전자공학과 공학석사. 1994년 일본 TOKAI University 전자공학과 공학박사. 1994년~1997년 동경전기대학 초전도물성연구센터 연구교수. 1995년~1997년 일본 ISTE(초전도공학연구소) 책임연구원. 1997년~현재 선문대학교 전자공학부 교수.