

Development of 60KV Pulsed Power Supply using IGBT Stacks

柳泓齊[†] · 金鍾洙^{*} · 林根熙^{*} · G. I. Goussev^{**} · D. Sytykh^{**}

(Hong-Je Ryoo · Jong-Soo Kim · Geun-Hie Rim · G. I. Goussev · D. Sytykh)

Abstract - In this paper, a novel new pulse power generator based on IGBT stacks is proposed for pulse power application. Because it can generate up to 60kV pulse output voltage without any step-up transformer or pulse forming network, it has advantages of fast rising time, easiness of pulse width variation and rectangular pulse shape.

Proposed scheme consists of series connected 9 power stages to generate maximum 60kV output pulse and one series resonant power inverter to charge DC capacitor voltage. Each power stages are configured as 8 series connected power cells and each power cell generates up to 850VDC pulse. Finally pulse output voltage is applied using total 72 series connected IGBTs. To reduce component for gate power supply, a simple and robust gate drive circuit is proposed. For gating signal synchronization, full bridge inverter and pulse transformer generates on-off signals of IGBT gating with gate power simultaneously and it has very good characteristics of short circuit protection.

Key words : pulsed power supply, IGBT pulse modulator, pulse modulator, PSII

1. 서 론

펄스전원장치에는 소자의 정격 등의 한계로 스파크갭, 싸이타트론과 같은 기계적 스위치들이 사용되어 왔다.[1-2] 이러한 기계적 스위치들은 높은 전압 및 전류 정격을 가지며 상대적으로 간단한 구동이 가능하지만 스위치의 사용에 따른 마모로 인하여 한시적인 수명을 가지며, 펄스폭의 조절을 위하여 펄스압축을 위한 PFN(Pulse Forming Network) 등이 필요하며 구형과 형태의 펄스를 얻기가 어려우며, 자유로운 펄스폭의 조절에 한계가 있다. 또한 사이즈 및 중량에서도 반도체 스위치 사용방식에 비하여 단점을 지니게 된다.[1-3]

이런 이유로 최근에 수명, 펄스반복율, 소형 경량화 등의 장점을 지니는 반도체 소자에 의한 펄스전원장치 개발에 대한 연구가 진행되고 있다.[3-7] 반도체 소자를 사용한 펄스전원장치는 전술한 것과 같은 장점을 지닐 수 있으나 높은 전압 및 전류 정격에 사용될 수 있는 단일 스위치 소자가 현재 개발되어 있지 않으므로 여러대의 스위치를 직렬, 병렬로 구동하는 반도체 스위치가 가지는 장점을 활용하기 위한 극한 기술 개발이 요구된다.

일반적으로 반도체 스위치는 병렬연결은 비교적 용이하나 직렬연결은 반도체 스위치간의 정적, 동적인 전압균형의 문제와 구동의 문제로 용이하지 않다. 특히 반도체 스위치가 구동 타이밍 차이로 전압 불균형이 발생하기 쉬우며 이때

전압 불균형으로 인해 전압 정격을 넘으면 반도체 스위치는 즉시 파손되며, 이러한 이유로 현재 수십 kV 급의 펄스를 발생시키기 위한 반도체 방식의 전원장치는 상대적으로 낮은 10-20kV정도의 펄스전압을 반도체 소자에 의해 발생시킨 후 이를 승압 변압기나 PFN에 의하여 고압으로 승압하는 방식을 사용하고 있으며[6], 변압기의 누설 인덕턴스나 PFN의 인덕터성분으로 인하여 펄스전압의 상승에 제한을 받아 서브 마이크로(sub-micro) 레벨의 펄스 상승률을 갖도록 구현하기가 어려운 단점이 있다.

본 논문에서는 순수 반도체 스위치만을 사용한 새로운 형태의 펄스전원장치의 개발에 대하여 다룬다. 제안하는 전원장치는 고압 충전을 위한 직렬공진형 인버터 방식의 충전기와 수정된 마크세너레이터(Marx generator)형식의 고압발생장치로 구성되며, 60kV 펄스 출력을 위하여 1200V급 IGBT 72개가 직렬구동으로 연결되어 변압기 등의 부가회로 없이 60kV의 고압 펄스를 직접 반도체 스위치로부터 인가할 수 있도록 구현한다. 커패시터의 충전 및 IGBT의 게이트 구동을 위하여 각각 1차측이 한 턴으로 구성되는 고압케이블에 의한 파워루프(power loop)와 제어루프(control loop)가 사용되며, 이로 인해 전체 사이즈와 중량을 크게 감소할 수 있다.

제안한 방식의 구조와 설계사항에 대하여 기술하고, 실험을 통한 제시한 펄스전원장치의 성능을 검증한다.

2. 반도체방식의 펄스전원장치 설계 고려사항

2.1 PSII용 펄스전원장치의 등가모델

그림 1의 (a)는 스위치의 스위칭 시간에 지연이 없고 스위치의 온상태에서 도전 임피던스가 무시할 수 있을 정도로

[†] 교신저자, 正會員 : 한국전기연구원 산업전기연구단 선임연구원

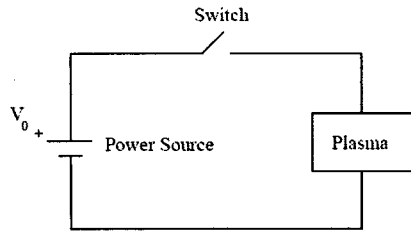
E-mail : hjryoo@keri.re.kr

* 正 會 員 : 한국전기연구원 산업전기연구단

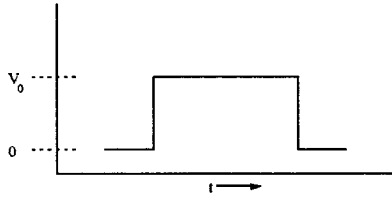
** 非 會 員 : 한국전기연구원 산업전기연구단 초빙연구원

接受日字 : 2006年 8月 23日

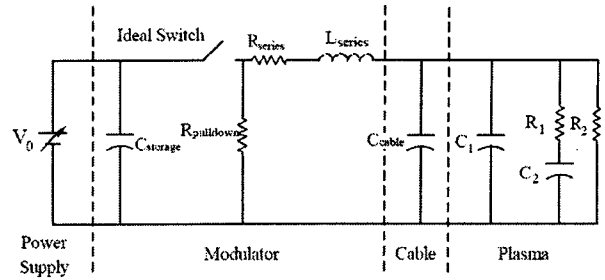
最終完了 : 2006年 11月 23日



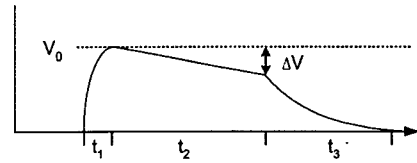
(a) 이상적인 등가모델
(a) Ideal Equivalent Model



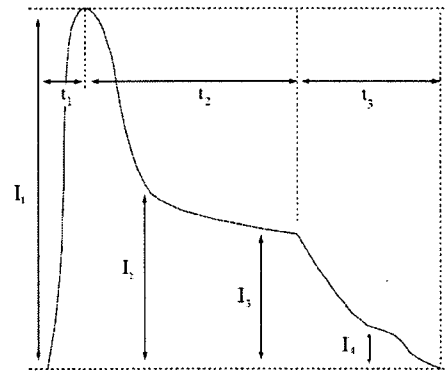
(b) 이상적인 펄스모양
(b) Ideal Pulse Shape



(a) PSII 등가모델
(a) Equivalent Model of PSII



(b) 인가전압
(b) Voltage Waveform



(c) 전류
(c) Current Waveform

그림 1 이상적인 PSII용 펄스전원장치 등가 모델
Fig. 1 Ideal Pulsed Power Supply Equivalent Model for PSII

작고, 스위치 개방시 무한대의 임피던스를 갖는다는 이상적인 스위치를 가정한 경우의 PSII(Plasma Source Ion Implantation)용 전원의 등가모델이며, 그림 1의 (b)는 이 경우에 발생하는 이상적인 펄스전압의 파형을 나타낸다.

실제적인 PSII 전원장치는 이상적인 스위치를 가정하더라도 그림 2의 (a)와 같이 부하와 전원장치 사이에는 케이블의 직렬저항 직렬인덕턴스 그리고 케이블의 커패시턴스가 존재하게 되며, 스위치의 오프시 케이블 및 플라즈마 챔버의 커패시터 성분에 충전된 전압의 방전경로를 제공하기 위한 풀다운(pull down)저항이 삽입된다. 전류 상승률을 제한하기 위해 케이블의 인덕턴스 외에 추가로 직렬인덕턴스를 삽입하기도 한다. 또한 이러한 전원장치의 부하로 사용되는 플라즈마 챔버는 저항과 커패시터가 혼합된 형태로 등가모델을 세울 수가 있으며, 이로 인하여 실제 챔버에 인가되는 전압과 이때 흐르는 전류 파형은 그림 2 (b)와 (c)와 같은 모양을 형성하게 된다.[8]

이상적인 스위치를 가정하더라도 펄스전압의 상승에 필요한 시간 t_1 은 직렬저항(R_{series})과 케이블 및 플라즈마 챔버의 합성 커패시턴스에 의하여 제한되며 이상적인 구형파형대가 불가능하게 되고 해석을 위해 다음과 같이 단순화시켜 계산 가능하다.[8]

$$t_1 \approx R_{series}(C_{cable} + C_{plasma}) \quad (1)$$

시간에 따른 펄스전압의 감쇄를 줄이기 위해서는 스토리지 커패시터의 값을 크게 하는 것이 필요하며 이때 펄스폭에 따른 전압의 드롭(droop)은 식(2)로 근사 계산가능하다.

$$\Delta V \approx \frac{I \times t_2}{C_{storage}} \quad (2)$$

여기서, $I \approx I_{pull-down} + I_{plasma}$

그림 2 실제적인 PSII용 펄스전원장치 등가 모델
Fig. 2 Practical Equivalent Model of Pulsed Power Supply for PSII

그림 3 (b)로부터 최대 전류 I_1 을 계산하면, 식 (3)과 같다.

$$I_1 \approx \sqrt{\frac{C_{cable} + C_1}{L_{series}}} \times V_0 \quad (3)$$

단, $\tau_L = \frac{L_{series}}{R_{series}} \gg R_{series}(C_{cable} + C_1) = \tau_C$ 라 가정

여기서 직렬 인덕터 L_{series} 는 케이블의 인덕턴스 성분이며, 실제 응용의 경우 전류의 상승률 및 피크전류치를 제한하기 위하여 직렬인덕터가 추가될 수도 있다.

정상상태의 전류 I_3 는 식 (4)와 같이 계산가능하며 여기서 R_2 는 정상상태에서의 플라즈마 등가저항이다.

$$I_3 = \frac{V_0}{R_2}, \quad R_2 \gg R_{series} \quad (4)$$

이로부터 I_1 과 I_3 사이구간의 I_2 는 다음과 같이 결정된다.

$$I_2 \approx \frac{V_0}{R_1} e^{-\frac{t}{\tau_2}}, \quad \tau = R_1 C_1 \quad (5)$$

최종적으로 펄스지속에 따른 전압과 전류를 계산하면 식 (6)과 같다.

$$V \approx V_0 e^{-\frac{t}{\tau_3}}, \quad I = \frac{V_0}{R_2} e^{-\frac{t}{\tau_3}}$$

$$\tau_3 \approx (C_{cable} + C_1 + C_2)(R_{pulldown} || R_2) \quad (6)$$

2.2 반도체 구동방식의 펄스전원장치

현재 제안된 반도체스위치 구동방식의 펄스전원장치에 대한 각각의 특징 및 장단점을 간략히 살펴 보면 다음과 같다.

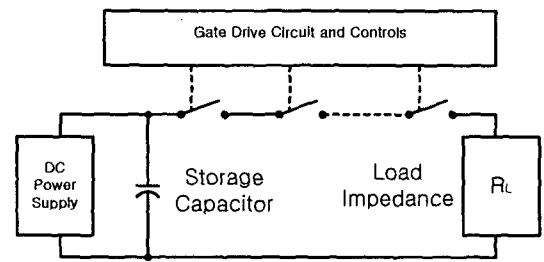
그림 3은 반도체 소자를 채택한 방식의 대표적인 세가지 회로를 보여준다.

먼저 그림 3의 (a)는 높은 전압을 인가하기 위하여 여러대의 반도체 소자들을 직렬로 연결하여 동시에 구동하는 가장 이상적인 방식이다.[3][8] 이때 커패시터에 충전된 고전압은 직렬연결된 반도체 소자를 통해 부하에 공급되는 방식으로, 빠른 펄스 상승시간과 구형과 형태의 펄스발생 및 펄스폭 및 주파수 제어가 자유로운 장점을 지니며, 이를 위해 게이트신호 및 반도체 소자의 온-오프시에 동기가 중요하게 된다. 반도체소자의 일부가 턴온된 상태에서 일부가 턴오프가 되어 있는 상태로 유지되면 정격을 초과하는 전압이 오프된 스위치에 걸리게 되고 스위치 소자의 소손을 야기하게 된다. 실제적으로 완벽한 동기를 맞추기는 어려우며, 이러한 이유로 전체 직렬연결된 소자의 전압정격에 상대적으로 많은 마진을 두게 되고 펄스전원을 사용하는 부하의 특성상 빈번히 발생하는 아크상태에서 단락전류가 흐를때 각 소자의 양단 전압강하를 이용하여 직접 스위치를 오프시키는 방식의 회로 보호는 각 소자간의 오프시간의 불일치를 가져오게 되므로 불가능해 진다. 따라서 부하임피던스와 직렬연결되는 발라스트 저항과 소자 자체의 안전동작영역에 의해 아크보호가 이루어지게 되어 최대펄스폭에 한계가 있다. 또한 이 경우 높은 정격의 커패시터와 커패시터의 충전을 위해 높은 DC 전압이 요구되며, 이로 인한 충전기의 가격 및 사이즈가 커지게 된다.

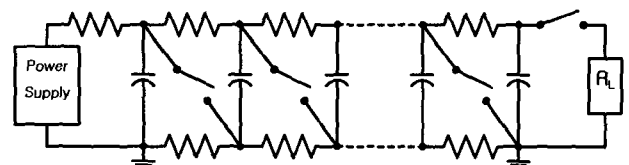
그림 3의 (b)는 기존의 막스제너레이터를 반도체 소자를 사용하여 대체한 구조이다.[7]

이상적으로 각 커패시터 전압은 각 스위치의 정격전압 이내로 설계하고 모든 커패시터가 충전 저항을 통하여 충전된 후에 스위치를 동시에 온시켜 충전된 커패시터 전압이 직렬로 연결되어 부하에 인가되는 방식이다.

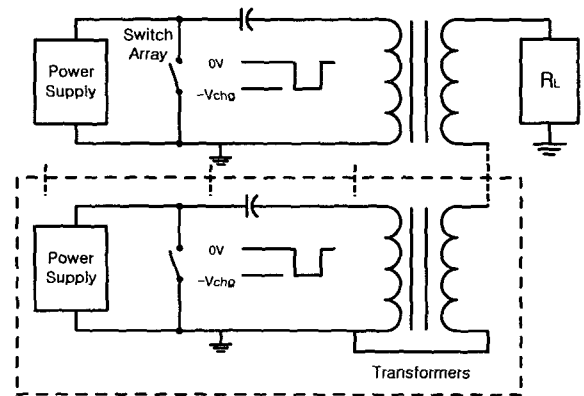
가장 큰 장점은 각 스위치의 오프시에 하나의 커패시터 셀에 충전된 전압만을 부담하게 되어 게이트 신호의 동기 에 큰 영향을 받지 않고 효과적인 단락보호회로구성이 가능하며, 충전전압을 상대적으로 낮게 가지고 갈 수 있다는 점이다.



(a) 반도체 소자를 사용한 Hard Tube 방식
(a) Hard Tube Method using Semiconductor Switches



(b) 반도체 소자를 사용한 Marx Generator
(b) Marx Generator using Semiconductor Switches



(c) 반도체 소자와 펄스변압기를 사용한 방식
(c) Power Modulator using Semiconductor Switches with Pulse Transformer

그림 3 반도체 소자를 사용하는 펄스전원장치
Fig. 3 Pulsed Power Supply using Semiconductor Switches

또한 충전전압 및 펄스전류크기의 결정에 따라 각 단위 스위치는 여러대의 반도체 소자가 직렬 또는 병렬로 연결되는 구조를 사용할 수도 있으며 이 경우의 장단점은 그림 3 (a)의 경우와 (b)의 경우의 장단점을 혼합한다고 볼수 있다. 본 회로의 단점으로는 충전단계가 증가함에 따라 충전 손실이 증가하며 첫단의 충전저항이 중간단에 비하여 더 많은 전류가 흐르게 되어 부담이 더욱 커지게 된다. 따라서 이를 변형하여 전류원방식에 의한 충전기와 다이오드로 저항을 대체한 형태의 토폴로지도 가능하다.

그림 3 (c)는 기본적으로 반도체 소자를 사용하여 변압기 1차측의 펄스를 발생시킨 후 이를 변압기를 통하여 승압하는 형태의 구조이다. 필요에 따라 변압기에서 점선부분과 같이 전압 또는 전류의 크기를 더해 주는 adder 형태가 가능하며, 마찬가지로 각 커패시터 전압과 펄스 전류의 크기에

따라 하나의 스위치를 여러대의 반도체 소자를 사용하여 직병렬 구조로 스택킹하여 사용가능하다.[6]

이러한 회로의 가장 큰 단점은 승압을 위해 변압기를 사용함에 따라 펄스의 상승률이 변압기의 인덕턴스 성분으로 제한되어 빠른 상승율을 갖는 펄스의 인가가 불가능하여 최대 펄스 상승률은 1-2 μsec 정도로 제한되고 변압기의 자기포화로 인해 최대펄스폭도 제한되며, 또한 변압기가 단방향의 펄스만을 인가하게 되므로 변압기의 자속을 reset해 주기 위한 부가 회로가 필요하는 등 변압기 설계가 복잡해 진다.

세가지 방식에 있어서 공통적으로 고려되어야 할 사항이 바로 고압용 게이트 전원의 설계이다. 반도체 소자의 스위치 구동을 위하여 게이트 전원의 절연이 요구되는데다 펄스 고압 전원의 특성상 각 게이트전원은 요구전압에 따라 수십 kV-수백 kV 정도의 절연내력이 요구되므로 각 스위치의 게이트 전원을 절연하기 위해서는 다단계의 절연이 필요하고, 게이트 회로가 복잡해 진다. 이러한 회로 복잡성의 문제를 해결하기 위해 하나의 능동 게이트 신호와 절연된 전원으로 하단의 스위치를 턴온하면 캐스캐이드 된 형태로 상단 스위치들이 차례로 턴온되고 턴오프시의 동기화를 위해 부가적인 MOFET를 각 스위치 게이트단에 사용하는 방식의 구조가 제안되었으며 이를 통해 게이트 전원이 상당히 간소화될 수 있었다.[6]

3. 제안하는 펄스전원장치 설계

본 논문에서는 막스제너레이터의 기본 원리를 응용하고 실제적인 발생 문제점을 해결한 수정된 형태의 새로운 반도체 방식의 펄스전원장치를 설계 제작하였다.

펄스전원장치의 주 부하로 PSII를 목적으로 고려하였으며 전원장치 설계에 사용된 기본 목표 사양을 정리하면 다음과 같다.

- 펄스출력전압: 0 - 60kVmax
- 펄스출력전류: 0 - 200Amax
- 펄스폭: 2 μsec - 20 μsec
- 펄스반복 주파수: 20Hz - 2000Hz
- 펄스상승시간: 500nsec 이하
- 펄스전압 드롭: 60kV, 150A, 20 μsec 펄스기준 5% 이내

3.1 펄스전원장치의 구조

설계 기본 사양으로부터 기본 설계된 펄스전원장치의 구조를 그림 4에 나타내었다. 그림에 나타난 것과 같이 PSII에서 발생하는 빈번한 아크조건에서 반도체 소자를 효과적으로 보호하기 위하여 기본적으로 반도체 소자 하나와 스토리지 커패시터, 그리고 바이패스 다이오드와 관련 게이트 드라이버회로로 구성되는 하나의 파워셀(power cell)을 설계하고 이로부터 8개의 파워셀로 구성되는 파워스테이지(power stage)를 하나의 모듈화하여 제작한 후 요구전압을 발생시키기 위하여 필요한 만큼의 파워스테이지 모듈을 다단으로 연결하여 직렬공진형 전류형인버터에 의해 발생하는 충전전류를 고압케이블과 변압기를 통해 각 셀의 커패시터를 병렬 충전하고, 펄스발생시에는 IGBT를 직렬로 구동시켜 각 커

패시터에 충전된 전압을 직렬구성하여 고전압을 인가하는 수정된 형태의 막스제너레이터 방식으로 구현하였다. 각 파워셀의 스토리지 커패시터(Cs)는 최대 850V까지 충전되며, 하나의 파워스테이지는 총 8개의 파워셀로 구성되어 최대 6.8kV, 200A의 출력을 낼 수 있도록 설계되었다. 60kV의 출력전압을 발생시키기 위해 이러한 파워스테이지는 모두 9단이 직렬로 연결되었으며 최대 61.2KV의 출력 펄스 전압을 발생시킬 수 있는 구조이다.

전술한 바와 같이 이러한 방식의 최대 장점은 단락전류 발생시 IGBT 양단의 전압 강하를 이용하여 바로 해당 IGBT의 게이트를 차단하는 방식의 효과적인 단락보호회로 구현이 가능하며, 이때 각 소자의 턴-온, 오프상의 동기가 정확히 일치하지 않아도 전류는 바이패스 다이오드(Db)를 통해 바이패스되면서 먼저 턴오프된 IGBT들은 오프상태에서 내량내에서 견딜 수 있는 850V의 커패시터 전압만을 분담하므로 문제가 발생되지 않는다.

그러나 이런방식의 펄스전원장치 구성시 병렬 충전 단계가 늘어남에 따라 변압기를 포함한 충전회로의 개수가 많이 필요하게 되며, 각 셀 사이에서 충전단과 게이트회로에 높은 고전압의 절연이 요구되므로 이로 인한 회로를 간단하면서도 효과적으로 해결할 수 있는 방법이 필요하다.

3.2 고압충전용 Power Inverter 설계

본 연구에서는 각 커패시터의 고효율 충전 및 충전 변압기 코어의 사이즈를 줄이기 위하여 널리 알려진 고주파방식의 직렬공진형 인버터를 사용하였으며, 이는 기존의 SCR 방식의 정류기와 변압기를 사용하는 고압 DC 충전기에 비하여 사이즈를 대폭 줄일 수 있으면서 효율을 높일 수 있는 방식이다.[9]

그림 5는 그림 4에서 충전에 사용된 직렬 공진형 인버터의 구성만을 간단히 도시한 그림이다.

먼저, 충전 전류는 직렬공진형 인버터로부터 그림 4의 파워루프(power loop)로 명명된 변압기의 1차측 권선에 공급되며, 2차측 권선으로부터 정류다이오드를 통해 각 파워셀의 커패시터를 충전하게 된다. 여기서 파워루프와 직렬공진형 인버터 사이의 간섭을 최소화하고 전압 전류 매칭을 위하여 본 논문에서는 디커플링(decoupling) 매칭 변압기를 사용하였다. 커패시터 충전을 위한 직렬공진형인버터는 풀브릿지 인버터와 공진커패시터(C_r), 공진인덕터로 구성되며 여기서 실제 공진인덕턴스는 입력단의 인덕터(L_r), 파워루프케이블의 인덕턴스(L_{loop}) 및 디커플링 변압기의 누설인덕턴스(L_{trik})의 합이 된다. 여기서 측정된 실제 파워루프의 인덕턴스(L_{loop})는 약 2.6 μH 이며, 디커플링을 위한 매칭 변압기의 누설 인덕턴스(L_{trik})는 2.6 μH 이며 이 두 인덕턴스를 사용하여 공진회로를 구성하였고 따라서 그림에서의 L_r 은 회로구성상의 라인 인덕턴스뿐 추가인덕터를 사용하지는 않았다.

또한 파워루프가 60kV 펄스전원에 필요한 절연확보를 위해 250kV의 고압케이블을 사용하여 각 파워스테이지의 페라이트 코어를 1차측을 단일턴으로 관통하는 방식을 사용하였기 때문에 변압기코어 및 전체 사이즈를 줄이기 위하여서는 인버터의 공진주파수와 스위칭 주파수는 가능한 높이는 것이 바람직하나 실제적인 경우 IGBT의 동작 한계와 스위

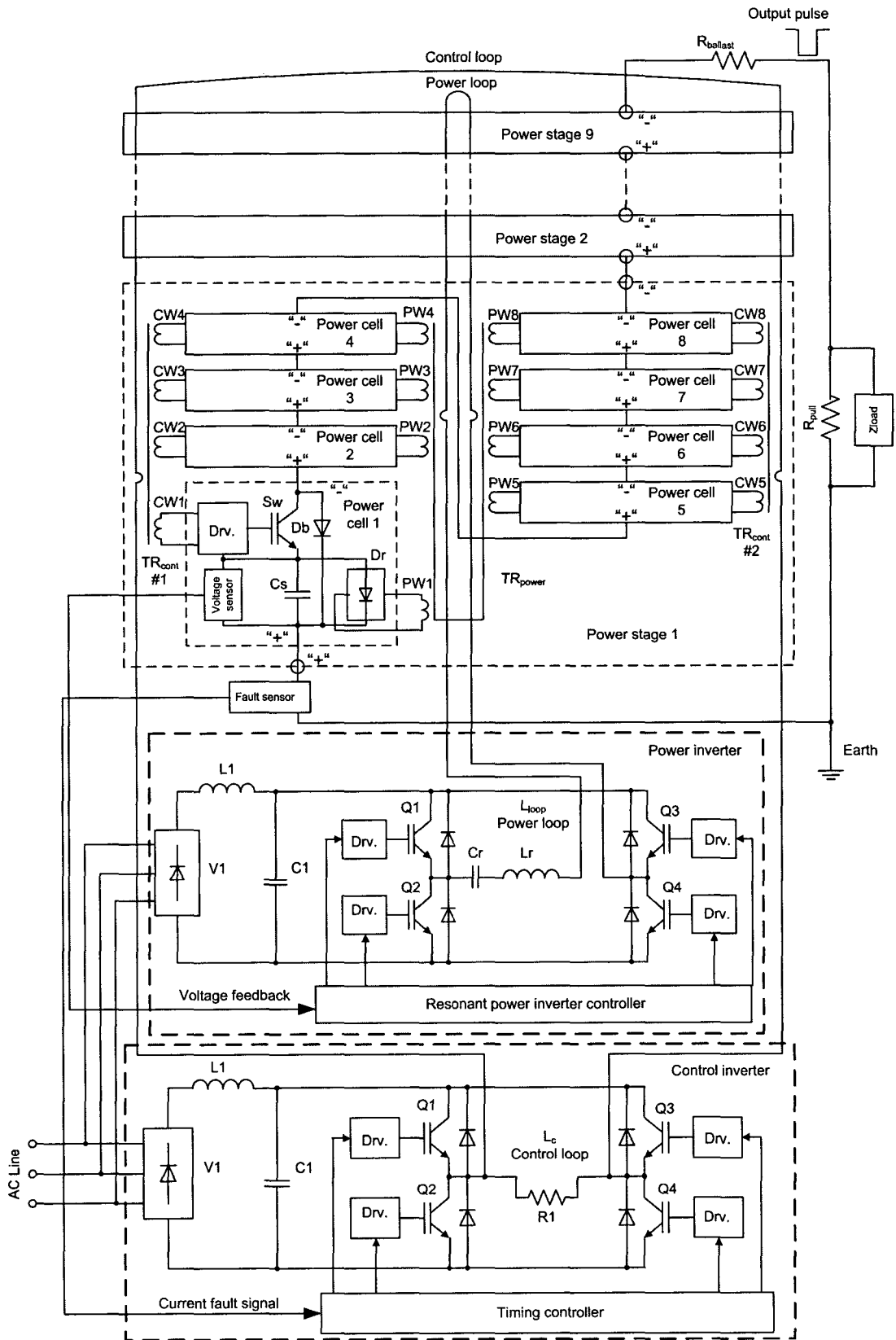


그림 4 제안하는 IGBT스택에 의한 펄스전원장치의 구조
 Fig. 4 Proposed Pulsed Power Supply using IGBT Stacks

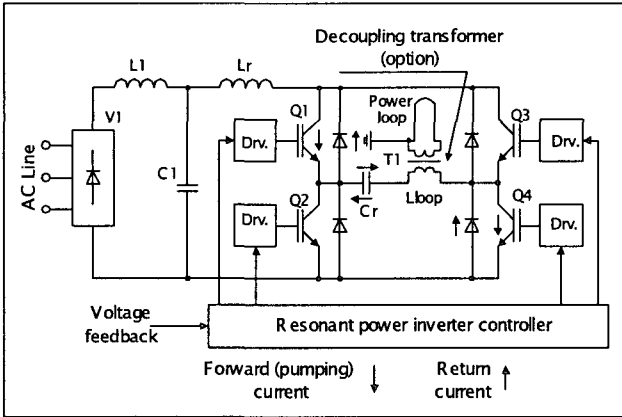


그림 5 직렬공진형 전류형 인버터 충전기
 Fig. 5 Series Resonant Current Source Inverter for High Voltage Charging

칭 손실 등으로 인한 제약이 있게 되며, 본 논문에서는 실제적인 제약조건들을 고려하여 공진주파수를 100kHz로 설계하였으며 스위칭주파수가 공진주파수의 절반이하에서 동작하는 비선형도전모드(discontinuous conduction mode)에서 동작하도록 제어하였다.

따라서 직렬공진형 인버터의 스위칭 주파수는 최대 50kHz로 동작하게 되며 그림 6에 보이는 것과 같이 부하조건에 따라서 충전을 위한 공진전류가 형성되게 되며, 직렬공진형 인버터는 널리 알려진 토폴로지이므로 각 동작 모드에 대한 상세한 설명은 생략하기로 한다.

100kHz 공진에 필요한 커패시턴스는 다음식으로 계산가능하다.

$$f_r = \frac{1}{2\pi \sqrt{(L_{loop} + L_{trlk}) C_r}} \quad (7)$$

여기서, L_{trlk} : Decoupling 변압기의 누설인덕턴스

식 (7)로부터 100kHz의 공진주파수를 갖도록 공진커패시턴스값을 계산하면 0.487μF이 되며 본 연구에서는 0.47μF를 사용하였다.

충전을 위한 직렬공진형 인버터의 상세 사양을 표 1에 정리하였다.

표 1 고압충전용 직렬공진형 인버터 상세 사양

Table 1 Specification of Series Resonant Charging Inverter

| 인버터 사양 | 사양 | 비고 |
|------------------------|---|-------------------------------------|
| 정격 | 입력: 3상 380V, 출력: 10kW | 직렬공진형 전류형 인버터 |
| 사이즈 | 0.5m(W)×0.5m(D)×0.2m(H) | 충전기 및 펄스인가부 제어기포함 |
| IGBT | 1200V, 200A, Ultra Fast IGBT | Eupec BSM200GB1200DLC |
| Resonant Inductance | 5.2μH | Lloop: 2.6μH, Ltrlk: 2.6μH |
| Power Loop | Lloop: 2.6μH, R: 5.3mΩ 길이: 2m | Dielectrics 2158 고압케이블 (250kV 고압펄스) |
| Decoupling Transformer | Core: PC40EC120-Z(TDK) Turn Ratio: 11:6 Lm: 750μH, Ltrlk: 2.6μH | Litz Wire |
| Resonant Capacitor | 0.47μF | |

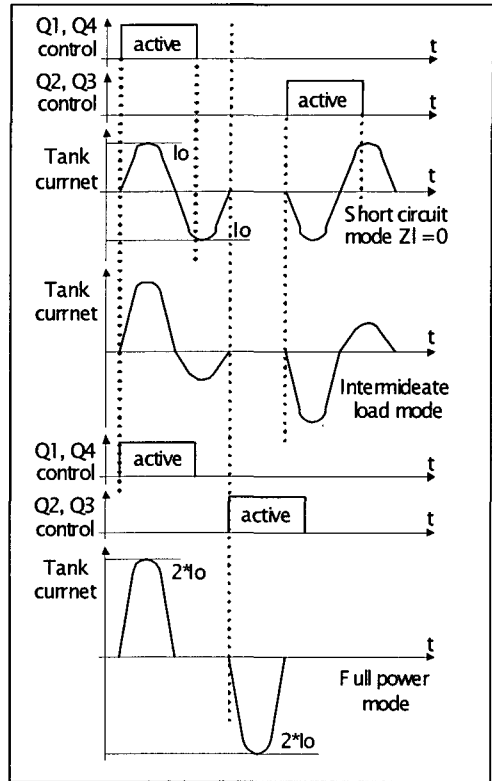


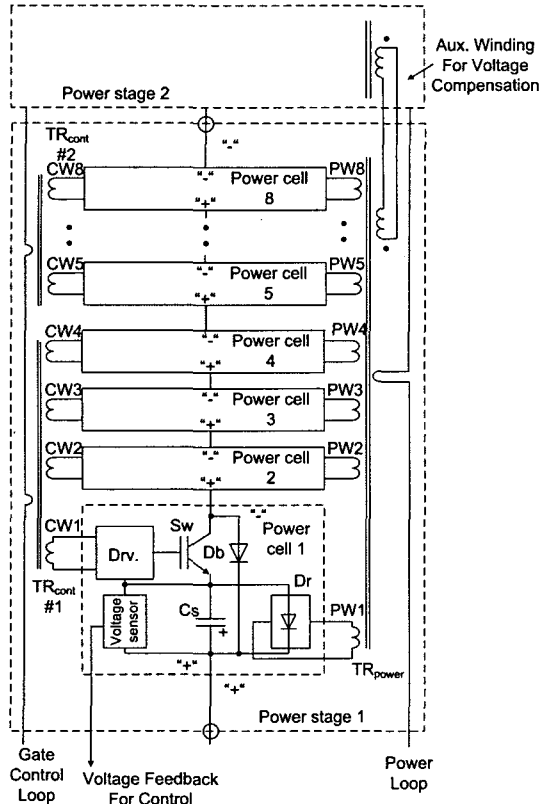
그림 6 부하조건에 따른 직렬공진형 인버터의 충전전류
 Fig. 6 Charging Current for Different Load Condition

3.3 파워셀 및 파워 스테이지 설계

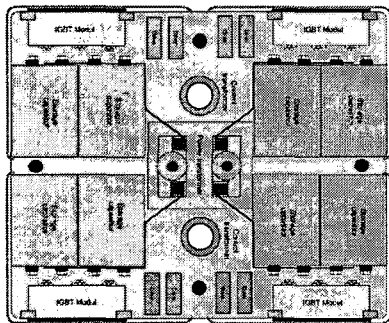
가. 파워셀 및 파워스테이지의 구조

그림 7은 그림 4로부터 고압펄스를 발생시키기 위한 파워셀과 파워스테이지의 세부구조를 보여준다.

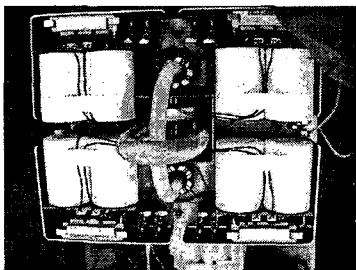
그림 7에 보이는 바와 같이 하나의 파워셀은 충전전류를 정류해 주는 브리지 다이오드(Dr), 펄스인가에 필요한 에너지를 저장하는 스토리지 커패시터 (Cs), 그리고 주스위치인 IGBT(Sw)와 이를 위한 게이트 드라이버 회로 (Drv.) 및 바이패스 다이오드(Db)로 구성되는 간단한 구조이다. 각 파워셀은 그림에서와 같이 8개를 단위수량으로 하나의 파워스테이지를 구성하며, 파워루프로부터 공급되는 충전전류는 각 파워스테이지당 하나씩 있는 페라이트 코어를 통해 8개의



(a) 파워스테이지 구성회로
(a) Power Stage Schematic



(b) 파워스테이지 구조
(b) Power Stage Configuration



(c) 파워스테이지 사진
(c) Power Stage Picture

그림 7 파워스테이지
Fig. 7 Power Stage

이차측 권선으로부터 각 파워셀을 충전하는 구조이다.(그림 7 (b), (c) 참조)

각 스토리지 커패시터는 최대 850V까지 전압을 충전하며, 한 파워스테이지는 따라서 펄스 인가시 각 스토리지 커패시터를 직렬로 연결하여 최대 6.6kV를 발생시킬 수 있다. 따라서 60kV의 출력펄스전압을 발생시키기 위해서는 모두 9단의 파워스테이지를 직렬로 구동하는 것이 필요하게 된다.

스토리지 커패시터는 설계 기본사양인 60kV, 150A, 20μsec 펄스 인가시의 전압드롭이 5% 이하로 되도록 하기 위하여 식 2로부터 0.85 μF의 필름 커패시터를 사용하였으며 이 경우 전압 드롭은 약 4%정도이다.

이 구조의 최대 장점은 각 IGBT가 하나의 커패시터 전압을 분담하게 되므로 IGBT의 동기문제로부터 자유롭다는 점이다. 턴온 또는 턴오프시의 동기의 불일치로 턴오프상태로 남아 있는 IGBT의 경우 바이패스 다이오드(Db)를 통하여 IGBT 스위치와 커패시터가 바이패스되며, 이때 오프상태의 IGBT는 파워셀의 스토리지 전압인 최대 850V만을 차단할 뿐 전압강격을 넘는 고압으로 인해 소손될 우려가 없다.

이를 위하여 게이트 회로 역시 그림 7 (b)와 (c)에 보이는 것과 같이 하나의 파워스테이지에 두 개씩 구성되는 토로이달 코어(toroidal core)를 단일턴으로 관통하는 고압케이블에 게이트 신호를 생성하여 펄스트랜스 방식으로 각 코어당 4개의 2차권선을 감아 4개의 IGBT 게이트신호를 전달하는 방식을 사용하였다. 게이트 구동회로의 상세한 동작원리는 여기서는 생략하기로 한다.

나. 파워스테이지의 배치 설계

각 파워스테이지는 직렬로 스택킹하여 높은 고압 펄스전압을 생성하게 되므로 절연 및 전계분포 등에 많은 고려사항이 요구된다.

먼저 각 파워스테이지의 스위치는 두 개의 IGBT가 하나의 모듈로 구성되는 2 pack 형태를 사용하였으며, 이의 방열을 위하여 방열판이 바깥쪽으로 향하는 구조로 제작되었으며 이로 인해 차폐의 효과도 얻을 수 있다.

각 IGBT스위치는 시계방향으로 회전하면서 각 방열판 사이의 전압이 점차적으로 증가하게 되며 각 방열판 사이의 절연전압은 1700V가 되고 각 스테이지간의 절연전압은 6800V가 되도록 최적 배치하므로써 전체 사이즈 및 중량을 줄일 수 있는 구조로 설계제작되었다.

또한 게이트 신호의 오동작(Mal-triggering)을 방지하기 위해서 충전을 위한 파워 루프와 게이트 신호를 인가하기 위한 게이트 콘트롤 루프는 서로 직각이 되도록 배치하였으며, 게이팅을 위한 신호와 전압 충전을 위한 파워루프는 모두 고압 절연 케이블을 사용하여 요구되는 절연을 달성하므로써 고압절연에 필요한 회로 구성 또한 단순화 될 수 있었다.

다. 파워스테이지의 전압불평형 보상

본 펄스전원장치의 충전 전압 제어를 위해 그림 7 (a)에 도시된 바와 같이 첫 번째 파워스테이지의 한 개 파워셀의 낮은 전압만을 제한하여 제어 하는 방식을 사용하였다. 이러한 방식으로 인해 고압 센싱이 불필요하며 간단하게 전압제어가 가능한 장점을 지니지만 전류원방식의 충전 인버터를 사용함에 따라 파워루프의 일차측 전류가 일정하더라도 충

전 커패시터와 스위치 변압기의 누설인덕턴스 등의 차이에 의해 각 파워셀의 충전전압은 달라질 수 있으며 각 커패시터 전압의 균등 충전을 위한 추가적인 보상 또는 제어가 필요하게 된다. 실제적으로 모두 72개의 파워셀로 구성되는 각 커패시터의 전압을 균등충전하기 위한 로직을 설계하는 것은 불가능하다.

본 논문에서는 이러한 문제를 최대한 간단한 형태로 보상하기 위하여 변압기 보조권선에 의한 각 코어의 자속보상방식을 사용하였다. 그림 7 (a)와 같이 인접한 각 파워스테이지의 전압충전용 페라이트 코어에 보상권선(Auxiliary Winding)을 서로 감극성의 형태가 되도록 감아 전체 파워스테이지에 적용하였으며, 이로 인하여 전압 불균등 충전을 발생시키는 가장 큰 원인인 각 변압기의 누설 인덕턴스의 차이를 효과적으로 보상할 수 있었다. 즉, 각 파워스테이지의 변압기의 발생 자속에 차이가 있을 경우 그 자속 차이에 의하여 자동적으로 보상권선에 보상전류가 흐르게 되고 이 보상전류는 자속이 상대적으로 적게 형성되어 있는 변압기의 자속을 증가시키는 방향으로 작용하게 된다. 이러한 보상권선은 첫 번째 파워스테이지로부터 최종단 파워스테이지까지 그림 8과 같은 캐스케이드(cascade) 형태로 구성되며, 별도의 제어 회로 등이 없이 보상권선 삽입이전에 각 파워스테이지의 최대 30%까지 발생하던 전압 불평형을 보상권선 삽입 후에 최대 5% 이내로 보상할 수 있었다.

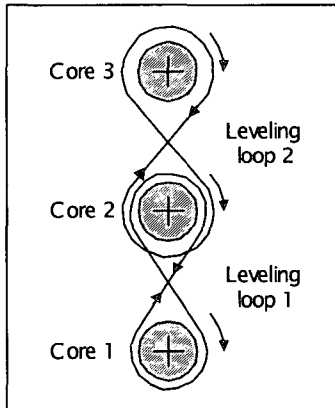


그림 8 보상권선에 의한 각 파워스테이지의 충전전압보상
Fig. 8 Voltage Unbalance Compensation using Auxiliary Windings

파워셀의 상세 구성사양을 표 2에 정리하였다.

표 2 파워셀 상세 사양
Table 2 Specification of Power Cell

| 구성품 | 사양 | 비고 |
|-----------------------|--|---------------------------------|
| 정격출력 | 6.8kV, 200A pulse | |
| 사이즈 | 0.4m(W)×0.4m(D)×0.15m(H) | 파워스테이지 한단(8개 파워셀기준) |
| Storage Capacitor(Cs) | 1000Vdc, 85µF, Film 커패시터 | Electronic Concept사, UL30BL0085 |
| Sw(IGBT) | 1200V, 200A, Ultra Fast IGBT | Eupec BSM200GB1200DLC |
| Bypass Diode(Db) | 1800V, 63A | IXYS, DSDI60-18A |
| Power Transformer | Core: PC40EC120-Z(TDK) Turn Ratio: 1:30 | Litz Wire |

라. 고압 케이블

본 연구에서 고압충전을 위하여 파워루프와 제어루프에 Dielectrics 사의 250kV 펄스에 절연을 유지할 수 있는 고압절연케이블을 사용하였으며, 파워루프에 사용된 케이블의 단면구조는 그림 9와 같다. 사용된 케이블의 내부 도전체의 지름(D_{cond})은 약 10.3mm이며, 외경은 약 38.6mm 이다. 인버터로부터 100kHz의 공진전류가 인가될 때의 주위온도 20도의 조건에서 skin depth를 계산하면, 다음식과 같이 계산된다.

$$\begin{aligned}
 \text{skin depth} &= \sqrt{\frac{\rho}{\pi \times \mu_0 \times \mu_{\text{copper}} \times f}} \\
 &= \sqrt{\frac{\rho_0(1+0.004(T-T_0))}{\pi \times \mu_0 \times \mu_{\text{copper}} \times f}} \\
 &= 0.21 [\text{mm}] \tag{8}
 \end{aligned}$$

여기서, $\rho_0 = 1.724 \times 10^{-2} [\Omega \text{mm}^2/\text{m}]$

$\mu_0 = 4\pi \times 10^{-7} [\text{H}/\text{m}]$

$\mu_{\text{copper}} = 1 [\text{H}/\text{m}]$

$T = 20^\circ \text{C}$ 로 가정

이로부터, 실제 전류가 흐르는 도전체의 단면적을 계산하면 약 6.46 mm²가 되며, 케이블의 데이터 북으로부터 계산된 길이 2 m의 도체의 내부저항은 약 5.3 mΩ 이다. 충전시 케이블에 흐르는 전류는 출력전압과 부하조건에 따라 달라지나 인버터의 최대출력 10kW를 연속적으로 출력 하는 경우 약 80A 정도이며 이 경우 파워 루프 케이블에서 소비되는 전력은 약 34W 정도이다. 이때 발생하는 열은 케이블의 내부 도체와 외부 절연부위를 통하여 방열되기에 충분한 수준이다.

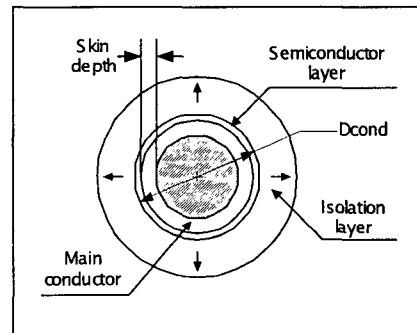


그림 9 Power Loop에 사용된 고압케이블의 단면
Fig. 9 Cross Section of High Voltage Cable for Power Loop

그림 10에 9단의 파워스테이지에 의하여 구성된 60kV 펄스전원장치와 이의 충전을 위한 충전기 및 제어를 보였다.

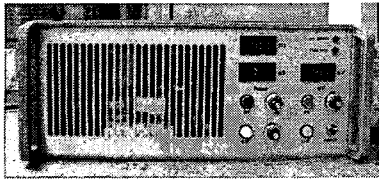


그림 10 제작된 펄스전원장치 사진(위: 고압충전기 및 제어기, 아래: 펄스발생장치)

Fig. 10 Prepared Power Supply(Top: High Voltage Charger and Controller, Bottom: Output Pulser)

4. 시뮬레이션

본 논문에서 제안한 펄스전원장치의 설계사항을 검증하고 간단한 등가모델에 의한 충전시뮬레이션을 수행하였으며, 각 시뮬레이션 결과를 간단히 소개한다.

그림 11은 직렬공진형 전류형 인버터에 의한 고압 충전시뮬레이션 모델이다. 시뮬레이션을 간략화하기 위하여 전류원 방식이므로 72개의 파워셀의 병렬충전을 변압기의 코어 단면적을 증가시키는 방법으로 하나의 등가 모델로 간략화 하였으며, Pspice에 의한 시뮬레이션을 수행하였다. 그림 12는 60kV 충전시의 충전을 위한 공진전류파형 및 출력전압 파형이다.

5. 실험결과

설계 제작된 펄스전원장치는 저항부하를 이용하여 기본적인 성능을 검증한 후 PSII에 적용되어 실험을 통하여 그 성능을 입증하였다.

먼저, 그림 13은 직렬공진형 인버터의 공진전류 파형이다. 시뮬레이션결과와 마찬가지로 비선형모드에서 동작하는 직렬공진형 인버터의 전형적인 전류파형을 보여준다. 그림 14는 저항부하에 의한 60KV 인가 실험파형이며 그림에 보이는 것과 같이 고압펄스의 발생을 위해 변압기 등과 같은 회로를 사용하지 않아 구형파 형태의 펄스전압이 출력되며, 변압기 등의 누설인덕턴스 성분에 비해 케이블의 직렬인덕턴스만을 가지므로 펄스전류의 상승시간은 설계 상승시간 500msec 이하로 매우 빠른 특성을 지님을 알 수 있다. 이는 PSII(Plasma Source Ion Implantation) 등과 같은 응용분야에서 성능을 결정하는 아주 중요한 요인이다.

그림 15는 실제 플라즈마를 발생시킨 조건에서 PSII 코팅을 수행하면서 측정된 실험결과로 이때의 부하조건은 그림 2 (a)에서 언급한 것과 같이 비선형특성을 갖는 R-C로 구성된 형태로 순수 저항 부하를 사용하는 경우와는 다른 조건

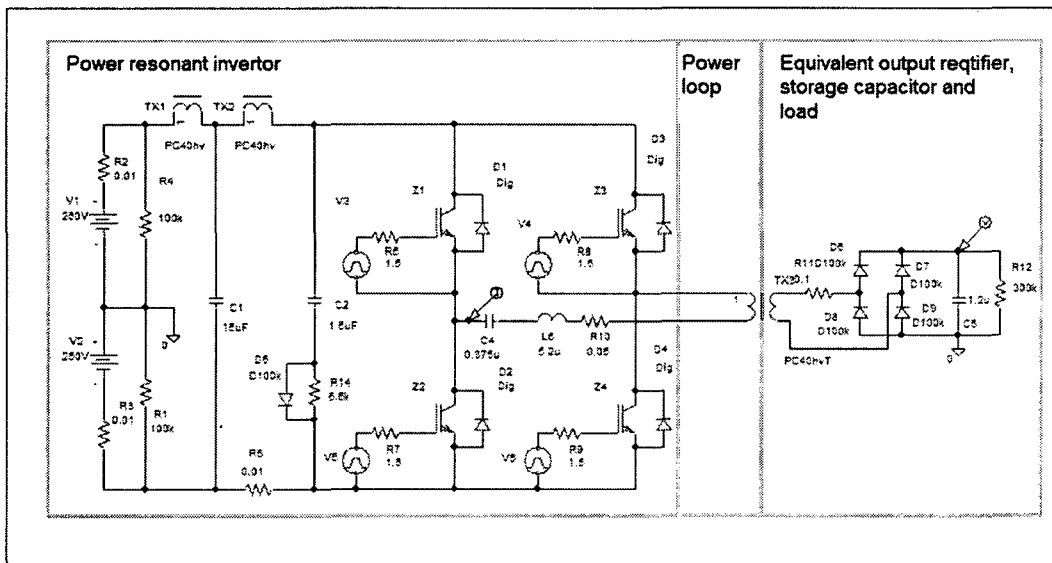


그림 11 시뮬레이션을 위한 간략화 된 충전부 등가모델

Fig. 11 Equivalent Model of Charger for Simulation



그림 12 충전시뮬레이션 결과(충전전류, 충전전압)
 Fig. 12 Simulation Results for Charging(Charging Current, Charging Voltage)

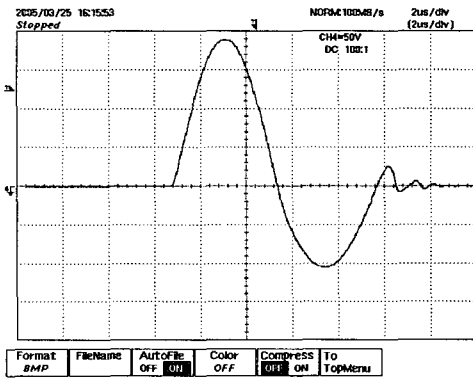


그림 13 직렬공진형 인버터에 의한 충전전류파형(50A/div., 2μs/div.)
 Fig. 13 Charging Current Waveform of Series Resonant Inverter(50A/div., 2μs/div.)

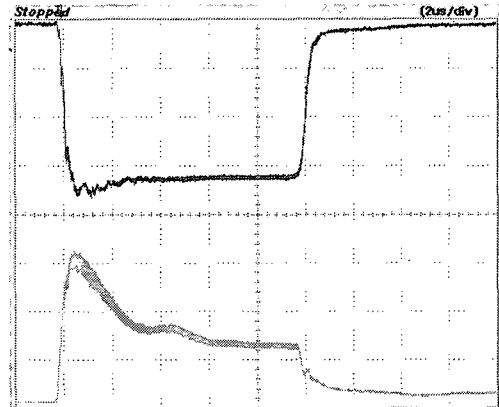


그림 15 플라즈마 발생조건에서 실험파형(상: 인가전압 10KV/div., 하: 출력전류 100A/div., 2μs/div.)
 Fig. 15 Experimental Results for Plasma Condition(Top: Voltage 10KV/div., Bottom: Current 50A/div., 2μs/div.)

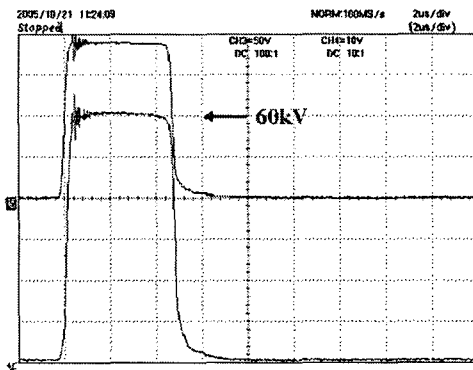


그림 14 저항부하를 사용한 60KV 발생 실험(상: 출력전류 50A/div., 하:인가전압 10KV/div., 2μs/div.)
 Fig. 14 Experimental Results for 60kV Generation using Dummy Load(Top: Current 50A/div., Bottom: Voltage 10KV/div., 2μs/div.)

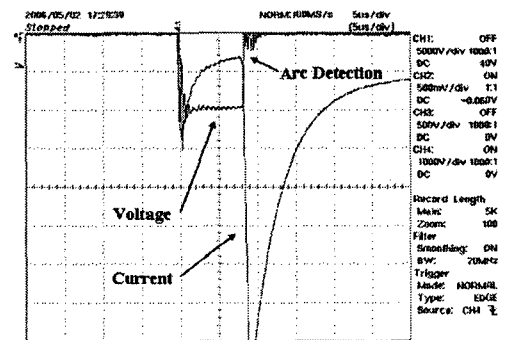


그림 16 아크 발생시 전압, 전류파형(10KV/div., 100A/div., 5μs/div.)
 Fig. 16 Arc Protection Waveform(10KV/div., 100A/div., 5μs/div.)

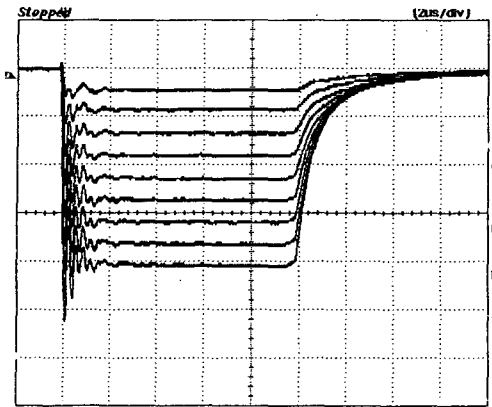


그림 17 각 파워스테이지의 전압분배 파형(10KV/div., 2µs/div.)
 Fig. 17 Voltage Distribution of Each Power Stages(10KV/div., 2µs/div.)

이다. 또한 이온주입을 위하여 부의 극성을 갖는 펄스전압이 공급되어야 한다.

그림 16은 플라즈마 부하 조건에서 빈번히 발생하는 아크 발생시의 보호동작시 출력전압, 출력전류 파형을 나타낸 것으로 펄스전압 인가 후 약 8µsec 시점에서 아크가 발생하여, 전류가 급격히 상승하는 것을 알 수 있다. 전류의 상승과 동시에 인가전압은 자동 보호되어 각 소자를 턴오프하므로써 효과적인 아크보호가 되고 있음을 보여준다.

기존 직렬연결 구조의 반도체 스위치 구동방식에서의 동기화 문제로 인하여 단락보호회로 구성의 어려움에 비하여 아크 발생시의 우수한 보호동작특성을 지님을 보여준다.

그림 17은 각 파워스테이지의 전압 분배 파형으로 플라즈마 챔버에 40kV인가시 1단부터 최종 9단까지의 전압 파형을 비교하였다. 제안된 단순한 보상권선에 의한 자속보상방식에 의하여 각 스테이지의 전압이 효과적으로 균등하게 충전되고 있음을 보여준다.

본 논문에서 설계 제작된 전원장치는 다양한 실험을 통해 비선형 특성을 갖는 플라즈마 부하에 효과적으로 사용될 수 있음을 검증하였으며, 현재 PSII용 전원장치로 운용되고 있다.

6. 결 론

본 논문에서는 IGBT 반도체스위치에 의한 펄스전원장치의 설계 및 제작에 대하여 다루었다. 제안된 방식은 총 9개의 파워스테이지로 구성되며, 각 파워스테이지는 8개의 파워셀로 구성되어 총 72개의 IGBT가 직렬 구동되었다. 또한 제안한 토폴로지는 스테이지의 추가에 따라 전압을 더욱 높일 수 있는 구조이다.

제안한 펄스전원장치는 기존의 반도체 방식의 고압펄스전원장치가 가지는 장점 외에 고압 발생을 위하여 일체의 PFN나 승압 변압기를 사용하지 않음으로 인하여 펄스반복율과 펄스폭 조절에 제한이 없으며, 케이블의 인덕턴스성분 외의 부가적인 인덕터가 없으므로 빠른 펄스 상승이 가능한 장점을 지닌다.

각 파워스테이지의 전압균등 충전을 위하여 간단한 보상 권선만으로 전압보상이 이루어지는 방식을 사용하였으며, 이로 인해 고압충전에 고효율 직렬공진형 전류형 인버터를 효과적으로 적용할 수 있었으며, 충전기의 전체 사이즈 및 중량을 대폭 줄일 수 있었다.

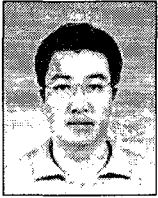
또한 간단하면서도 신뢰성 높고 우수한 아크 보호 능력을 펄스전원장치를 구성하였으며, 고압케이블을 사용하여 고압 전원장치에 요구되는 절연 문제를 해결하였다. 특히 제안된 방식은 아크 발생시에 완벽한 소자 보호가 가능하며 PSII 등과 같이 빈번한 아크 발생이 우려되는 플라즈마 응용분야에 효과적인 대안임을 증명하였다.

제안한 펄스전원장치는 다양한 실험을 통하여 그 동작성능을 검증하였으며, 다양한 요구분야의 펄스 전원장치로 사용될 수 있을 것으로 예상된다.

참 고 문 헌

- [1] D. Deb, J. Siambis, R. Symons, and G. Genovese, "Beam Switch Tube Modulator Technology For Plasma Ion Implantation Broad Industrial Application", 9th IEEE International Pulse Power Conf., 1993, pp. 333-336.
- [2] D. M. Goebel, R. J. Adler, D. F. Beals, and W. A. Reass, "Handbook of Plasma Immersion Ion Implantation and Deposition", Andre Anders, New York: 2000, pp. 472-477.
- [3] Marcel P.J et al., "Solid State Pulsed Power Systems", 3rd International Power Modulator Symposium, 1998.
- [4] M. Gaudreau et al., "Solid State power System for Pulsed Electric Field Processing", Pulsed Power Conference 2005
- [5] I Both et al., "Solid State Modulators For the International Linear Collider", Pulsed Power Conference 2006
- [6] J.H Kim et al., "Semiconductor switch based pulse power generator for Plasma source ion implantation", IEEE International Power Modulator Conference 2004, pp.379 - pp.382
- [7] J.W. Baek et al., "Solid state marx generator using series connected IGBTs", IEEE International Power Modulator Conference 2004, pp.383 - pp.386
- [8] Marcel P.J.et al., "Solid State Modulators for PIII Applications", 4th International PIII Workshop, 1998
- [9] G.H.Rim et al., "A Constant Current High Voltage Capacitor Charging Power Supply for Pulsed Power Application", IEEE International Power Modulator Conference 2004, pp.1284-1296

저 자 소 개



류 홍 제 (柳 泓 齊)

1969년 3월 4일생. 1991년 성균관대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 졸업(박사). 2004-2005 University of Wisconsin Madison 방문연구원. 1996년~현재 한국전기연구원 산업전기연구단 전기추진기술팀장(선임연구원).



G. I Goussev

1946년 10월 1일생. 1975년 Military-Mechanical University 졸업(석사). 1976년~1987년 NIEFA 연구팀장. 1998년~현재 한국전기연구원 산업전기연구단 초빙연구원.



김 중 수 (金 鍾 洙)

1959년 12월 26일생. 1982년 서울대 전기공학과 졸업. 1991년 경남대 대학원 전기공학과 졸업(석사). 1999년 동 대학원 전기공학과 졸업(박사). 2003-2004 Texas Tech. University 방문연구원. 1982년~현재 한국전기연구원 산업전기연구단 전력전자그룹장(책임연구원).



D. Sytykh

1960년 5월 19일생. 1989년 St. Petersburg State Technical University 졸업(석사). 1989년~1998년 NIEFA 연구팀장. 1998년~현재 한국전기연구원 산업전기연구단 초빙연구원.



임 근 희 (林 根 熙)

1955년 10월 7일생. 1978년 서울대 전기공학과 졸업. 1988년 Virginia Polytechnic Institute and State University 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(박사) 1978년~현재 한국전기연구원 선임연구부장(책임연구원). 당 학회 산학협동이사.