

Dataline Redundancy Circuit Using Simple Shift Logic Circuit for Dual-Port 1T-SRAM Embedded in Display ICs

디스플레이 IC 내장형 Dual-Port 1T-SRAM를 위한 간단한
시프트 로직 회로를 이용한 데이터라인 리턴던시 회로

O-Sam Kwon*, Kyeong-Sik Min**
권 오 삼*, 민 경 식**
mks@kookmin.ac.kr

Abstract

In this paper, a simple but effective Dataline Redundancy Circuit (DRC) is proposed for a dual-port 1T-SRAM embedded in Display ICs. The DRC designed in the dual-port 320×120×18-bit 1T-SRAM is verified in a 0.18-um CMOS 1T-SRAM process. In the DRC, because its control logic circuit can be implemented by a simple Shift Logic Circuit (SLC) with only an inverter and a NAND that is much simpler than the conventional, it can be placed in a pitch as narrow as a bit line pair. Moreover, an improved version of the SLC is also proposed to reduce its worst-case delay from 12.3ns to 5.9ns by 52%. By doing so, the timing overhead of the DRC can be hidden under the row cycle time because switching of the datalines can be done between the times of the word line setup and the sense amplifier setup. The area overhead of the DRC is estimated about 7.6% in this paper.

요 약

본 논문에서는 Dual-Port 구조를 사용하는 Display IC용 내장형 1T-SRAM에 적합한 간단하고 효과적인 새로운 데이터라인 리턴던시 회로(dataline redundancy circuit)를 제안하고 이를 0.18-um CMOS 1T-SRAM 공정을 이용하여 320×120×18-Bit Dual-port 1T-SRAM로 구현하여 검증하였다. 한 개의 인버터와 한 개의 낸드 게이트로 이루어진 시프트 로직 회로(shift logic circuit)를 이용해서 기존의 데이터라인 리턴던시 회로 보다는 훨씬 간단하게 컨트롤 로직을 구현함으로써 한 개의 비트라인 페어(bit line pair)의 피치(pitch) 내에서 필요한 컨트롤 로직을 모두 구현할 수 있었다. 또한 시프트 로직 회로를 개선해서 worst case에서의 delay를 12.3ns에서 5.9ns로 52% 감소시켜서 워드라인 셋업 후에서 센스앰프 셋업까지의 시간 동안에 데이터라인 스위칭 작업을 완료할 수 있게 하여서 데이터라인 리턴던시 회로의 타이밍 오버헤드(timing overhead)를 row cycle 시간에 의해 감추어지게 할 수 있었다. 본 논문에서 제시된 데이터라인 리턴던시 회로의 면적 오버헤드(area overhead)는 약 7.6%로 예측된다.

Key words :redundancy circuit, 1T-SRAM, pseudo-SRAM, dual-port, embedded SRAM

1. 서론

*학생회원, **정회원,

(School of Electrical Engineering, Kookmin University)

※ 본 논문은 2007년 국민대학교의 연구비를 지원 받아 연구되었으며 반도체설계교육센터(IDEC) 으로부터 CAD Tool을 지원 받았음.

接受日:2007年 6月 5日, 修正完了日: 2007年 12月 20日

현재의 미세소자를 이용한 고집적 SoC에서는 내장형 메모리(embedded memory)의 경우에도 고집적

과 고용량을 요구하고 있다[1]. 일반적으로 SoC에서 사용되는 내장형 메모리의 경우에 6개의 트랜지스터(transistor)로 이루어진 메모리 셀(memory cell)을 갖는 6T-SRAM 회로가 많이 사용되어 왔으나 이러한 6T-SRAM은 메모리 어레이(memory array)의 면적이 크다는 단점이 있다.

SoC의 고성능화로 인해서 SoC에서 요구하는 내장형 메모리의 용량이 증가하면 6T-SRAM이 차지하는 면적이 SoC의 전체 칩 면적의 대부분을 차지하게 되므로 기존의 6T-SRAM을 보다 간단한 구조로 바꾸어서 메모리의 면적을 줄이려는 노력이 활발하게 진행되어 왔는데, 그 중에 1개의 트랜지스터와 1개의 커패시터로 이루어진 메모리 셀을 갖는 1T-SRAM로 기존의 6T-SRAM을 교체하려고 하는 시도가 많은 주목을 받아 왔다[2].

Display IC의 경우에도 화면 프레임을 저장하기 위한 버퍼 메모리(buffer memory)로 그동안 6T-SRAM을 사용하여 왔으나 Display IC의 소형화를 위해서 6T-SRAM을 1T-SRAM으로 대체하기 위한 연구를 많이 하고 있다. 그러나 1T-SRAM의 경우에는 기본적으로 DRAM의 메모리 셀의 구조를 채용하기 때문에 리프레시(refresh) 특성 불량 등 메모리 셀 자체의 불량 가능성이 기존의 6T-SRAM 보다 훨씬 높고 따라서 이러한 문제를 해결하기 위해서 불량 메모리 셀을 정상 메모리 셀로 대체하는 메모리의 리던던시(redundancy) 회로가 반드시 필요하게 된다[3].

일반적인 리던던시 회로의 동작은 불량 메모리 셀에 해당하는 어드레스를 미리 퓨즈(fuse) 등에 저장했다가 외부에서 불량 메모리 셀의 어드레스와 동일한 어드레스가 들어오면 이를 감지해서 불량 메모리 셀이 아닌 미리 여분으로 만들어놓은 정상 메모리 셀로 외부의 데이터의 입출력이 연결되도록 하는 것이다[4]. 그러나 내장형 메모리의 경우에 일반적으로 한 개의 칼럼 어드레스(column address)에 해당되는 데이터라인(dataline)의 수가 많으므로 칼럼 어드레스 비교에 의한 리던던시 회로의 경우에는 불량 메모리 셀의 보상으로 인한 메모리 셀의 면적 오버헤드(area overhead)가 굉장히 커지게 된다.

예를 들어 본 논문에서 설계하는 메모리의 경우에 LCD panel read 동작 시에는 모든 데이터라인이 동시에 함께 선택이 되어서 출력 래치로 연결이 되게 된다. 이때 어드레스 비교 방법에 의해서 불량 메모리 셀을 대체하기 위해서는 전체 메모리 어레이에 해당하는 여분의 어레이가 또 하나 필요하기 때문에 면적의 오버헤드가 거의 100%에 달한다는 것을 알 수 있다. 이러한 문제 때문에 내장형 메모리의 경우에

어드레스 비교에 의한 리던던시 회로가 아니고 데이터라인 교체(switching) 방식의 리던던시 회로가 사용되어 진다[5].

그림 1(a)과 (b)는 데이터라인 교체 방식의 리던던시 회로의 동작을 나타내고 있는 데[5], 여기에서 DL₀에서 DL₇까지는 메모리 어레이의 데이터라인을 나타내고 RDL은 여분의 리던던트 데이터라인(redundant dataline)을 나타낸다. RDL까지 포함하면 데이터라인은 총 9개가 있다. IO₀에서 IO₇까지는 입출력라인 8개를 나타내고 있다. 또한 S₀에서 S₁₅까지는 데이터라인과 입출력라인을 연결하는 스위치를 나타내는 데, 실선은 ON 상태를, 점선은 OFF 상태를 나타낸다.

먼저 그림 1(a)은 데이터라인과 입출력라인을 연결하는 스위치 S₀에서 S₁₅까지의 초기상태를 보여주고 있다. 메모리칩의 테스트 후에 만약 DL₃이 불량으로 판명되면 그림 1(b)과 같이 DL₃은 외부의 입출력라인에 연결되지 않고 고립되며 그 대신 IO₃은 DL₂와 연결되고 IO₂는 DL₁과 연결되고 IO₁은 DL₀과 연결되고 IO₀은 RDL과 연결되게 된다. 또한 IO₄ 이상의 입출력라인은 이전의 초기상태를 유지하게 된다[5]. 그림 1(b)과 같이 S₀에서 S₁₅까지의 스위치의 상태가 변경됨으로써 불량 DL₃을 효과적으로 입출력라인(IO₀-IO₇)과 연결되지 않도록 할 수 있다.

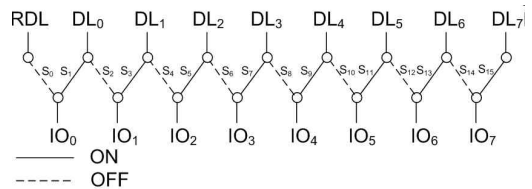


Fig. 1(a). Operation of dataline redundancy circuit at the start-up when the number of IO lines is assumed 8

그림 1(a). 입출력라인을 8개라고 가정했을 때의 데이터라인 리던던시 회로의 초기 동작

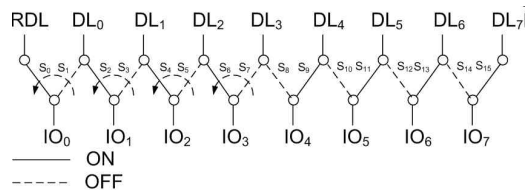


Fig. 1(b). Operation of dataline redundancy circuit when the DL₃ is defective when the number of IO lines is assumed 8

그림 1(b). 입출력라인을 8개라고 가정했을 때의 DL₃이 불량인 경우의 데이터라인 리던던시 회로의 동작

본 논문에서는 위에서 설명한 데이터라인 교체 방

식의 리던던시 회로를 본 논문에서 설계하는 1T-SRAM의 구조에 맞도록 구현했는데, 기존의 데이터라인 교체 리던던시 회로[5]와는 다음의 점에서 수정과 개선이 되었다.

본 논문에서 개발하려고 하는 Dual-port 1T-SRAM은 CPU read/write 동작을 위해서 18개의 입출력라인을 갖고 있고 동시에 LCD read 동작을 위해서 120×18 출력라인을 갖는 구조이고 특히 LCD read 동작 시에는 전체 비트라인을 동시에 함께 읽어 내기 때문에 각각의 비트라인 마다 데이터라인이 연결되어야 하고, 따라서 데이터라인 피치(pitch)가 비트라인 피치와 같게 되어 피치가 매우 좁아진다. 기존의 데이터라인 리던던시 회로[5]는 데이터라인 피치에 1개의 비교기와 컨트롤 로직 등을 포함하는 넓은 피치를 필요로 하기 때문에 본 논문의 1T-SRAM 구조에서는 사용할 수가 없다. 이러한 문제점을 해결하기 위해서 본 논문에서는 기존의 데이터라인 교체 리던던시 회로[5]에 비해서 훨씬 더 간단하게 시프트 로직 회로(shift logic circuit)를 사용하여 데이터라인 리던던시 회로를 구현하였다[6].

본 논문에서 제안한 데이터라인 교체 리던던시 회로는 한 개의 비트라인 피치 안에 레이아웃이 가능하도록 되어 있어 All bit line read 기능을 요구하는 Display IC용 내장형 메모리에 반드시 필요한 요소

회로로 여겨진다.

II. 새로운 데이터라인 리던던시 회로

그림 2는 그림 1에서 설명된 데이터라인 리던던시 기능을 수행하는 기존의 회로[5]의 블록다이어그램을 보여주고 있다. 메모리 셀(memory cell)들로 이루어진 메모리 어레이(memory array)와 DL₀에서 DL₇까지의 데이터라인과 리던던트 데이터라인인 RDL은 SA₀에서 SA₈까지의 센스앰프에 의해 연결되어 있다. 또한 앞서 언급한 RDL을 포함한 9개의 데이터라인과 IO₀에서 IO₇까지의 입출력라인은 S₀에서 S₁₅까지의 스위치에 의해서 서로 연결되어 있다. 스위치는 점선으로 표시되어 있으면 off 된 상태이고 실선으로 표시되어 있으면 on 되어있는 상태를 의미한다. 또한 C₀에서 C₇까지는 비교기를 나타낸다. 2개의 스위치는 한 개의 비교기에 의해 컨트롤되는 데 미리 저장해 놓은 불량 데이터라인에 해당하는 어드레스와 각각의 입출력라인 어드레스가 입력으로 들어가서 비교기에 의해서 비교되게 된다. 만약 입출력라인의 어드레스가 불량 데이터라인의 어드레스와 같거나 적으면 짝수 번호의 스위치를 on 시키고 홀수 번호의 스위치를 off 하게 한다. 입출력라인의 어드레스가 불량 데이터라인의 어드레스보다 크면 그 반대가 된다. 이와 같이 하면 불량 데이터라인은 어떤 입출력라인과도 연결되

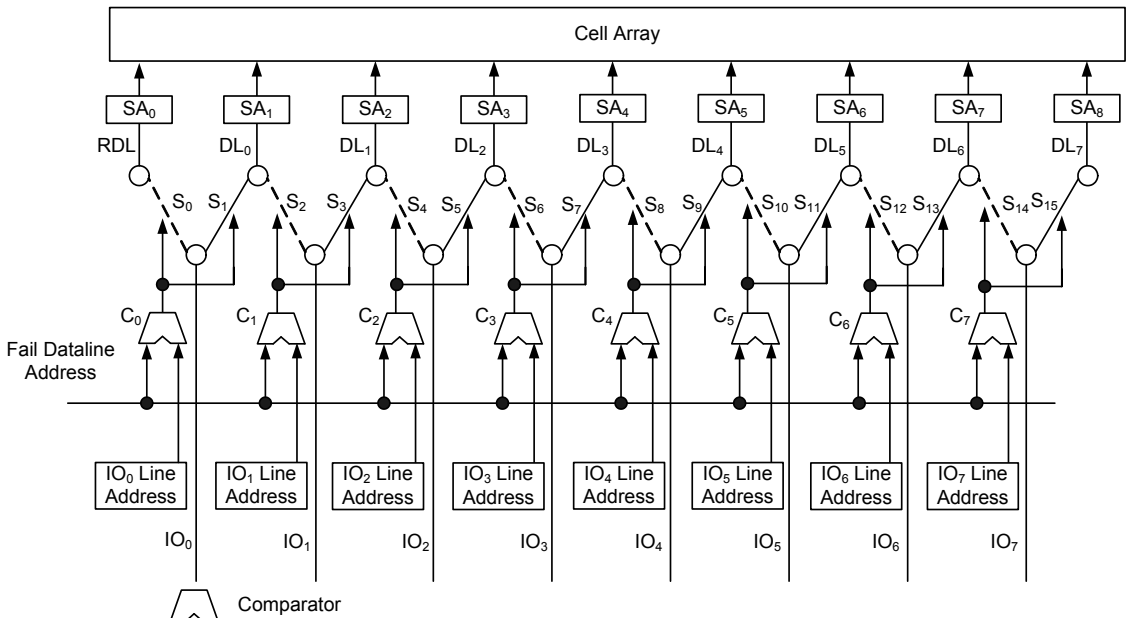


Fig. 2. A block diagram of the conventional dataline redundancy circuit when the number of IO lines is assumed 8

그림 2. 입출력라인이 8개라고 가정했을 때의 기존의 데이터라인 리던던시 회로의 블록다이어그램

지 않기 때문에 불량 데이터라인에 대한 읽기나 쓰기 동작이 발생하지 않게 된다. 그러나 여기에서는 설계하려는 Display IC용 내장형 Dual-port 1T-SRAM은 앞에서 설명한 바와 같이 데이터라인의 피치가 매우 좁아져서 이렇게 좁은 피치에 1개의 비교기와 컨트롤 로직을 포함시키는 레이아웃은 굉장히 어렵게 된다.

그림 3은 본 논문에서 제안하는 데이터라인 스위칭 리던던시 회로의 블록 다이어그램을 보여주고 있다. 본 논문에서 제안하는 리던던시 회로는 데이터라인(DL₀-DL₇, RDL)과 입출력라인(IO₀-IO₇) 사이에 배치하였고 리던던트 데이터라인(RDL)은 메모리 어레이의 왼쪽에 배치하였다고 가정한다. 메모리 어레이에 저장되어 있는 데이터는 센스앰프(SA₀-SA₈)에 의해서 데이터라인으로 연결되어 있고 데이터라인과 입출력라인은 스위치(S₀-S₁₅)에 의해 연결되어 있다. 포스위치 상태에서 실선은 on 상태를 점선은 off 상태를 나타내고 있다. 그림3의 스위치의 on과 off 상태는 메모리 회로의 초기상태를 나타낸다.

만약에 DL₃이 불량 데이터라인이라면 S₀에서 S₁₅의 스위치의 상태는 새롭게 정해진다. DL₃을 모든 입출력라인(IO₀-IO₇)으로부터 분리하기 위해서 리던던트 데이터라인(RDL)은 IO₀과 연결되고 DL₀은 IO₁과 연결되고 DL₁은 IO₂와 연결되고 DL₂는 IO₃과 연결되고 IO₄이상의 입출력라인은 초기의 스위치의 상태를 유

프트 로직 회로(shift logic circuit)에서 만들어지며, 시프트 로직 회로의 입력은 디코더 회로로부터 나오게 된다.

디코더 회로의 입력은 시프트 포인트 어드레스(shift point address) 신호로서 이 시프트 포인트 어드레스 신호는 SP₀에서 SP₃까지의 4개의 신호로 이루어져 있다. 이 시프트 어드레스 신호는 몇 번째 데이터라인이 불량인가를 나타내기 위한 불량 데이터라인을 지정하는 어드레스라고 생각할 수 있는데 본 논문에서는 8개의 데이터라인을 가정했으므로 8개의 데이터라인 중의 임의의 한 개의 데이터라인이 불량일 경우의 수 8과 모든 데이터라인이 정상일 경우의 수 1이 합하여 총 9가지의 경우가 발생할 수 있다. 본 논문에서는 9가지의 경우의 수를 나타내기 위해서 총 4비트의 시프트 포인트 어드레스(SP₀-SP₃)를 사용하였다.

표 1은 시프트 포인트 어드레스에 따른 디코더 출력 신호와 데이터라인 스위치의 컨트롤 신호를 나타내고 있다. 모든 데이터라인이 정상인 초기상태의 경우와 임의의 데이터라인이 불량인 경우 각 데이터라인 스위치(S_n)의 컨트롤 신호와 디코더 회로의 출력 신호(D_n)가 어떻게 변하는지 그 결과를 나타내었다. 표의 맨 왼쪽 열은 몇 번째 데이터라인이 불량인가를 나타내고 있고, 그 옆에는 그 불량데이터 라인

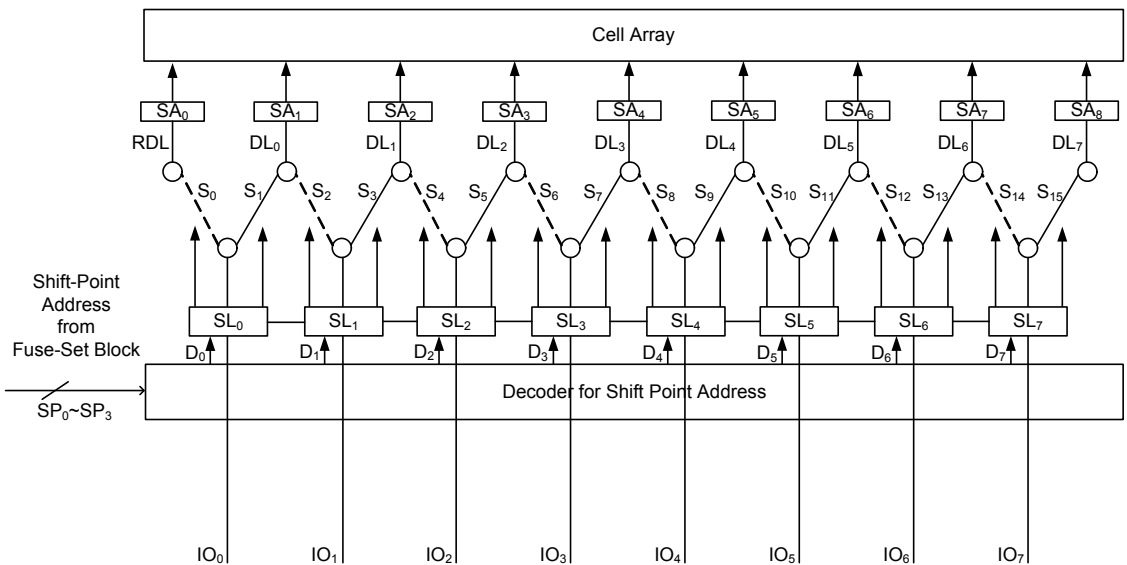


Fig. 3. A block diagram of the proposed dataline redundancy circuit when the number of IO lines is assumed 8
 그림 3. 입출력라인이 8개라고 가정했을 때의 제안하는 데이터라인 리던던시 회로의 블록다이어그램

지하게 된다. 각 스위치 당 2개의 컨트롤 신호는 시

Table 1. Decoder outputs and dataline switch control signals according to shift point address when the number of I/O lines is assumed 8

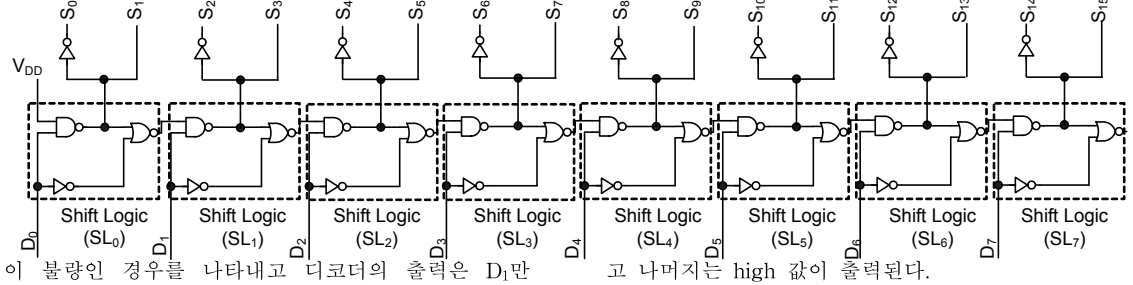
표 1. 입출력라인이 8개라고 가정했을 때의 시프트 포인트 어드레스에 따른 디코더 출력 신호와 데이터라인 스위치 컨트롤 신호

불량데이터 라인 위치	시프트 포인트 어드레스 (shift-point address)				디코더 출력 (decoder output)								데이터라인 스위치 컨트롤 신호 (dataline switch control signal)																	
	SP ₀	SP ₁	SP ₂	SP ₃	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	S ₀	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	S ₇	S ₈	S ₉	S ₁₀	S ₁₁	S ₁₂	S ₁₃	S ₁₄	S ₁₅		
초기상태	L	L	L	L	L	H	H	H	H	H	H	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H
DL ₀	H	L	L	L	H	L	H	H	H	H	H	H	H	L	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H
DL ₁	L	H	L	L	H	H	L	H	H	H	H	H	H	L	H	L	L	H	L	H	L	H	L	H	L	H	L	H	L	H
DL ₂	H	H	L	L	H	H	L	H	H	H	H	H	H	L	H	L	H	L	L	H	L	H	L	H	L	H	L	H	L	H
DL ₃	L	L	H	L	H	H	H	H	L	H	H	H	H	L	H	L	H	L	H	L	L	H	L	H	L	H	L	H	L	H
DL ₄	H	L	H	L	H	H	H	H	H	L	H	H	H	L	H	L	H	L	H	L	H	L	L	H	L	H	L	H	L	H
DL ₅	L	H	H	L	H	H	H	H	H	L	H	H	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L
DL ₆	H	H	H	L	H	H	H	H	H	H	L	H	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L
DL ₇	L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L

어드레스에 해당하는 시프트 포인트 어드레스 (SP₀-SP₃)값을 나타내고 있다. 초기상태

시프트 포인트 어드레스가 '0000' 이면 초기상태로 D₀은 low 값이 출력되고 D₁에서 D₇까지는 high 값이 출력된다. 시프트 포인트 어드레스가 '0001' 이면 DL₀

까지의 값을 나타낼 수 있으며, 마지막으로 시프트 포인트 어드레스가 '1000' 이면 DL₇이 불량인 경우를 나타내고 디코더의 출력은 모두 high 값이 출력된다. 표1에서 보여주는 것과 같이 시프트 포인트 어드레스가 입력되면 시프트 포인트 지점만 low 값이 출력되



이 불량인 경우를 나타내고 디코더의 출력은 D₁만

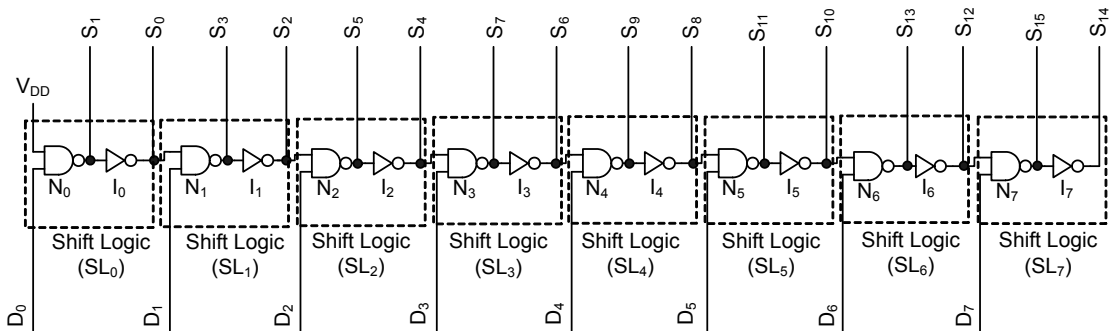
고 나머지는 high 값이 출력된다.

Fig. 4(a). Implemented Example of the Shift Logic Circuit when the number of IO lines is assumed 8

그림 4(a). 입출력라인이 8개라고 가정했을 때의 시프트 로직 회로의 구현 예

Low 값이 출력되고 나머지 출력은 high 값이 출력된다. 시프트 포인트 어드레스가 '0010'이면 DL₁이 불량인 경우를 나타내고 디코더의 출력은 D₂만 low 값이 출력되고 나머지 출력은 high 값이 출력된다. 이와 같이 하여 시프트 포인트 어드레스가 '0000'에서 '1000'

그림 4(a)는 본 논문의 데이터라인 리턴던시 회로를 구현한 시프트 로직 회로의 예를 보여주고 있다. 한 개의 단위 시프트 로직 회로는 낸드(NAND) 게이트와 노어(NOR) 게이트 그리고 인버터(Inverter)로



구성 되어있고 전체의 시프트 로직 회로는 단위 시프트 로직 회로가 그림 4(a)와 같이 연결된 구조이다. 그러나 그림4(a)의 시프트 로직 회로는 데이터라인 피치 안에 배치하기 어렵고 지연시간이 길다는 단점이 있다.

이를 개선한 시프트 로직회로의 구현 예를 그림 4(b)에서 보여 주고 있다. 개선된 한 개의 단위 시프트 로직 회로는 낸드(NAND) 게이트와 인버터(Inverter)로 구성되어있고 전체의 시프트 로직 회로는 단위 시프트 로직 회로가 그림4(b)와 같이 연결된 구조로 되어 있다. 여기에서 시프트 로직회로는 데이터라인 피치 안에 배치될 수 있도록 최소 크기로 설계 하였다. 단위 시프트 로직 회로는 디코더의 출력 신호를 입력 신호로 받아서 데이터라인 스위치 컨트롤 신호를 출력으로 내보내게 된다.

III 시뮬레이션 결과 및 레이아웃 검토

제안하는 Display IC용 1T-SRAM의 데이터라인 리턴던시 회로의 동작을 검증하기 위해서 0.18- μm CMOS 1T-SRAM의 공정을 사용하여 $V_{DD}=1.8\text{V}$, $V_{PP}=5\text{V}$ 와 $T=25^\circ\text{C}$ 의 조건에서 $320 \times 128 \times 18$ -bit의 1T-SRAM의 어레이와 주변회로를 설계하여 데이터라인 리턴던시 회로의 동작을 시뮬레이션 하였다.

그림 5에 설계된 $320 \times 128 \times 18$ -bit의 Dual-port 1T-SRAM의 블록다이어그램을 나타내었다. 그림 5에서 SW 블록은 데이터라인과 입출력라인을 연결하는 스위치들을 의미하며, SLC&DEC는 시프트 로직 회로(shift logic circuit)와 시프트 포인트 어드레스를 위한 디코더를 의미하며, SA 블록은 센스앰프들이며, BS 블록은 비트라인 스위치(bit line switch)들이고, SWD 블록은 서브-워드라인 드라이버(sub-word line driver)들을 의미한다.

메모리 어레이 전체는 $320 \times 120 \times 18$ 의 총 691,200개의 bit를 갖고 있다. 워드라인의 개수가 320개 이고 입출력라인이 Dual-port로 되어 있어서, LCD read 동작 시에는 $120 \times 18 = 2,160$ 개의 출력이 동시에 함께 나가게 되고, CPU read 혹은 write 동작 시에는 120개의 칼럼 셀렉트(column select) 신호가 18개 단위로 입출력라인을 선택하게 되어 있다.

본 논문에서는 메모리 어레이의 총 2,160개의 입출력라인은 144개의 입출력라인 단위로 15개의 블록으로 나뉘어 졌다. 각 블록 별로 144개의 입출력라인은 144개의 데이터라인과 1개의 리턴던트 데이터라인에 스위치를 통해서 연결되고 이 스위치들은 시프트

로직 회로(shift logic circuit)와 시프트 포인트 어드레스(shift point address)를 디코딩하는 회로(SLC&DEC)에 의해서 컨트롤된다.

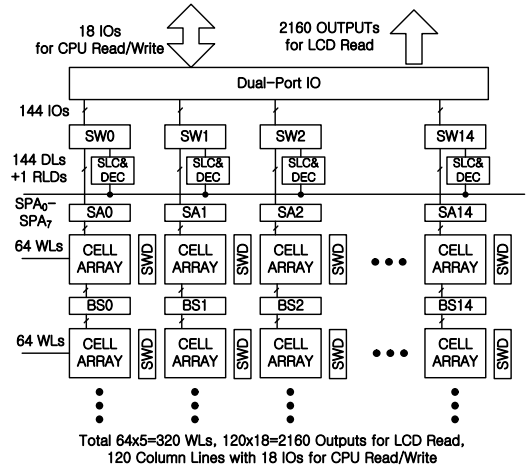


Fig. 5 A block diagram for $320 \times 120 \times 18$ -bit Dual-port 1T-SRAM with the dataline redundancy Circuit

그림 5 데이터라인 리턴던시 회로를 갖는 $320 \times 120 \times 18$ -Bit dual-port 1T-SRAM의 블록다이어그램

그림 6(a)과 (b)에서는 리턴던트 데이터라인 1개를 포함해서 총 데이터라인을 145개를 가정했을 때의 데이터라인 리턴던시 회로의 동작을 시뮬레이션한 결과를 나타낸다. 먼저 특정 워드라인을 선택하는 로우 어드레스(row address)가 들어오면 그 워드라인에 해당하는 시프트 포인트 어드레스(shift pint address)가 그림 5의 SLC&DEC 블록의 입력으로 들어가서 디코딩 된 후에 그 출력이 시프트 로직 회로의 입력으로 들어가게 된다. 시프트 로직 회로는 디코더의 입력에 의해서 불량 데이터라인을 입출력라인으로 연결되지 않도록 데이터라인 스위치를 컨트롤하게 된다.

그림 6(a)은 그림4(a)의 시프트 로직 회로를 144개의 입출력라인으로 확장한 경우를 시뮬레이션한 결과이고, 그림6(b)은 그림4(b)의 시프트 로직 회로를 144개의 입출력라인으로 확장했을 때의 시뮬레이션 결과이다. 그림4(a)와 그림4(b)에서 worst-case delay가 발생하는 경우는 마지막 144번째 데이터라인이 불량인 경우이고 워드라인 셋업 시간으로부터 마지막 데이터라인 스위치를 컨트롤하기 위한 S_{288} 신호의 falling-edge까지의 시간을 구하면 된다.

그림 6(a)에서 worst-case delay는 12.3ns 인 데 비해서 그림 6(b)은 5.9ns 정도이므로 그림 4(a)에 비

해서 그림 4(b)의 회로가 52% 정도 더 빠르게 동작한다는 것을 알 수 있다. 워드라인을 'on' 시킨 이후에 비트라인에 메모리 셀의 데이터가 완전히 실리고 센스앰프가 셋업 될 때까지 기다리는 시간이 약 5ns-7ns 정도인 것을 고려하면, 그림 6(b)의 5.9ns 정도의 타이밍 지연은 1T-SRAM의 read 혹은 write 동작 전에 불량 데이터라인을 인접한 정상 데이터라인으로 교체하는 것을 충분히 가능하게 한다.

Fig. 6. Timing diagram of the dataline redundancy circuit when the number of IO lines is 144

그림 6. 입출력라인이 144개일 때의 데이터라인 리던던시 회로 동작의 타이밍 도

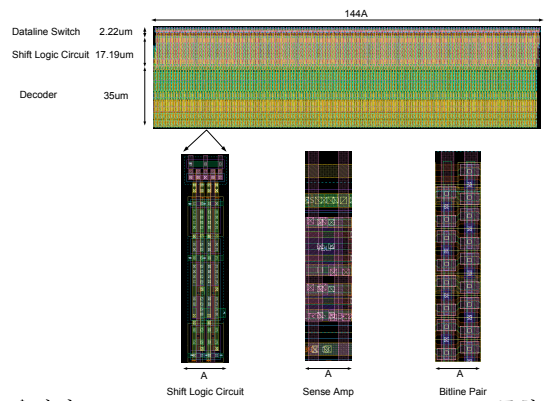
그림 7에서는 0.18- μm CMOS 1T-SRAM 공정의 디자인 룰을 사용하여 그린 센스앰프 블록, 시프트로직 회로 및 디코더 블록과 스위치 블록의 레이아웃을 보여주고 있다. 그림 7에서 보듯이 비트라인 페어의 피치와 센스앰프의 피치, 그리고 시프트 로직 회로 및 디코더 회로, 그리고 데이터라인 스위치 회로의 피치는 모두 동일함을 확인할 수 있다. 시프트 로직 회로 및 디코더 회로, 스위치 회로의 높이는 대략 본 논문에서 설계된 320 \times 120 \times 18-bit Dual-port 1T-SRAM 전체 높이의 7.6%를 차지하고 있다.

Fig. 7. A layout of the dataline redundancy circuit when the number of IO lines is 144

그림 7. 입출력라인이 144개일 때의 데이터라인 리던던시 회로의 레이아웃

IV 결론

본 논문에서는 Dual-port 1T-SRAM에 적합한 간단하고 효과적인 새로운 데이터라인 리던던시 회로를 제안하고 이를 0.18- μm CMOS 1T-SRAM 공정을 이



용하여 320 \times 120 \times 18-bit Dual-port 1T-SRAM로 구현하여 검증하였다. 한 개의 인버터와 한 개의 낸드 게이트로 이루어진 시프트 로직의 회로를 이용해서 기존의 데이터라인 리던던시 회로 보다는 훨씬 간단하게 컨트롤로직을 구현함으로써 한 개의 비트라인 페어의 피치 내에서 필요한 컨트롤 로직을 모두 구현할 수 있었다. 또한 시프트 로직 회로를 개선해서 worst case에서의 delay를 12.3ns에서 5.9ns로 52% 감소시켜서 워드라인 셋업 후에서 센스앰프 셋업까지의 시간 동안에 데이터라인 스위칭 작업을 완료할 수 있게 하여서 데이터라인 리던던시 회로의 타이밍 오버헤드를 감소할 수 있었다. 또한 본 논문에서 제시된 데이터라인 리던던시 회로의 면적 오버헤드(area overhead)는 약 7.6%로 예측된다.

참고문헌

- [1] T. Sakurai, "Perspectives on power-aware electronics," *Digest of IEEE International Solid-State Circuits Conference*, pp. 26-29, Feb. 2003.
- [2] W. Leung, F. Hsu, and M.-E. Jones, "The ideal SoC memory: 1T-SRAM," *IEEE ASIC/SoC Conference*, pp. 32-36, Sep. 2000.
- [3] K. Itoh, *VLSI memory chip design*, Springer, 2001.
- [4] K. Kokkonen et al., "Redundancy techniques for fast static RAMs," *Digest of IEEE International Solid-State Circuits Conference*, pp. 81-88, Feb. 1980.
- [5] T. Namekawa, S. Miyano, R. Fukuda, R. Haga,

O. Wada, H. Banba, S. Takeda, K. Suda, K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, K. Numata, "Dynamically shift-switched dataline redundancy suitable for DRAM macro with wide data bus," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 5, pp. 705 - 712, May 2000.

[6] 권오삼, 민경식 "Display IC용 1T-SRAM 을 위한 스위치 방식의 비트라인 및 워드라인 Redundancy 회로," *2007년 SoC 학술대회*, vol. 1, pp. 59-62, May 27, 2007.

저 자 소 개

권 오 삼 (학생회원)



2006년 : 국민대학교
전자정보통신공학과 학사
2006년 3월~현재 : 국민대학교
전자공학과 석사과정
<주관심분야> 저전력 아날로그 회
로 및 메모리 회로 설계

민 경 식 (정회원)



1991년 : 고려대학교 전자전산공학과 학사
1993년 : 한국과학기술원 전기및 전자공학과 석사
1997년 : 한국과학기술원 전기및 전자공학과 박사
1997년~2001년 하이닉스반도체 선임연구원

2001년~2002년 University of Tokyo, Research Associate

2002년~현재 국민대학교 전자정보통신공학부 부교수

<주관심분야> 저전력 아날로그 회로 및 메모리 회로 설계