

고전력밀도 AC/DC Adapter를 위한 off-time 제어법

姜信鎬*, 張俊浩*, 洪成洙**, 李竣榮†

Off-time Control Method for High Power Density AC/DC Adapter

Shin-Ho Kang, Jun-Ho Jang, Sung-Soo Hong and Jun-Young Lee

요 약

본 논문에서는 더 높은 에너지 효율을 요구하는 전자 기기들의 사용에 따른 고전력 밀도 AC/DC adapter를 위한 향상된 제어 방법을 제안한다. PFC (Power Factor Correction) 토폴로지는 BCM (Boundary Conduction Mode) 제어 방식을 적용한 부스트 토폴로지를 기본으로 하였으며, DC/DC 토폴로지는 50% 고정 duty법과 함께 새롭게 제안된 Off-time 제어법을 적용한 하프브릿지 토폴로지를 기본으로 하였다. 이는 반도체 소자와 마그네틱 소자의 크기를 줄이는데 용이하다. 85W급 AC/DC 어댑터(18.5V/4.6A)를 설계하여 실험한 결과 90%의 효율과 36W/in³의 전력 밀도가 측정되었고 무부하시 전력 손실은 0.5W를 달성하였다.

ABSTRACT

The proposed method offers an improved control method for high power density AC/DC adapter by using more energy efficient electrical equipments. Power factor correction (PFC) topology is based on boost topology with boundary conduction mode (BCM). DC/DC topology is based on half-bridge topology with fixed 50% duty and newly introduced off-time control method, which helps to reduce size of the semiconductor and the magnetic devices. Test results with 85W AC/DC adapter (18.5V/4.6A) design show that the measured efficiency is 90% with power density of 36W/in³. It also shows low no load power consumption of about 0.5W.

Key Words : AC/DC adapter, high power density, off-time control

1. 서 론

AC/DC 어댑터는 Mobile Phones, Note PC, LCD 모니터, 소규모 휴대용 전자제품 등에 광범위하게 사용되고 있다. 어댑터는 작은 전력을 다루며 재료비 경쟁이 심하기 때문에 PFC를 사용하지 않고 그림 1의 구

조가 간단한 플라이백 회로를 채용하고 있지만 크기와 효율 관점에서 더 이상의 개선은 어려움이 있다.^[1] 게다가 최근 전자기기의 급속한 성장과 더불어 이들 기기들 요구전력이 점점 증가하게 되어 이를 공급할 수 있는 작은 크기의 고효율 및 고성능의 어댑터가 필요하게 되었다.^[2~4] 또한 전자기기의 요구 전력이 증가함에 따라 고조파규제에 대한 대응을 검토해야할 시점에 오고 있어 고전력밀도회로 기술 및 실장 기술을 확보할 필요가 있다. 본 논문에서는 고전력밀도 어댑터 설계에 적합한 토폴로지와 새로운 off-time 제어법을 제안하여 성능평가 및 고찰해보았다.

†교신저자 : 정회원, 단국대 전자공학과 조교수

E-mail : pdpljy@dankook.ac.kr

*학생회원, 단국대 대학원 전자공학과 석사과정

**정회원, 국민대 전자정보통신공학부 부교수

접수일자 : 2007. 9. 10

1차 심사 : 2007. 10. 6

2차 심사 : 2007. 10. 19

심사완료 : 2007. 10. 31

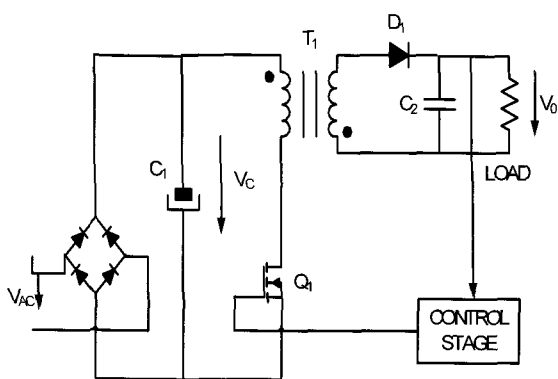


그림 1 플라이백 방식의 AC/DC 어댑터
Fig. 1 AC/DC adaptor of Flyback topology

2. 85W 어댑터 설계를 위한 토폴로지

2.1 PFC 토폴로지와 제어방식

표 1은 PFC stage에서 사용될 수 있는 토폴로지들의 특성을 도시하였다. 벡 토폴로지는 출력전압이 입력전압보다 항상 낮게 제어되어 DC/DC stage의 전압 스트레스 및 커패시터의 선택 면에서 유리하며 스위치의 전압 스트레스도 입력전압에 의존하여 가장 열악한 입력조건인 90V 입력에서 전압스트레스가 낮아져 스위칭 손실 면에서 유리하지만 입력전류의 dead-zone이 발생하여 PF가 낮고 스위치를 floating driver를 사용해야 하는 단점이 있다. 벡-부스트 토폴로지는 출력전압을 입력보다 높게 또는 낮게 제어 할 수 있어 입력전압보다 낮은 출력전압을 얻을 수 있어 어댑터에 사용할 수 있지만 스위치 내압과 전류 스트레스가 크므로 스위칭 손실 면에서 불리하다. 부스트 토폴로지는 일반적으로 출력전압을 400V로 제어하기 때문에 커패시터 크기가 커지게 되고 이로 인해 전체적인 부피가 커지며 DC/DC stage의 입력전압이 높아지게 되어 고내압 스위치를 사용할 수밖에 없어 스위치의 package가 커지는 단점이 있지만 PF가 우수한 장점이 있다. 표 2는 PFC 제어방식을 비교하였다. CCM은 입력전류를 입력전압이 추종하도록 제어하는 방식으로 일반적으로 인덕터의 크기가 커지고 제어 IC가 복잡하다. DCM은 입력전류를 단속적으로 제어하므로 일반적인 전압제어기를 사용할 수 있고 작은 인덕터 값을 사용하므로 인덕터 크기는 작지만 스위칭 손실이 가장 크며 모든 영역에서 DCM조건을 만족하도록 설계하기가 어렵다. BCM은 전류가 0이 되는 점을 감지하여 스

표 1 PFC 토폴로지 비교
Table 1 comparisons of PFC topology

토폴로지	전류 스트레스	전압 스트레스	커패시터 크기	인덕터 크기
부스트	小	大	大	동일제어 방식인 경우 유사
벡	大	小	小	
벡-부스트	大	大	中	

표 2 PFC 제어방식 비교
Table 2 comparisons of PFC control method

토폴로지	제어기의 복잡성	전류 스트레스	커패시터 크기	인덕터 크기
CCM	大	小	小	大
BCM	小	中	中	小
DCM	小	大	大	小

위칭하므로 언제나 DCM조건을 만족하며 전용 IC가 있어 설계가 용이하지만 DCM방식과 마찬가지로 turn-off시 스위칭 손실이 CCM보다는 크다.^{[5][6]}

2.2 DC/DC 토폴로지와 제어방식

표 3은 DC/DC stage에 사용될 수 있는 토폴로지들을 도시하였다. 플라이백 토폴로지는 구성이 가장 간단하여 널리 저가 저용량 SMPS에서 사용되는 방식이지만 전압과 전류 스트레스가 크고 스너버 등이 추가 되어야 하므로 효율과 크기 관점에서 불리하다. 포워드 토폴로지는 플라이백에 비해 변압기 이용도 면과 soft-switching이 유리하지만 역시 전압과 전류 스트레스 관점에서 효율향상에 적합하지가 않고 폴브릿지 토폴로지는 스위치 스트레스 관점에서 가장 유리하지만 스위치의 구성이 복잡하다. 하프브릿지 토폴로지는 폴브릿지에 비해 전류 스트레스가 크다는 단점이 존재하지만 스위치 구성이 간단하고 폴브릿지를 제외한 다른 토폴로지에 비해 전압 스트레스가 작아 스위치의 package를 줄이는데 용이하고 변압기 이용도도 좋아 마그네틱 소자의 사이즈를 줄이는데 용이하다. 표 4는 DC/DC 제어방식을 비교하였다. PWM방식은 duty변동에 의한 스위치 전류 편향 현상으로 인해 효율 향상 면에서 불리하며 2차측 전압의 변동은 출력단에 저내압 SR을 사용하기 어렵게 하여 전체적인 시스템 효율

표 3 DC/DC 토폴로지 비교
Table 3 comparisons of DC/DC topology

토폴로지	전압 스트레스	전류 스트레스	커패시터 크기	인덕터 크기	트랜스포머 크기
플라이백	大	大	大	없음	大
포워드	大	大	小	大	中
하프브릿지	小	中	小	中	小
풀브릿지	小	小	小	中	小

표 4 DC/DC 제어방식 비교
Table 4 comparisons of DC/DC control method

제어방식	특징
PWM	Duty 변동으로 인한 스위칭 손실 발생. 소형화에 적합한 풀브릿지 회로를 사용할 경우 변압기 2차측 전압의 변동으로 저내압 Synchronous rectifier(SR)를 사용하기 어려워 효율 저하 발생.
고정 duty + Hysteresis	스위치 스트레스와 스위칭 손실면에서 유리함.

항상에 문제가 있다. 고정 duty 방식은 DC/DC stage의 최적설계를 위해 가장 유리하지만^[7] 출력전압의 제어에 문제가 있으므로 Hysteresis 제어와 같이 펄스 개수를 제어하는 방법을 추가하여 보완하여야 한다.

3. Off-time 제어법

고정 duty법을 사용하면 Power stage의 설계를 효율 관점에서 최적 설계가 유리하다.^[4] 하지만 고정 duty법을 사용하면 출력전압의 제어가 어려워 Hysteresis 제어와 같이 펄스 개수를 제어하는 방법을 추가하여 보완하여야 한다. 그렇지만 이 제어 방법은 이미 특허가 나와 있는 상태이기 때문에 새로운 제어 방법이 필요하다. 새롭게 제안된 off-time 제어법은 펄스 개수를 조절하지 않고 펄스 string사이의 off-time을 제어하는 방법이다.

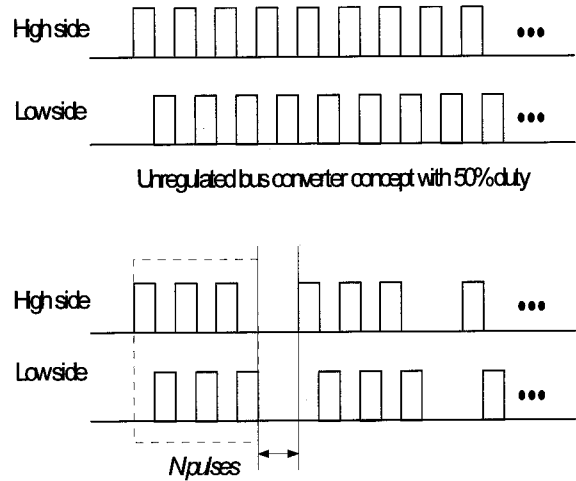


그림 2 Off-time 제어법
Fig. 2 Off-time control method

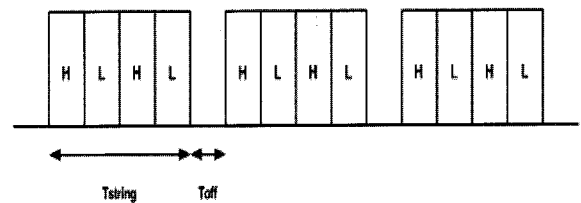


그림 3 off-time 제어시의 펄스 string 형태
Fig. 3 Pulse string form of off-time control

그림 2에서 보여주는 off-time 제어법은 펄스의 그룹을 결정해 주는 캐리어 펄스의 폭이 고정되어 있고 그 펄스간의 간격을 조정하여 제어한다. 그림 3은 off-time 제어방법에서 펄스가 발생하는 것을 보여준다. 펄스 string수가 정해지면 Toff시간이 제어변수가 되어 이를 제어함으로써 출력을 제어할 수 있다. 따라서 제어동작 시 실제 duty D_{eff}는 다음 식과 같다.

$$D_{eff} = \frac{T_{string}}{T_{string} + T_{off}} \tag{1}$$

이 식으로부터 입력과 출력의 관계식은 다음과 같다.

$$V_O = \frac{V_{in}/2}{n} \frac{T_{string}}{T_{string} + T_{off}} \tag{2}$$

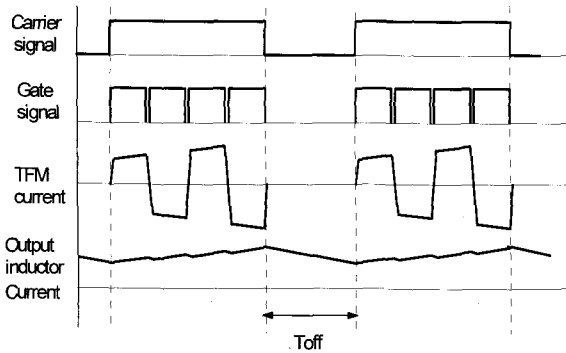


그림 4 한 그룹에 4개의 펄스를 포함한 스위칭 파형
Fig. 4 Switching waveforms with 4 pulses in one group

그림 4는 한 그룹에 4개의 펄스에 의한 스위칭 파형과 트랜스포머 1차측 전류 및 출력 인덕터 전류 파형이다. 출력 인덕터의 리플은 캐리어 펄스 폭 또는 펄스 그룹의 개수에 의해서 정해진다. 펄스 그룹의 개수가 증가하게 되면 출력 인덕터의 리플이 증가하여 FET의 스위치 손실이나 인덕터의 코어 손실 등이 증가할 수 있으므로 가급적 작게 사용하는 것이 좋다. 하지만 너무 작은 개수의 펄스 그룹을 사용하면 FET는 항상 hard-switching 구동을 하게 되어 스위칭 손실 등이 일어나게 되므로 출력 리플과 스위칭 손실, 인덕터 크기 등을 고려하여 1개의 그룹에 4개의 펄스를 사용하였다.

4. 제안된 회로

4.1 PFC Stage

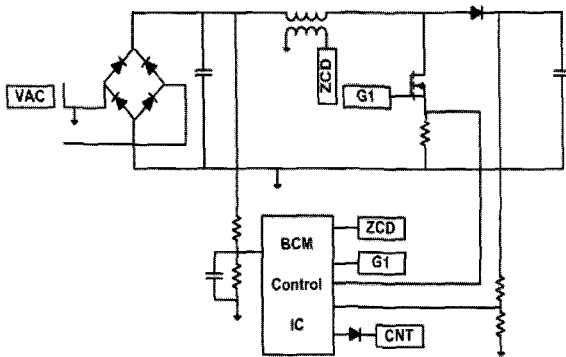


그림 5 PFC stage 회로도
Fig. 5 Circuit of PFC stage

그림 5는 실제로 제안된 PFC stage를 도시하였다. 기본적인 형태의 부스트 토폴로지로서 하였으며 이로 인해 커지는 부피는 적당한 package 선정과 실장기술로 대응하였다. 제어방식은 마그네틱 소자의 크기와 제어 방식의 단순함을 고려하여 BCM방식을 선정하였으며 BCM제어를 위해 전용 IC인 MC33368을 사용하였다. 이 IC는 자체 기동기능이 존재하며 초기 공급 전류도 20mA이상 되어 기동이 용이하다. 또한 자체적으로 light load 구동 시 펄스가 완벽하지 않지만 간헐적으로 동작하는 기능이 있어 DPMS(Digital Power Management Scaling) 동작에 유리하다. DPMS 소비전력을 줄이기 위해 PFC와 DC/DC가 CNT(Control)를 통해 캐리어 펄스와 동기를 시켰다. MC33368은 light load시 간헐동작과 유사한 동작을 하지만 폭이 작은 펄스들이 발생하므로 이를 캐리어 펄스와 동기를 맞추어 폭이 작은 펄스들을 제거함으로써 대기전력을 줄일 수 있다.

4.2 DC/DC Stage

그림 6은 DC/DC stage를 도시하였다. 소자 수와 크기를 줄이기 위해서 센터 탭 방식의 트랜스포머와 DC-blocking 커패시터를 적용한 하프브릿지 토폴로지로 하였다. 출력에 저내압 SR(Synchronous Rectifier)를 채용하였으며 SR의 전압 스트레스는 부하 상태에 상관없이 V_b/n 만큼 계속 유지한다. 구동 duty가 항상 50%이고 이에 따라 DC-blocking 커패시터 전압이 입력전압의 반으로 일정해지기 때문이다. 이에 효율과 전력밀도의 증가에 도움을 주는 작은 package의 저내압 SR을 사용할 수 있다. 제어기는 off-time 제어기, 옵토-커플러, 그룹 펄스 발생기의 3부분으로 이루어진다.

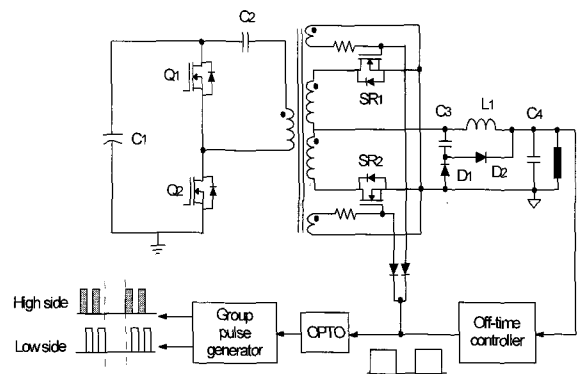


그림 6 DC/DC power stage 회로도
Fig. 6 Circuit of DC/DC power stage

Off-time 제어기는 출력전압의 제어를 위한 펄스 수와 펄스 그룹간의 off-time을 결정하는 캐리어 펄스를 발생시킨다. 캐리어 신호는 포토커플러를 통해 그룹펄스 발생기로 전달된다. 그룹펄스 발생기는 50% 고정 duty cycle의 펄스를 발생시켜 메인 FET Q1과 Q2에 공급한다. 출력의 SR의 내압을 저감시키기 위해 다이오드 2개와 커패시터 1개로 구성된 DDC 스너머를 적용하였다. SR의 구동도 역시 캐리어 펄스와 동기를 시켰다. 이는 DPMS 동작시 변압기의 magnetizing 전류 및 기생성분에 의한 오동작을 방지하기 위한 것으로 SR도 메인 FET가 동작할 때만 구동되도록 하였다.

5. 실험

실험 사양은 다음과 같다.

- 입력 전압 : AC 90Vrms~265Vrms
- 출력 전압 : 18.5V
- 출력 전류 : 0~4.6A

85W급의 AC/DC 고전력밀도 어댑터로서 메인 FET Q1, Q2에 SPD03N50(560V/3.2A)을 저내압 SR은 IRF7855(60V/9.4mΩ)를 사용하였다. Off-time 제어를 하기 위해서 50%의 고정 duty cycle의 그룹 펄스를 발생시키는 IR2085를 사용하였으며 IR2085가 100V이하의 낮은 입력에서만 사용할 수 있는 IC이므로 600V Bootstrap IC인 IR2117을 사용하여 FET를 구동하였다. 그리고 fixed on-time 제어 IC인 FAN5037을 사용하여 캐리어 신호를 발생시켰다. Prototype의 DC/DC Stage size는 5cm×4cm×2cm (L×W×H) 이고 36W/in³의 전력밀도가 계산되었으며 PFC Stage를 포함하였을 경우에는 22W/in³의 전력밀도가 계산되었다. 구동 주파수는 120kHz이고 PFC 인덕터와 DC/DC 트랜스포머에 사용된 코어는 PQ2016과 RM10이다. PFC 인덕터의 경우 75턴에 500μH로 설계하였으며 인덕턴스 값은 BCM 제어기인 MC33368에서 제공한 식을 이용하였으며 다음과 같다.

$$L = \frac{t \left(\frac{V_o}{\sqrt{2}} - V_{ac(LL)} \right) \eta_{PFC} V_{ac(LL)}^2}{\sqrt{2} V_o P_o} \quad (3)$$

DC/DC 트랜스포머의 경우 off-time 제어법의 입력과 출력의 관계식을 이용하여 나온 9:1의 턴 비에 의해 1차측 45턴, 2차측 5턴으로 설계하였다. 출력 측 인

덕터에 사용된 코어는 MPP55050이고 최대부하에서 1.8A의 리플이 발생하도록 26턴에 40μH로 설계하였고, 리플과 인덕턴스 값의 선정 식은 다음과 같다.

$$\frac{V_{in}/2n - V_o}{L_o} D_{eff} (T_{string} + T_{off}) = I_{ripple} \quad (4)$$

그림 7은 풀 부하 출력에서 측정 파형을 보여준다. 계된 어댑터는 전체 크기 7.5cm×7.5cm×2.5cm에 입력 필터를 포함하여 모두 실장 되었고, 효율은 입력 115Vrms에서 약 90%이다. 그림 8은 부하에 따라 측정된 효율을 보여준다. 풀 부하에서 PFC stage와 DC/DC stage는 각 95%와 93.5%의 효율이 측정되었다.

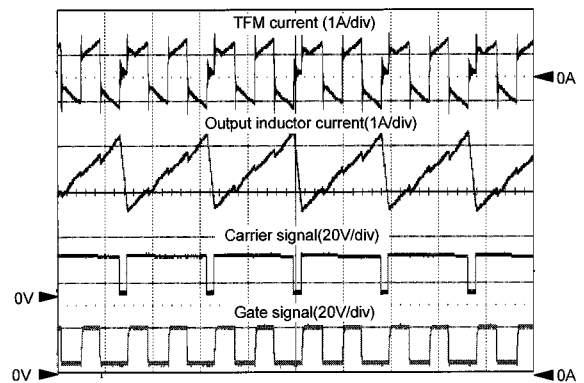


그림 7 실험 파형
Fig. 7 Experimental waveform

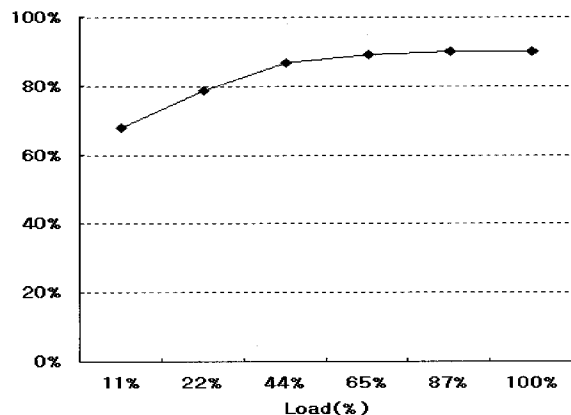


그림 8 115Vrms에서 측정된 효율
Fig. 8 Measured efficiency at 115Vrms

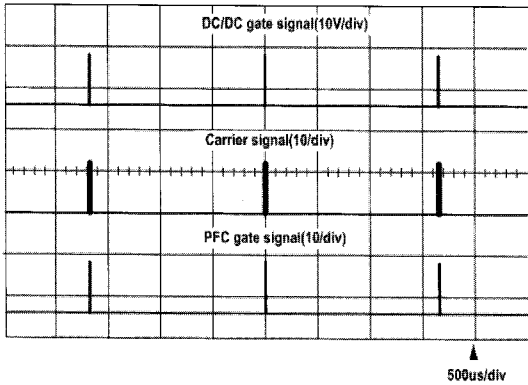
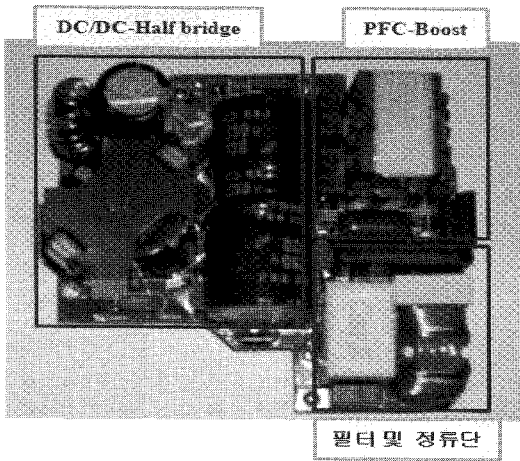
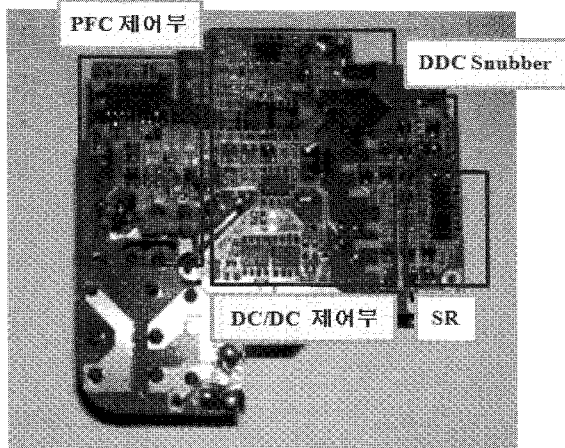


그림 9 DPMS 파형
Fig. 9 DPMS waveform



(a) Top



(b) Bottom

그림 10 개발된 Adapter
Fig. 10 Adapter of development

그림 9는 무부하시 동작을 측정된 파형이다. 부하가 작아질수록 캐리어 신호간의 간격이 점점 벌어진다. 무부하시에는 벌어진 간격이 약 1.8ms 정도로 증가되어 DC/DC FET와 PFC FET의 스위칭 횟수가 현저하게 저감되므로 대기전력을 저감시키는데 도움을 주고 있다. 이로 인하여 DPMS 동작시 대기전력을 약 0.5W 달성하였다. 그림 10은 실제로 개발한 85W급 어댑터의 사진을 도시하였다.

6. 결론

85W급 고전력밀도 AC/DC 어댑터를 구현하기 위해서 PFC stage는 BCM제어방식을 적용한 부스트 토폴로지와 DC/DC stage는 새롭게 제안된 off-time 제어법을 적용한 하프브릿지 토폴로지로 설계하였다. 120kHz의 높은 주파수와 50%고정 duty 구동으로 변압기 size를 줄이고 최적 범위의 반도체 소자의 선택으로 효율을 향상시킬 수 있었다. 85W급으로 설계된 adapter의 실험 결과 약 90% 정도의 효율과 36W/in³의 전력밀도가 측정되었고 DPMS 역시 0.5W를 달성하였다. 이것은 고전력밀도 어댑터로서의 향후 방향과 가능성을 보여준다. 하지만 새롭게 제안된 제어법을 구현하기 위하여 여러 종류의 IC를 조합하여 설계하였기 때문에 회로의 구성과 비용 면에서 문제점이 발생하므로 전용 IC의 발굴 및 개발이 이루어져야 한다.

이 논문은 (주) 삼성전기의 연구비 지원에 의하여 연구되었음

참고 문헌

- [1] R. Ridley, "The Incredible Shrinking Power Supply," *Switching Power Magazine*, pp. 1-6, 2005.
- [2] Y. K. Lo, S. C. Yen, and J. Y., "A High-Efficiency AC-to-DC Adaptor with a Low Standby Power Consumption," *PESC'06*, pp. 1-4, 2006.
- [3] J. H. Choi and Y. S., "The Improved Burst Mode in the Stand-by Operation of Power Supply," *APEC'04*, pp. 426-432, 2004.
- [4] J. M. Zhang, X. G. Xie, and Z. Qian, "A High Efficiency Adaptor with Novel Current Driven Synchronous Rectifier," *INTELEC'03*, pp. 205-210, 210.
- [5] 유병규, 이성세, 한상규, 문건우, "역률개선을 위해 경계전류 모드로 동작하는 브리지리스 부스트 컨버터", *전력전자학회 논문지*, pp. 90-94. 2003.

- [6] 유광민, 임성규, 이준영 "PDP 유지 전원단을 위한 고효율 Single-stage PFC Flyback Converter", 전력전자학회 논문지, pp. 34-38. 2006.
- [7] 김준형, 남원석, 한상규, 노정욱, 홍성수, 사공석진, 김종선, 유병우 "200W급 외장형 Adapter를 위한 최적 Topology에 관한 연구", 전력전자학회 논문지, pp. 378-380. 2006.

저 자 소 개



강신호(姜信鎬)

1982년 1월 8일생. 2006년 단국대 전자공학과 졸업. 2006년~현재 동 대학원 전자공학과 석사과정.



장준호(張俊浩)

1982년 1월 17일생. 2006년 단국대 전자공학과 졸업. 2006년~현재 동 대학원 전자공학과 석사과정.



홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공박). 1984년 1월~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재

국민대 전자정보통신공학부 부교수.



이준영(李竣榮)

1970년 10월 3일생. 1993년 고려대 전기공학과 졸업. 1996년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2001년 동 대학원 졸업(공박). 2001년 3월~2005년 2월 삼성 SDI PDP 사업부. 2005년 3월~

현재 단국대 전자공학과 조교수.