

3차원 구조를 이용한 저전력 FPGA 구조 (A Low Power FPGA Architecture using Three-dimensional Structure)

김 판 기 [†] 이 형 표 ^{**} 김 현 필 ^{**} 전 호 윤 ^{**} 이 용 석 ^{***}
(Panki Kim) (Hyoungpyo Lee) (Hyunpil Kim) (Hoyoon Jun) (Yongsurk Lee)

요 약 Field-Programmable Gate Arrays는 사용자가 프로그램이 가능한 혁신적인 대규모 집적 회로이며 값싸고 빠르게 주문자가 원하는 VLSI 구현할 수 있는 장점을 가지고 있다. 그러나 특정 목적의 프로그램의 속도가 증가했을 때 FPGA가 연산하는 동안의 전력 소모와 연결선의 지연이 FPGA를 프로그램 하는데 중요한 문제점이 된다. 특히 기존 구조에서 사용되는 내부연결선이 전체 FPGA의 전력 중 65%를 소모한다. 이로 인하여 내부연결선이 전력 소모에 큰 영향을 주기 때문에 배선 시 연결선의 길이와 블록 간의 연결선을 줄임으로써 전력 소모를 줄일 수 있다. 배선 시 내부연결선을 줄이기 위한 방안으로 3차원 FPGA가 제안되었다. 하지만 구조의 복잡해짐으로써 오히려 스위치에서 물리적인 연결선들은 더욱 증가하고 스위치의 면적이 증가하는 문제점을 가지게 되었다. 본 논문에서는 복잡성을 낮추어서 물리적인 내부 연결선의 길이를 줄이고, 배선시의 연결선의 길이를 3차원 FPGA만큼 줄일 수 있는 FPGA구조를 제안한다. 그리고 ISE 의 FPGA Editor와 배선 시 길이를 예측하는 프로그램을 사용하여 Xilinx사의 Virtex II FPGA와 3D FPGA의 연결선 구성을 비교한다.

키워드 : 3D-FPGA, Low power FPGA

Abstract Field-Programmable Gate Arrays (FPGAs) are a revolutionary new type of user-programmable integrated circuits that provide fast, inexpensive access to customized VLSI. However, as the target application speed increases, power-consumption and wire-delay on interconnection become more critical factors during programming an FPGA. Especially , the interconnection of the FPGA consumes 65% of the total FPGA power consumption. A previous research show that if the length of interconnection is shirked, power-consumption can be reduced because an interconnection has a lot of effect on power-consumption. For solving this problem that reducing the number of wires routed, the three dimension FPGA is proposed. However, this structure physical wires and an area of switches is increased by making topology complex. This paper propose a novel FPGA architecture that modifies the three dimension FPGA and compare the number of interconnection of Virtex IIand 3D FPGA with the proposed FPGA architecture using the FPGA Editor of Xilinx ISE and a global routing and length estimation program.

Key words : 3D-FPGA, Low power FPGA

· 본 연구는 IDEC (IC Design Education Center)에 의해 지원되는 EDA 툴이 사용되었습니다.

논문접수 : 2007년 4월 26일
심사완료 : 2007년 11월 13일

[†] 학생회원 : 연세대학교 프로세서연구실
pkkim@dubiki.yonsei.ac.kr

^{**} 비 회 원 : 연세대학교 프로세서연구실
hplee@dubiki.yonsei.ac.kr
hpkim@dubiki.yonsei.ac.kr
hyjun@dubiki.yonsei.ac.kr

^{***} 비 회 원 : 연세대학교 프로세서연구실 교수
yonglee@yonsei.ac.kr

: 개인 목적이거나 교육 목적인 경우, 이 저작물의 전체 또는 일부에 대한 복사본 혹은 디지털 사본의 제작을 허가합니다. 이 때, 사본은 상업적 수단으로 사용할 수 없으며 첫 페이지에 본 문구와 출처를 반드시 명시해야 합니다. 이 외의 목적으로 복제, 배포, 출판, 전송 등 모든 유형의 사용행위를 하는 경우에 대하여는 사전에 허가를 얻고 비용을 지불해야 합니다.

정보과학회논문지 : 시스템 및 이론 제 34권 제 12호(2007.12)

Copyright © 2007 한국정보과학회

1. 서론

FPGA(Field programmable gate-arrays)는 주로 빠른 프로그래밍 구성을 목적으로 사용되어져 왔다. 또한 재구성할 수 있는 특성으로 현재 모바일 기기와 SoC에 FPGA가 탑재되고 있다. 휴대용 기기에 탑재되면서 FPGA의 전력소모와 최적화가 주목을 받기 시작했으며, 전력 소모를 효과적으로 예측하고 소모량을 알기 위한 연구들이 진행되었다. 이 연구 결과 FPGA에서 내부연결선과 누설전류가 전력소모를 주로 발생시켰다[1,2]. 특히 내부연결선이 전체 FPGA의 전력 중 65%를 소모하였다. 이러한 내부 연결선을 줄이기 위해서 효과적인 배선과 배치 알고리즘들이 고안되었을 뿐 아니라 배선의 길이를 줄이기 위한 구조들이 제안되었다.

이중 3차원 구조는 실험에서 21%의 배선 길이를 줄였다[3]. 그리고 이러한 3차원 구조를 위한 새로운 배선과 배치 알고리즘이 제안되었다[4]. 하지만 이 3차원 구조는 배선 시의 연결선의 길이는 줄일 수 있지만, 오히려 스위치 구조는 더욱 복잡해졌으며, 수직으로 연결된 연결선의 수가 더욱 증가하고 복잡해졌다. 또한 배선과 배치 알고리즘이 기존의 배선과 배치 알고리즘을 사용할 수 없고 복잡해졌다.

본 논문에서는 2장에서 기존 2차원 FPGA구조와 3차원 FPGA구조에 대해서 설명하고, 3장에서 기존의 배선과 배치 알고리즘을 그대로 사용할 수 있으며, 배선의 길이를 줄일 수 있는 구조를 제안한다. 그리고 4장에서 배선 길이 비교를 위해서 사용되는 FPGA 프로그램의 모델과 배선 방법을 설명하고, 5장에서 Xilinx사의 Virtex II[5] 모델과 비교를 통해 배선의 각각의 연결선의 량을 비교한다.

2. 기존의 FPGA 구조

2.1 일반적인 FPGA의 구조와 전력 소모

일반적인 FPGA구조는 그림 1과 같이 논리 블록과 I/O 블록 그리고 지역 내부선들로 구성되어있고, 클럭을 효과적으로 분배하기 위한 광역 내부선이 존재한다. 여기에 ALU와 메모리 그리고 디코더들이 추가적으로 존재할 수 있다[6,7].

FPGA 내부는 CLB(Configurable Logic Block) 간의 스위치 박스(switch box)를 통해 각 CLB의 입출력 핀과 연결이 되며, 상호 연결 거리에 따라 전역 연결선(long line)과 지역 연결선(local line)을 거쳐서 연결이 된다.

이러한 FPGA들은 하드웨어 구조를 쉽게 변경할 수 있어 사용자가 원하는 것을 쉽게 재구성(reconfigure)할 수 있기 때문에 휴대용 시스템에서 사용이 늘어나고 있

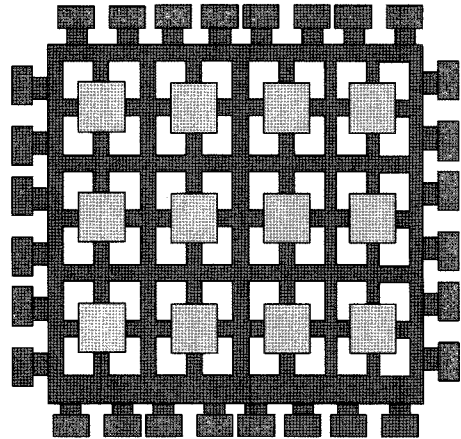


그림 1 일반적인 메쉬 구조 FPGA

다. 게다가 SoC에서 회로에 필요한 블록을 추가적으로 구현할 수 있도록 FPGA들을 추가하고 있다.

휴대용 시스템과 SoC에서 사용이 증가함에 따라 FPGA에 전력 소모에 대한 정확한 예측과 전력 소모에 대한 자료가 필요하게 되었다. 이에 따라 FPGA에 전력 소모와 이것을 예측할 수 있는 기법들에 대한 연구가 진행되었으며, 예측을 위해 많은 실제 자료 수집이 이루어졌다. 관찰 결과 긴 내부연결선에서 많은 전력 소모가 발생했다. 메쉬(Mesh)구조의 FPGA는 논리 블록과의 연결선에서 FPGA의 전체 전력소모의 65% 정도를 소모한다[8-10]. 이러한 긴 내부선을 제거하고, 효율적으로 사용되는 배선의 길이를 줄임으로써 전력 소모를 줄일 수 있다[11,12].

2.2 3차원 FPGA

배선 시 사용되는 연결선을 줄이기 위한 노력으로 3차원 FPGA[3]가 제안되었다. 이 3차원 구조는 CLB 간의 배선이 2차원일 때 $O(n^{1/2})$ 의 배선의 길이가 필요한데 반하여, 3차원에 경우 $O(n^{1/3})$ 의 배선의 길이가 필요하다. [4]에서 3차원 구조의 배선과 배치 알고리즘을 제안하고 실험하였을 때, 그 결과 2차원 FPGA에 비하여 21%의 배선 길이와 24%의 지연을 줄일 수 있었다. 또한 칩이 물리적으로 차지하는 면적을 줄일 수 있으며 연결선이 줄어들면서 전력소모 또한 줄일 수 있다. 그림 2에서 이러한 3차원 FPGA의 구조를 보여주고 있다.

하지만 이 구조는 연결 복잡도가 증가하게 되어 배선의 경우의 수가 증가하게 되고, 배선되어진 연결선의 길이는 줄어들지만, 물리적으로 봤을 때 다른 평면으로 연결하기 위한 연결선이 오히려 증가하게 된다. 연결의 복잡도를 낮추면서 사용하는 연결선을 줄일 수 있는 구조가 필요하다. 기존 연구에서 연결선의 길이에 비례하여 전력소모가 증가하는 것을 보였으므로 사용되는 연결선

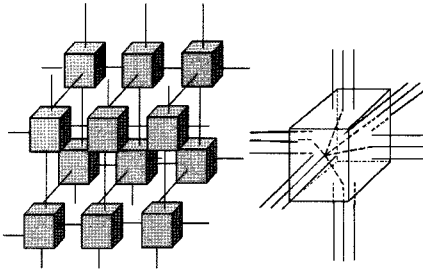


그림 2 3차원 FPGA 구조와 스위치 구조

의 길이를 줄이고 연결 복잡도를 낮춤으로써 전력소모를 줄일 수 있다.

2.3 3차원 FPGA 물리적인 구성과 구현

점차적으로 회로의 집적도가 높아지고 논리 로직이 복잡해지면서 서로 간에 논리 조직을 연결하기 위한 공간이 부족하게 되었다. 이를 해결하기 위해서 회로의 집적도를 그대로 사용하면서 연결선의 한계를 극복하는 3차원 회로가 만들어졌다[13].

3차원 회로는 SOI 웨이퍼 사이에 Cu-Cu 연결층을 통해 웨이퍼를 적층하게 된다[14,15]. 그림 3에서 이런 3차원 회로의 물리적인 구조를 보여주고 있다.

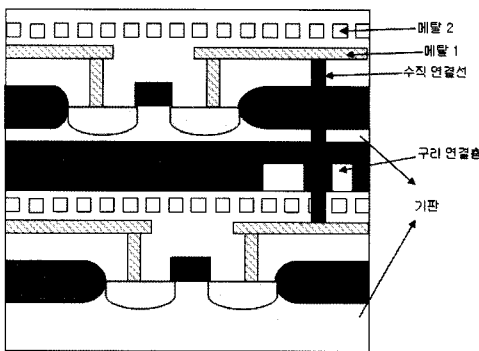


그림 3 Cu-Cu 웨이퍼 연결

웨이퍼 적층 기술을 이용하여 몇몇 연구에서는 실제 회로에 적용시키는 연구가 진행되었다. 대표적으로 [16]에서는 이런 3차원 회로 기술을 이용하여 MCM(Multi-chip modules)을 MCM-V라고 불리는 3차원 칩으로 만드는 데 성공하였다.

이를 바탕으로 MCM-V와 같이 적층 웨이퍼를 이용하여 3차원 FPGA를 구현하는 연구들이 진행되었는데, 이들 연구 중 TriMorph 프로젝트와 Northeastern 대학에서는 실제로 3차원 FPGA 제작이 연구되었다[17-19]. 지금 현재 3차원 FPGA에서의 배치와 배선을 위한 CAD가 활발하게 연구되고 있다.

위 연구를 통해서 이미 3차원 FPGA가 물리적으로 만들어질 수 있음이 입증되었다. 분명 이 구조가 열적인 문제점을 가지고 있지만 대부분의 논문에서 이러한 문제는 패키징 기술의 발달과 CAD의 발전으로 극복할 것으로 여기고 있다. 본 논문에서는 이미 만들어진 3차원 FPGA의 아키텍처를 변형시킨다. 중간 블록을 생략하거나 물리적인 수직 연결선을 줄이는 것은 기존 3차원 FPGA보다 물리적으로 간단하게 만들 수 있다.

2.4 Xilinx Virtex II FPGA 배선

Xilinx Virtex II FPGA[5]는 첫 번째 100만 게이트 FPGA이며, 현재 다양한 분야에 적용되고 있다. Virtex II는 XC4000보다 내부 연결선 구조는 불규칙하고 좀더 복잡해 졌다. 그림 4에서처럼 프로그램 가능한 스위치들은 라우팅 매트릭스(routing matrices)들로 형성되어져 있다. 이 라우팅 매트릭스들은 크게 IRM(input routing matrix), GRM(general routing matrix) 그리고 ORM(outing routing matrix) 세가지로 구성되어진다[6]. IRM은 광역 네트워크에서 들어오는 데이터 패스에서 CLB로 들어오는 데이터를 연결해 준다. 반면에 ORM은 CLB에서 나가는 신호선을 광역 네트워크에 연결시킨다. 그리고 GRM은 이러한 신호들을 광역네트워크에 연결시켜주고 스위치 역할을 수행한다.

Virtex II의 내부연결선은 크게 5가지로 나누어진다(그림 5). 이 중 전역 연결선(long line)은 스쿼(skew)에 민감한 신호에 쓰인다. 이 연결선은 주로 클럭 분배를 위해서 사용되어지며 FPGA상에서 가장 길이가 긴 선이다. Hex line은 두 종류가 있으며 CLB 3개와 6개 떨어진 위치의 스위치에 연결시킨다. 수평으로 CLB 4개 간격만큼 떨어져있는 내부선을 연결해야 할 때 Hex 3 line과 direct connection 각 1개씩으로 구성되어 질 수 있다.

double line은 CLB 2개의 간격의 스위치 매트릭스에

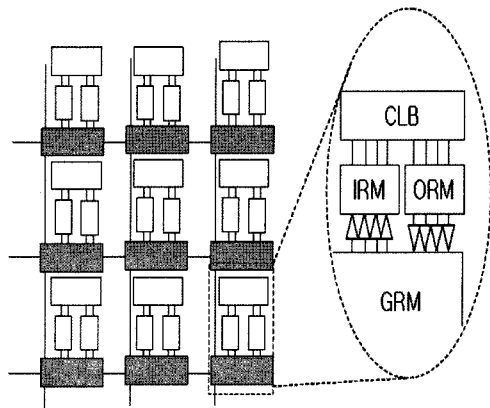


그림 4 Xilinx Virtex FPGA 구조

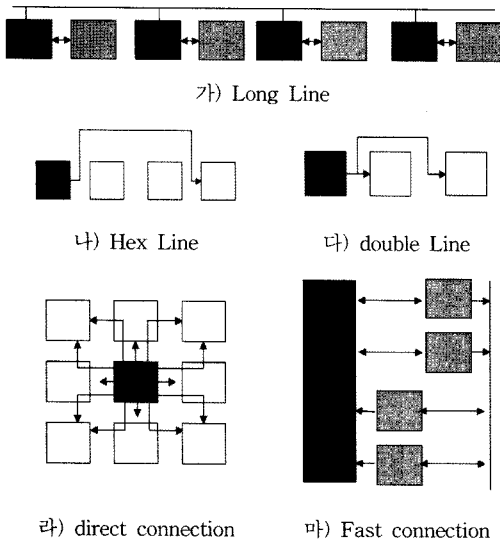


그림 5 Xilinx Virtex 2 FPGA의 내부 연결선 연결 방식

연결할 때 사용되어진다. 그리고 direct connection은 인접한 CLB끼리 연결시킬 수 있으며, 총 8방향의 CLB를 연결시킬 수 있다. Fast connection은 CLB 내부에서 스위치 매트릭스를 통해 Slice끼리 연결을 할 수 있으며 가장 짧고 간단한 구조를 가진다.

3. 제안한 FPGA 구조

3차원 FPGA는 구조적으로 각 셀마다 6개의 연결선을 가지게 된다. 이러한 구조는 내부 연결선의 길이를 줄임으로써 저전력을 구현할 수 있다는 장점이 있다. 하지만 스위치가 복잡해지면서 차지하는 칩의 면적이 증가하고 연결가능한 선이 증가함에 따라 배치와 배선 알고리즘이 복잡도가 증가하게 된다. 기존 연구에서 내부 연결선의 전체 길이에 비례하여 전력소모가 증가하는 것을 보였다.

본 논문에서 이러한 3차원 FPGA의 복잡도를 낮추고 2차원평면 FPGA보다 내부연결선을 줄임으로써 저전력을 할 수 있는 FPGA를 제안한다. 또한 이 구조는 배선과 배치가 2차원 평면 FPGA와 비교했을 때 같은 복잡도를 가지는 FPGA를 제안한다. 그리고 전체 연결선의 길이는 3차원 FPGA보다 소폭 증가하지만 복잡도를 크게 개선시킨다. 제안하는 FPGA는 그림 6과 같이 대부분의 셀이 2차원의 스위치를 그대로 이용하고 있다. 단지 I/O와 연결된 셀만이 스위치를 이용하여 연결선을 교차하게 한다. 다시 말해서 평면의 외곽에 있는 셀만이 아래와 위 평면과 연결되게 된다. 이렇게 구현을 함으로써 그림 7과 같이 스위치 구조를 단순화시킬 수 있다. 그리고 이것은 배선을 위하여 긴 연결선이 필요한 경우

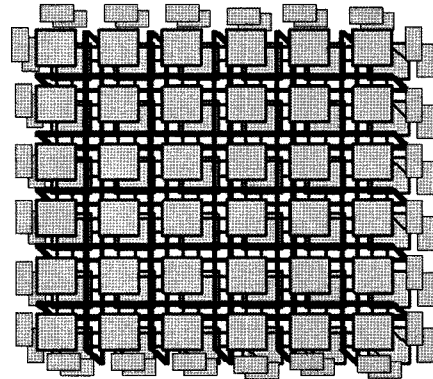


그림 6 제안된 FPGA 구조

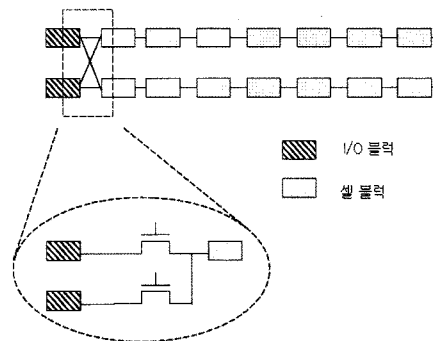


그림 7 제안된 FPGA 구조의 평면도와 I/O 스위치 구조

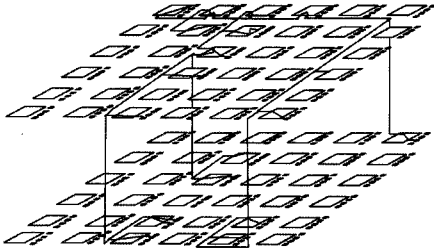
에 다른 평면으로 연결선을 배선시킴으로써 연결선의 총 길이를 줄일 수 있다. 만약 2층의 $m \times n$ 크기의 3차원 FPGA의 경우 아래 평면으로 연결하기 위한 스위치로의 연결의 수는 $m \times n + (m + n) - 1$ 이지만 제안된 FPGA는 단지 $2(m + n) - 4$ 개만 필요하다. 또한 최적의 배선을 구하는 알고리즘에서 배열의 평면에 연결 상태를 구하는 정보만을 추가하여 기존의 배선 알고리즘을 그대로 이용할 수 있다.

그림 7에서는 제안한 구조의 평면도와 스위치 구조를 보여주고 있다. 평면의 4분면에만 다른 평면과 연결선을 가지고 있으며, 간단한 스위치 구조만으로 I/O핀과 연결한다. 이러한 구조는 3D FPGA보다 배선과 구조의 복잡도를 낮추면서 평면 FPGA와 비교했을 때 3D FPGA만큼의 연결선을 줄일 수 있다.

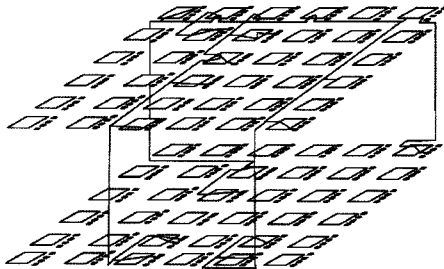
그림 8에서 제안된 구조의 차이를 좀 더 보이기 위하여 실제 Virtex2의 배선을 사용하여 세 가지 FPGA 구조의 배선의 차이를 보여준다. 3차원 FPGA에서는 평면의 모든 스위치가 다른 평면의 수직에 위치한 스위치와 배선을 할 수 있다. 하지만 제안된 구조에서는 평면의 끝에 위치한 스위치를 제외하고는 2차원 평면 스위치를 가지고 있다. 그림 8과 같이 배선을 하였을 때 3차원



(a) 2차원 FPGA의 배선의 예



(b) 3차원 FPGA의 배선의 예



(c) 제안된 FPGA의 배선의 예

그림 8 3D FPGA, 평면 과 제안된 FPGA의 배선 예

FPGA와 제안된 FPGA에서의 배선의 차이가 거의 없다는 것을 알 수 있다.

본 논문에서는 이 구조가 2차원 평면 FPGA와 연결선을 비교를 위해서 Xilinx 사의 Virtex II 스위치 구조와 블록 구조를 가지고 있다고 가정한다. 그리고 기존 2차원의 Virtex II의 각 연결선의 수와 3D FPGA의 연결선의 수를 비교한다. 이 실험을 위해 ISE 8.1의 FPGA Editor[6]를 이용하여 내부 연결선과 배치 정보를 얻어내고, 배선 프로그램을 통해서 전체 배선의 길이 예측 값을 비교한다.

4. FPGA 모델과 배선 방법

3차원 FPGA를 위해서 Gambit[20]와 Spiffy[21]같은 배선 프로그램이 제안되었다. 이러한 프로그램은 동시 배선과 모의 풀림(simulated annealing)을 통해서 프로그램의 수행 시간을 줄일 수 있는 방법들을 사용하였다.

하지만 본 논문에서는 이러한 수행 시간보다는 시간이 오래 걸리더라도 최적의 해답을 찾아내는 것이 초점을 두었다. 그래서 배선의 길이 비교 시 모든 경우의 배선을 찾아서 비교하고 선택하는 가장 간단한 방법을 사용한다.

제안된 FPGA의 총 길이를 비교하기 위해서 기존의 3차원 프로그램에서 FPGA 모델을 수정하여야한다. 본 논문에서는 Gambit과 Spiffy의 FPGA 모델과 알고리즘을 이용하여 JAVA로 배선 길이를 예측할 수 있는 프로그램을 만든다. 만들어진 프로그램이 하는 일은 크게 두 가지로 Xilinx FPGA Editor에서 만들어진 네트 리스트 정보를 배열 형태로 해석하여 저장하고, 이 정보로 배선을 수행하여 결과를 출력한다.

앞 선 배선 프로그램들에서 FPGA의 그래픽적인 해석과 길이 비교를 위해서 격자 모델을 사용한다. 본 논문에서도 이러한 격자 모델을 사용하여 배선을 수행하고 배선의 값을 평가한다. Virtex II의 CLB는 외부 CLB나 핀 연결 시 스위치를 거쳐서 연결되며, 4개의 CLB가 하나의 스위치에 큰 블록을 가지고 있다. 그러므로 격자 모델 시 스위치와 CLB를 하나의 노드로 간주한다.

본 논문에서 제안된 FPGA와 3차원 FPGA의 배선의 총길이를 구하기 위해서 Gambit과 Spiffy에서와 같이 전역 배선 시 사용되는 Thumbnail 알고리즘을 사용한다. Thumbnail 알고리즘은 가장 작은 직선의 슈타이너 수목(minimum rectilinear Steiner arborescence) 트리를 찾는 알고리즘이다. 그림 9에서와 같이 9개의 노드가 있

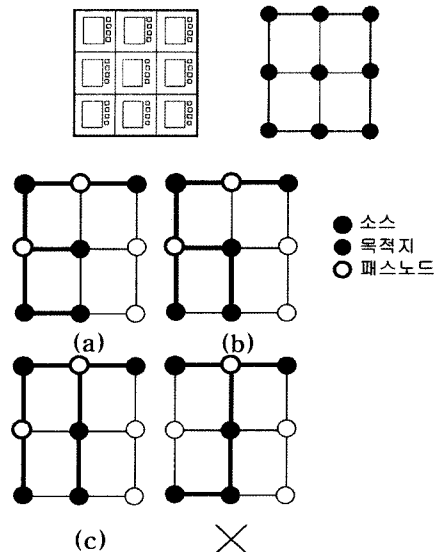


그림 9 격자 모델과 Thumbnail 알고리즘

는 그래프에서 그래프 (a), (b), (c)의 배선 값은 6이고 마지막 그래프는 배선 값이 5이다. 따라서 가장 배선의 길이가 짧은 배선은 마지막 그래프이다. 하지만 소스-목적지의 길이를 비교했을 때 (a)(b)(c) 그래프의 경우 가장 긴 소스-목적지 길이가 3이고, 마지막 그래프는 가장 긴 소스-목적지 길이가 4이다. 따라서 전체 길이로 보았을 때 마지막 그래프가 효과적일 것 같지만, 마지막 그래프가 가장 긴 소스-목적지 길이가 다른 그래프들보다 길기 때문에 가장 작은 직선의 슈타이너 수목 트리의 선택에서 배제된다. 그리고 가장 작은 직선의 슈타이너 수목 트리는 (a), (b), (c)만 선택된다. 본 논문에서는 배선 시 걸리는 시간이나 메모리 등에는 초점을 맞추지 않고, 가장 최적의 소스-목적지를 구한다. 따라서 모든 연결 경우를 고려하여 배선의 길이를 구하고 비교한다.

본 논문에서는 FPGA의 구조를 바꿈으로써 배선의 길이가 얼마나 줄어드는지에 목적을 두고 있다. 따라서 모든 연결 경우를 고려하여 가장 작은 직선의 슈타이너 수목 트리를 구했을 때, 수직 연결선을 지나고 전체적인 배선의 길이를 줄였을 때만 그래프를 저장한다. 이러한 그래프가 존재하지 않았을 때는 2차원 FPGA의 배선을 그대로 사용한다. 수정 배선되어진 연결선 그래프가 여러 개 존재 했을 때, Virtex II의 배선 구성과 가장 유사한 것을 우선적으로 선택한다. 예를 들어, Virtex II는 소스-목적지 구성 시 연결선 AB와 AC 그리고 BC로 구성되었고 프로그램이 가장 작은 직선의 슈타이너 수목 트리를 찾아서 길이가 개선되었다고 가정한다. 그리고 이러한 트리가 두개가 존재한다고 가정했을 때 하나의 트리는 연결선 AB와 AC로 구성되고, 다른 하나는 AC와 AD로 구성된다면, Virtex II와 구성을 비교하여 공통적인 연결선을 지나게 되는 첫 번째 트리를 선택한다.

만들어진 프로그램은 기존에 개발된 배선 프로그램과 같이 FPGA의 각 부분을 다음과 같이 추상화하고, 그래프로 해석할 수 있는 데이터 구조로 표현된다. 그리고 연결선의 경우 이것이 연결 가능한지와 배선 시 사용되는지를 나타내기 위한 별도의 데이터 구조를 가지게 된다.

칩 : 3차원 배열로 표현한다.

핀 : 하나의 노드로 표현된다.

CLB : Virtex II에서는 4개의 CLB가 하나의 스위치에 존재한다. 따라서 스위치와 CLB 4개를 하나의 노드로 간주한다.

스위치 : 하나의 노드로 표현된다.

연결선 : 3차원 배열로 표현되며 배선 시 사용 여부에 따라 1로 표현되고, 사용 되지 않는다면 0으로 표현된다.

연결선의 연결 가능성 : 3차원 배열로 표현한다. 이때

연결 가능하다면 1을 불가능하다면 0으로 표현한다.

만들어진 배선 길이 예측 프로그램은 FPGA Editor에서의 넷 리스트를 데이터 구조에 따라 배열 형태의 그래프로 변환하여 저장한다. 예를 들어 블록 AB와 블록 AC가 연결되어 있다면, 블록 AB에 해당하는 열과 블록 AC에 해당하는 행이 만나는 곳에 1로 기록하고 연결이 되어있다면 0으로 기록한다. 그리고 여러 가지 정보를 배열 형태로 가지고 있다. 내부 연결선의 종류마다 각각의 배열을 가지고 있으며, 각 구간의 연결선은 이 연결되면 기록을 하여 그 연결선이 중복되어 쓰이지 않게 하였다.

배선을 통해서 제안된 3차원 FPGA의 전체 배선 값과 구성을 알 수 있는 프로그램의 전체 흐름도를 그림 10에서 보여주고 있다. 한 소스-목적지에서 Thumbnail 알고리즘을 통해서 가장 작은 직선의 슈타이너 수목 트리를 찾고, 개선 여부를 체크하여서 개선되었다면 이 그래프를 저장하고, 개선되지 않았다면, 배선 그래프의 정보를 수정하지 않는다. 이러한 방법으로 제안된 3차원

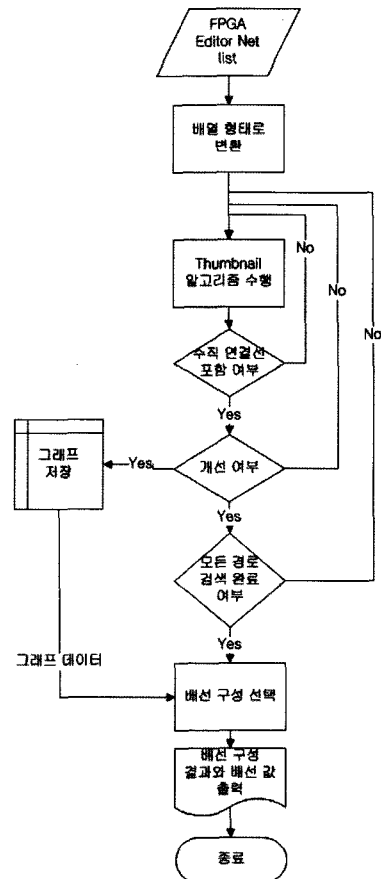


그림 10 배선 길이 예측 프로그램의 흐름도

FPGA의 구조를 가졌을 때 모든 소스-목적지의 배선을 개선 사항을 알 수 있다. 전체적인 전역 배선이 끝난 후 이 배선을 구성하는 구성원을 선택한다. 가장 길이가 긴 배선의 종류부터 할당할 방법을 우선적으로 할당한다.

5. 실험

기존 연구에서 FPGA의 배선되어진 연결선의 길이와 물리적인 연결선들이 전력소모의 주요한 요인이며 전력소모를 줄이기 위해서는 이러한 연결선을 줄여야하는 것을 증명하고, 연결선과 비례 관계를 보이는 것을 보였다. 따라서 FPGA의 연결선을 줄임으로써 FPGA 전체의 전력소모를 낮출 수 있다. 본 논문에서는 기존 연구를 바탕으로 직접적인 전력소모 측정은 하지 않고 FPGA의 연결선을 줄임을 보인다. 그리고 제안된 FPGA가 배선이 된 후의 연결선의 길이가 Virtex II보다는 작고, 3차원 FPGA보다 물리적인 수직선은 줄어들음을 보인다. 앞장에서 제안된 FPGA가 다른 평면으로 연결하기 위해 물리적인 연결선은 Virtex II와 비교했을 때 비슷하며, 3차원 FPGA보다는 적다는 것을 보였다. 그러므로 배선시의 사용되는 연결선의 길이가 3차원 FPGA보다 비슷하다면 전체적인 연결선은 작아진다는 것을 보일 수 있다.

Xilinx사의 FPGA Editor에서는 블록의 배치와 배선 정보가 XDL(Xilinx Design language) 네트리스트 파일 형태로 제공된다. 이러한 네트리스트를 열어내기 위해서 ISCAS89 벤치마크 회로를 이를 합성하고 FPGA Editor PROBE로 최종적으로 배선과 배치가 된 정보를 얻어냈다. 이 네트리스트를 그래프로 해석하고 배선 프로그램에서 사용하였다. 현재까지 3D FPGA와 입체적인 배치와 배선을 할 수 있는 프로그램은 여러 논문에서 실험되었지만 Xilinx사의 Virtex구조를 실험하기 위해 기존 연구와 같이 3D FPGA에서 배선을 할 수 있는 프로그램을 만들었다. 이 배선 길이 예측 프로그램은 JAVA로 구현되었으며, 3D FPGA와 제안된 구조의 블록의 구조가 Xilinx 사의 Virtex II의 CLB와 스위치 구조를 가지고 있다고 가정한다. 또한 이 프로그램에서는 합성되어진 회로의 배선 구조를 받아오고, 이 회로의 연결선들의 구성을 기록하여 알려준다.

본 논문에서는 Virtex II와 비교를 위하여 같은 수의 논리 조직으로 구성되어진 FPGA구조를 가정하였다. 또한 면적을 유지하면서 배치 구조가 같은 상황의 경우를 가정하기 위해서 FPGA가 구조가 직사각형 모양의 FPGA를 가정한다. 예를 들어 Virtex 2의 논리 블록이 12×10을 가지고 있다면 3D FPGA와 제안한 FPGA의 구조는 12×5의 논리 블록을 가지는 평면의 2층 구조를 비교하였다.

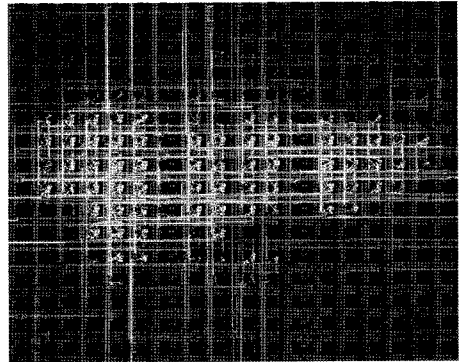


그림 11 FPGA Editor로 본 ISCAS의 배선과 배치

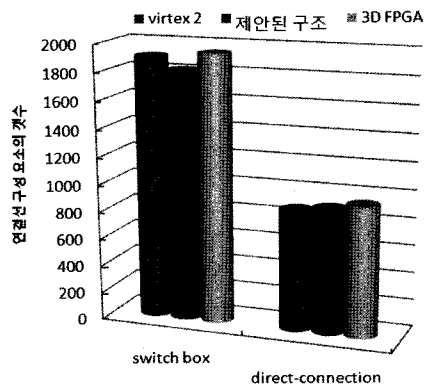


그림 12 switch Box와 direct-connection 의 개수 비교

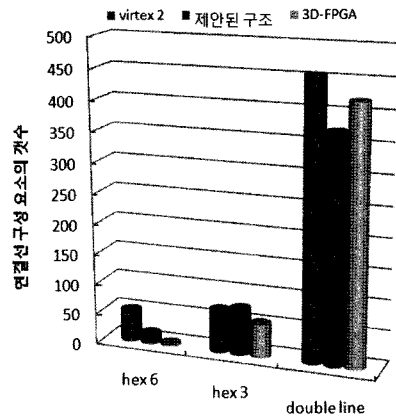


그림 13 Hex line과 double line 의 개수 비교

그림 12와 그림 13에서 배선에서 사용되는 결과를 보여준다. 이 실험을 통해 제안된 구조로 설계를 하고 배선을 하였을 때 Virtex II 보다 스위치 박스는 4.7% 감소하였고, direct connection은 3.2% 증가하였다. 내부 연결선 중에서 Hex 3 연결선은 8.5% 증가하였지만 Hex 6 연결선은 69.2% 감소를 하였다. 또한 double

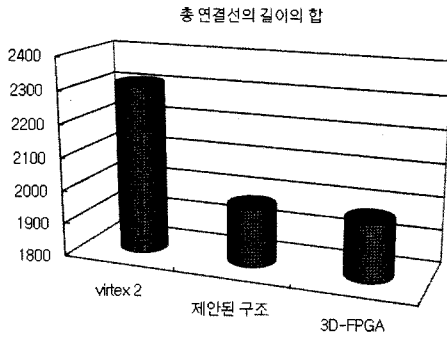


그림 14 사용된 연결선의 총 길이의 합의 비교

line 또한 18.4% 감소했다. 3차원 FPGA는 스위치 박스는 2% 증가하였고 direct connection는 8.2% 증가하였다. Hex 6 연결선은 94.2% 감소하였고 hex 3 연결선은 21.4% 감소하였다. double line은 7.8% 감소하였다.

전체 사용된 연결선의 길이를 비교하기 위해서 한 블록의 길이를 1이라고 했을 때 전체 연결선의 길이를 그림 14에서 보여주고 있다. Virtex 2와 비교했을 때 보다 17% 정도 감소했으며 3차원 FPGA와 비교했을 때 0.5% 차이로 거의 차이를 보이지 않았다.

6. 결론

전체 연결선은 FPGA 전체 전력의 65%를 차지하고 연결선의 길이에 비례하여 전력소모가 증가하게 된다. 그래서 배선되어진 연결선의 길이와 전체 와이어를 줄임으로써 전력소모를 줄일 수 있다. 본 논문에서는 제안된 FPGA구조가 배선되어진 연결선의 길이가 줄어드는 것을 실험을 통해 확인하기 위해서 현재 널리 쓰이고 있는 Xilinx 사의 Virtex II FPGA의 배선과 배치 방법으로 구성하고, ISE 8.1의 FPGA Editor 와 배선 길이 예측 프로그램을 통해 배선의 구성원의 수를 비교하였다.

실험 결과 Virtex 2와 비교했을 Hex 3와 direct connection은 소폭 상승하였지만 전체적인 배선되어진 연결선의 총길이는 17% 감소하였다. 기존 3차원 FPGA와 비교 시 다른 평면으로 연결하기 위한 물리적 연결선은 $m \times n$ 의 평면을 가정했을 때 $mn - m - n - 5$ 만큼 연결선을 줄 있다. 그리고 배선 시 사용되는 연결선은 거의 차이를 보이지 않았다. 본 논문에서 제안하는 FPGA는 기존 3차원 FPGA 구조를 단순화시킴으로써 3차원 FPGA보다는 다른 평면으로 연결하는 연결선의 수를, 2차원 FPGA보다는 배선시의 사용되는 연결선의 수를 줄 수 있었다.

참고 문헌

[1] E. Boemo, G. Gonzzalez de Rivera, S. Lopez-Buedo,

and J. M. Meneses. "Some notes on power management on FPGA-based systems," *Field-Programmable Logic and Applications*, pp. 149-157, Aug. 1995.

- [2] A. Lesea, M. Alexander, "Powering Xilinx FPGAs," XILINX.COM
- [3] Alexander M.J., Cohoon J.P., Cofflesh J.L. Karro J., Robins G., "Three-dimensional field-programmable gate arrays," *ASIC Conference and Exhibit, Proceedings of the Eighth Annual IEEE International*, Vol., Iss., 18-22, Sep. 1995, pp. 253-256, 1995.
- [4] Ababei, C., Mogal, H., and Bazargan, K. "Three-dimensional place and route for FPGAs," In *Proceedings of the 2005 Conference on Asia South Pacific Design Automation*, Shanghai, China, January 18-21, 2005.
- [5] http://www.x2e.de/virtex/virtex_x2e.html
- [6] www.xilinx.com
- [7] <http://www.xilinx.com/xapp/xapp151.pdf>
- [8] S. Bilavarn, G. Gogniat, J. L. Philippe, "Area Time Power Estimation for FPGA Based Designs at a Behavioral Level," *ICECS*, Beyrouth, December 2000.
- [9] M. Buhler, M. Papesch, K. Kapp, U. G. Baitinger, "Efficient switching activity simulation under a real delay model using a bitparallel approach," *Proceedings of the conference on Design, automation and test in Europe*, Jan. 1999.
- [10] A. Lesea, M. Alexander, "Powering Xilinx FPGAs," <http://www.xilinx.com/xapp/xapp158.pdf>, XILINX.COM
- [11] E. A. Kusse, "Analysis and circuit design for a low power programmable logic modules," Master's thesis, Dept. of Electrical Engineering and Computer Science, University of California at Berkeley, 1998.
- [12] Varghese George, Hui Zhang, and Jan Rabaey, "The Design of a Low Energy FPGA," *International Symposium on Low power Electronics and Design*, 1999.
- [13] A. Rahman, A. Fan, and R. Reif. "Comparison of key performance metrics in two- and three-dimensional integrated circuits," *Interconnect Technology Conference*, pp. 18-20, Burlingame, CA, USA, 2000.
- [14] A. Fan and R. Reif. "Three-dimensional integration with copper wafer bonding," In *Interconnect Technology Conference*, pp. 18-20, 2000.
- [16] Cahill, C. 외 12명, "Thermal characterization of vertical multichip modules MCM-V," *Components, Packaging, and Manufacturing Technology, Part A*, IEEE Transactions on, Vol.18, No.4, pp. 765-772, Dec 1995.
- [17] M. Leeser, W. M. Meleis, M. M. Vai, S. Chiricescu, W. Xu, and P. M. Zavracky, "Rothko:

A three-dimensional FPGA," IEEE Design and Test of Computers, Vol. 15, pp. 16 -23, Jan.-Mar. 1998.

- [18] Lesser, M., Meleis, W.M., Vai, M.M., and Zavracky, P.M. "Rothko: A Three Dimensional FPGA Architecture, Its Fabrication, and Design Tools," Field-Programmable Logic and Applications, 1997.
- [19] Meleis, W., Leeser, M., Zavracky, P., and Vai, M., "Architectural Design of a Three Dimensional FPGA," IEEE Seventeenth Conference on Advanced Research in VLSI, pp. 256-268, 1997.
- [20] John E. Karro, "Algorithmic and Theoretical Problems Related to the Physical Design of Three Dimensional Field Programmable Gate Arrays," thesis of Ph.D., Univ. of Vireginia, USA, Aug. 2000.
- [21] Karro, J., Cohoon, J.P., "A Spiffy tool for the simultaneous placement and global routing for three-dimensional field-programmable gate arrays," VLSI, 1999. Proceedings. Ninth Great Lakes Symposium on, pp. 230-231, 4-6 Mar. 1999.



전 호 윤

2002년 2월 홍익대학교 컴퓨터정보통신 학부 학사 취득. 2004년 2월 홍익대학교 컴퓨터공학과 석사 취득. 2006년 3월 연세대학교 전기전자공학과 박사과정. 관심 분야 마이크로프로세서, 저전력 캐쉬, SoC



이 용 석

1973년 2월 연세대학교 전기공학과 학사
1977년 2월 University of Michigan, Ann Arbor 석사. 1981년 2월 University of Michigan, Ann Arbor 박사
1993년~현재 연세대학교 전기전자공학과 교수. 관심분야는 마이크로프로세서, 네트워크 프로세서, 암호화 프로세서, SoC



김 판 기

2006년 2월 숭실대학교 전자공학과 학사. 2006년 3월~현재 연세대학교 전기전자공학과 석사과정. 관심분야는 네트워크 프로세서, 암호화 프로세서, SoC



이 형 표

2001년 건국대학교 전자공학과 학사 졸업. 2001년~현재 삼성전자 DM총괄 선임연구원. 2006년~현재 연세대학교 전기전자공학과 석사과정. 관심분야는 영상신호처리, SoC 설계



김 현 필

2005년 2월 연세대학교 전자공학과 학사
2005년 9월~현재 연세대학교 전기전자공학과 석사과정. 관심분야는 프로세서, SDR, ASIC, SoC, 영상처리