
UHF RFID 태그 칩용 저전력, 저면적 비동기식 EEPROM 설계

백승면* · 이재형* · 송성영* · 김종희* · 박문훈* · 하판봉* · 김영희*

A design on low-power and small-area EEPROM for UHF RFID tag chips

Seung-Myun Baek* · Jae-Hyung Lee* · Sung-Young Song* · Jong-Hee Kim* · Mu-Hun Park* ·
Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 0.18 μm 의 EEPROM cell을 사용하여 수동형 UHF RFID 태그 칩에 사용되는 저전력, 저면적의 1Kbits 비동기식 EEPROM IP를 설계하였다. 저면적 회로 설계 기술로는 0.18 μm EEPROM 공정을 이용하여 비동기식 EEPROM IP를 설계하므로 command buffer와 address buffer를 제거하였고 separate I/O 방식을 사용하므로 tri-state 데이터 출력 버퍼(data output buffer)를 제거하였다. 그리고 저전압(low voltage)의 VDD에서 EEPROM cell이 필요로 하는 고전압(high voltage)인 VPP와 VPPL 전압을 안정적으로 공급하기 위해 기존의 PN 접합 다이오드 대신 Schottky 다이오드를 사용한 Dickson 전하펌프를 설계하므로 전하펌프의 펌핑단(pumping stage)의 수를 줄여 전하펌프가 차지하는 면적을 줄였다. 저전력 회로 설계 기술로 Dickson 전하 펌프(charge pump)를 이용하여 VPP generator를 만들고 Dickson 전하펌프의 임의의 노드 전압을 이용하여 프로그램과 지우기 모드에서 각각 필요로 하는 VPPL 전압을 선택하도록 하게 해주는 VPPL 전원 스위칭 회로를 제안하여 쓰기전류(write current)를 줄이므로 저전력 EEPROM IP를 구현하였다. 0.18 μm 공정을 이용하여 설계된 비동기식 EEPROM용 테스트 칩은 제작 중에 있으며, 비동기식 1Kbits EEPROM의 레이아웃 면적은 554.8 × 306.9 μm^2 로 동기식 1Kbits EEPROM에 비해 레이아웃 면적을 11% 정도 줄였다.

ABSTRACT

In this paper, a low-power and small-area asynchronous 1 kilobit EEPROM for passive UHF RFID tag chips is designed with 0.18 μm EEPROM cells. As small area solutions, command and address buffers are removed since we design asynchronous I/O interface and data output buffer is also removed by using separate I/O. To supply stably high voltages VPP and VPPL used in the cell array from low voltage VDD, Dickson charge pump is designed with schottky diodes instead of a PN junction diodes. On that account, we can decrease the number of stages of the charge pump, which can decrease layout area of charge pump. As a low-power solution, we can reduce write current by using the proposed VPPL power switching circuit which selects each needed voltage at either program or write mode. A test chip of asynchronous 1 kilobit EEPROM is fabricated, and its layout area is 554.8×306.9 μm^2 , 11% smaller than its synchronous counterpart.

키워드

RFID, EEPROM, Low-power, Small-area, Schottky diode, Dickson charge pump

I. 서론

RFID(Radio Frequency Identification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변 정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다[1]. 현재 RFID는 사용하는 분야가 점점 넓어지면서 배터리(battery)가 있는 능동형 보다 배터리가 없어 저가격, 소형화에 유리한 수동형 태그 칩 개발에 많은 노력을 기울이고 있다 [2]. RFID 태그 규격 중에서 Class1의 Generation2는 수동형(passive) 태그로 소형화와 가격 면에서 유리한 이점을 가지고 있으며, 읽기와 쓰기 기능뿐만 아니라 사용자에게 의한 보안 기능을 강화한 lock기능, 태그 칩의 사용을 하지 못하도록 한 kill과 같은 부가적인 기능을 탑재하고 있어 물류, 교통, 재고관리와 같은 분야에서의 응용이 예상된다.

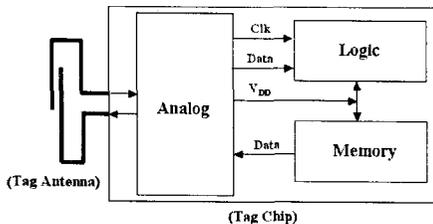


그림 1. RFID 태그 칩의 구조
Fig. 1. Architecture of RFID tag chip

수동형 UHF RFID 태그는 그림 1과 같이 안테나와 태그 칩으로 구성되고, 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다[3]. 아날로그 회로는 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기(Demodulator), 데이터를 주파수 신호로 바꾸어주는 변조기(Modulator), 리더(reader)에 의해서 안테나에 공급받은 에너지를 공급전압으로 만들어주는 전압배율기(Voltage multiplier)로 구성되어 있다. 로직회로는 프로토콜, CRC(Cyclic Redundancy Check) 확인, 에러검사 및 아날로그 회로의 동작모드를 조절하는 역할을 한다. 메모리 회로는 읽기/쓰기(read/write)가 가능하고 파워다운(power-down)시 저장된 정보를 유지할 수 있는 비휘발성 메모리인 EEPROM이 사용되고 있으며, 메모리 용량은 96bit, 128/256bit 정도면 가능하지만 보다 부가적인 기능과 정보를 저장하기 위해 1Kb의

EEPROM이 요구되어진다[4]. 수동형 태그 칩에서는 UHF 신호를 받아서 아날로그 블록의 전압배율기에서 만들어진 power인 VDD(power supply voltage)로 ID를 확인하고 데이터를 리더기에 전송하기 위해서는 저전력(low power) 회로 설계가 요구되며, 태그칩의 원가 절감을 위해 저면적(small area) IP를 필요로 한다[5].

본 논문에서는 0.18 μm 의 EEPROM cell을 사용하여 수동형 UHF RFID 태그 칩에 사용되는 저전력, 저면적의 1Kb 비동기식 EEPROM IP를 설계하였다.

저면적 설계 기술로는 0.18 μm EEPROM 공정을 이용하여 비동기식 EEPROM IP를 설계하므로 동기식 EEPROM IP[4]에서 필요로 하는 command buffer와 address buffer를 제거하였다. 또한 separate I/O 방식을 사용하므로 common I/O 방식에서 사용된 tri-state 데이터 출력 버퍼(data output buffer)를 제거하였다. 그리고 저전압(low voltage)의 VDD에서 EEPROM cell이 필요로 하는 고전압(high voltage)인 VPP와 VPPL 전압을 안정적으로 공급하기 위해 기존의 PN 접합 다이오드 대신 Schottky 다이오드를 사용한 Dickson 전하펌프[6]를 설계하므로 전하펌프의 펌핑 단(pumping stage)의 수를 줄여 전하펌프가 차지하는 면적을 줄였다.

저전력 회로 설계 기술로 Dickson 전하 펌프(charge pump)[6]를 이용하여 VPP generator를 만들고 Dickson 전하펌프의 임의의 노드 전압을 이용하여 프로그램과 지우기 모드에서 각각 필요로 하는 VPPL_PGM과 VPPL_ERS 전압을 선택하도록 하는 VPPL 전원 스위칭 회로를 제안하였다. 이 기술은 EEPROM의 프로그램과 지우기 모드에서 필요로 하는 고전압인 VPP와 VPPL 전압을 만들어주는 전압발생기(voltage generator)를 독립적으로 만들어 주는 경우보다 쓰기전류(write current)를 줄여 저전력 EEPROM IP를 구현할 수 있다. 0.18 μm 공정을 이용하여 설계된 비동기식 EEPROM용 테스트 칩은 제작 중에 있으며, 비동기식 1Kb EEPROM의 레이아웃(layout) 면적은 554.8 \times 306.9 μm^2 로 동기식 1Kb EEPROM에 비해 레이아웃(layout) 면적을 11% 정도 줄였다.

II. 회로설계

설계된 비동기식 EEPROM IP는 EPCglobal Class1 UHF Generation2 version 1.0.9 표준인 1.92MHz의 클럭

주파수를 기반으로 설계되었다. 비동기식 1Kbits EEPROM의 블록도는 그림 2에서 보는 바와 같이 128 rows × 8 columns의 EEPROM 셀 어레이(cell array), Row 디코더(Decoder), 동작모드에 따라 제어 신호를 발생시키는 Control Logic, 입력 데이터를 셀에 구동하는 WD(Write Data) driver, Cell로부터 Data를 감지하여 읽어내는 BL(Bit Line) 감지 증폭기(Sense Amplifier) 및 EEPROM의 쓰기 기능을 수행하기 위해 필요한 고전압인 VPP, VPPL을 공급해주기 위한 DC-DC 변환기로 구성되어 있다. 인터페이스 신호는 크게 제어 신호, 어드레스(address) 신호, 입력 데이터(input data), 출력 데이터(output data)가 있다. 제어 신호인 CE(Chip Enable), ERASE, PROGRAM, READ, RSTb(Reset) 신호가 있다. 어드레스는 ADD[6:0]의 7 bit 어드레스에 의해 128 바이트(Byte) 중의 한 바이트가 선택되며, Separate I/O로 DIN[7:0]과 DOUT[7:0]이 분리되어 있다. 동작 모드는 erase, program, read, reset 모드가 있으며, Control 신호에 따라 동작 모드가 결정된다. 일반적으로 쓰기 모드는 지우기와 프로그램 모드를 포함한다.

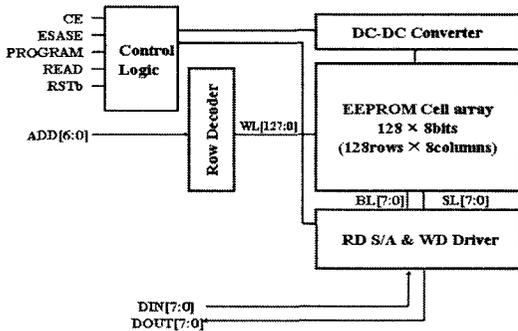


그림 2. 비동기식 1Kb EEPROM의 블록도
Fig. 2. Block diagram of asynchronous 1Kb EEPROM

EEPROM에 사용된 셀은 $0.88 \times 1.135 \mu m^2$ 의 플래쉬 EEPROM 셀을 사용하였으며, Erase와 program시 FN 터널링(Fowler-Nordheim tunneling) 방식을 이용한다.

EEPROM의 동작 모드는 지우기(Erase), 프로그램(Program), 읽기, 대기모드(Stand-by) 모드로 구분되어 있으며, Read와 Write 동작은 모두 positive 클럭에 동기되어 동작한다. 쓰기 모드는 지우기와 프로그램 모드를 포함한다.

그림 3은 기존의 동기식 EEPROM의 Write하는

Timing Diagram으로 먼저 Erase 구간에서 1 Byte Cell을 지운 뒤 Write할 Data를 프로그램 하도록 되어있다. 동기식 EEPROM의 read timing diagram은 그림 4와 같다. Read Cycle에서 읽는 데이터는 read command가 인가된 뒤 그 다음 CLK의 상승에지(rising edge)에서 태그 칩의 Logic에서 데이터를 가져가도록 하고 있다.

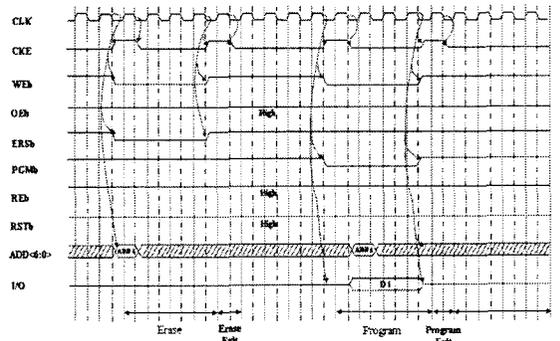


그림 3. 동기식 EEPROM의 write timing diagram
Fig. 3. Write timing diagram of synchronous EEPROM

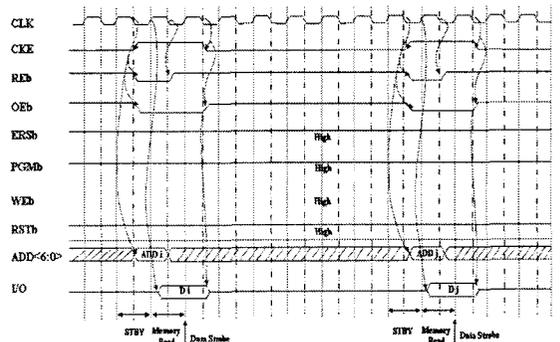


그림 4. 동기식 EEPROM의 Read Timing Diagram
Fig. 4. Read timing diagram of synchronous EEPROM

동기식 EEPROM의 경우 CLK의 rising edge에 들어오는 제어신호를 latch하는 command buffer 및 command decoding을 하는 control state machine이 필요한 반면 비동기식 EEPROM에서는 앞에서 언급한 회로들이 필요 없다. 그리고 동기식 EEPROM에서는 각각의 동작 모드 동안만 valid address를 유지 하도록 positive-edge triggered D F/F을 사용한 Address buffer를 두고 있다. 반면 비동기식 EEPROM에서는 동작 모드가 바뀌기 전까

지 Address를 유지하므로 address buffer를 제거하였다. 그림 5는 비동기식 EEPROM의 write timing diagram으로 먼저 Erase 구간에서 프로그램 할 address의 1 바이트 Cell의 데이터를 지운 뒤, 프로그램 할 데이터를 쓰도록 되어 있다. Erase 동작은 write할 address를 먼저 인가한 뒤 CE와 ERASE 신호를 High로 activation 시키면 선택되는 address의 1 바이트 Cell의 데이터를 지우게 된다. Erase 이후 프로그램 동작은 Address와 입력 데이터를 먼저 인가한 상태에서 CE, PROGRAM 신호가 high로 activation 시키면 선택되는 Address의 1 바이트 셀에 입력 데이터를 write하게 된다.

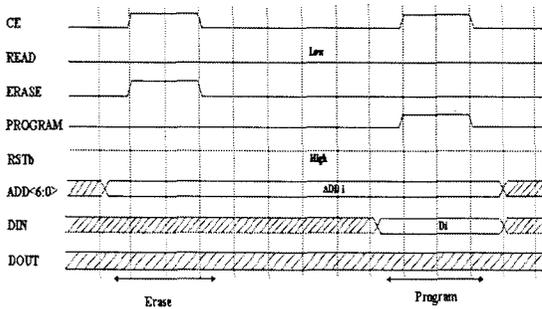


그림 5. 비동기식 EEPROM의 write timing diagram
Fig. 5. Write timing diagram of asynchronous EEPROM

비동기식 EEPROM에서의 Read Timing Diagram은 그림 6과 같다. Read 동작은 읽어낼 address를 먼저 인가한 후 CE와 READ 신호를 high로 activation 시키면 선택된 셀의 바이트 데이터가 access time인 t_{ACC} 시간이 지난 이후 DOUT port로 나온다. 이 때 ERASE와 PROGRAM은 모두 Low를 유지해야 되며, DIN은 don't care 상태이다. 새롭게 제한된 비동기식 1Kb EEPROM에서는 기존의 Common I/O를 입력 포트와 출력 포트로 나누어 사용하는 Separate I/O 방식을 사용하였다. 그림 7은 비동기식 EEPROM에서 사용된 Clocked Inverter 방식의 RD(Read Data) 감지 증폭기[4]로 감지 증폭기의 출력이 바로 DOUT이다. 이와 같이 Separate I/O 방식을 사용하므로 tri-state Data Output Buffer를 제거할 수 있으므로 레이아웃 면적을 줄일 수 있다.

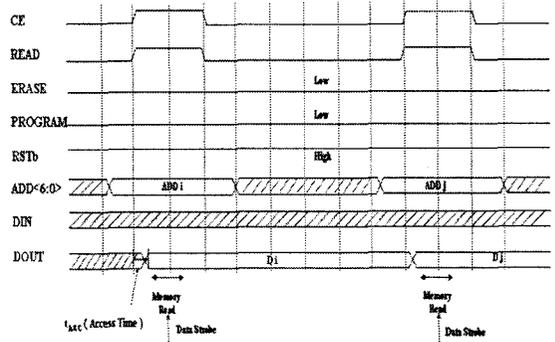


그림 6. 비동기식 EEPROM의 Read Timing Diagram
Fig. 6. Read timing diagram of asynchronous EEPROM

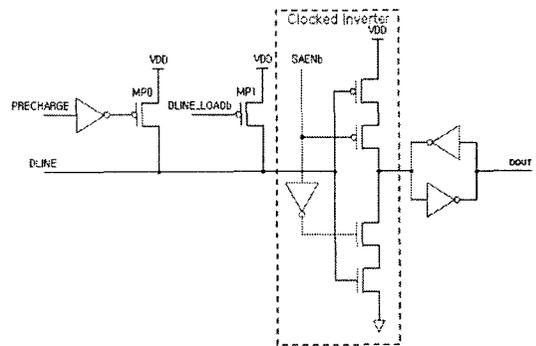


그림 7. Read Data 감지 증폭기[4]
Fig. 7 Read Data sense amplifier[4]

동작 모드에 따른 EEPROM 셀의 바이어스(bias) 전압 레벨은 표 1과 같다. 프로그램 모드에서는 VPP와 VPPL 전압은 각각 16V, 10V(=VPP-6V)이며, 지우기 모드에서는 VPP와 VPPL 전압은 각각 14V, 11V(=VPP-3V)의 전압이다.

표 1. EEPROM 셀의 동작모드에 따른 노드별 바이어스 전압 조건
Table. 1 Bias voltage conditions of each operation modes for EEPROM cell

	Program Cell	Erase Cell	Read Cell	Stand-by All
Control gate	16V	0V	1.8V	0V
Bit-Line	0V/10V	14V/11V	1.8V	Floating
Source-Line	Floating	Floating	0V	0V
HV-Pwell	0V	14V	0V	0V
Deep-Nwell	1.8V	14V	1.8V	1.8V

그림 8은 쓰기 모드에서 디슨 전하 펌프(Dickson Charge Pump)를 사용하여 고전압을 생성하기 위한 DC-DC 변환기의 블록도이다.

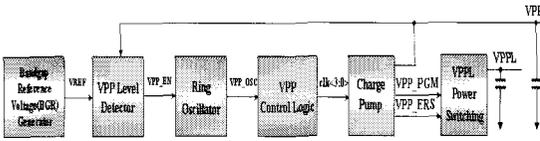


그림 8. DC-DC 변환기의 블록도
Fig. 8 Block diagram of DC-DC converter

DC-DC 변환기는 밴드갭 기준전압 발생기(Bandgap reference voltage generator), VPP 레벨 검출기(level detector), 링 발진기(ring oscillator), VPP 제어 로직(control logic), 전하 펌프와 VPPL 전원 스위칭 회로(power switching circuit)로 구성되어 있다. VPP 전압이 목표 전압(target voltage)보다 낮은 경우는 VPP 레벨 검출기의 출력신호인 VPP_EN이 high가 되어 링 발진기가 발진(oscillation)하여 전하 펌프에 의해 양전하(positive charge)가 VPP 노드로 펌핑 되어 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP_EN 신호가 low가 되어 펌핑이 멈추는 부채환(negative feedback) 방식을 사용하여 VPP는 목표 전압을 유지한다. VPP 레벨 검출기 회로는 13개의 고전압용 NMOS 다이오드를 직렬로 연결한 전압 분배기(voltage divider)를 이용하여 분배전압인 VPP/13과 VREF을 비교하여 펌프를 제어한다. 그러므로 VREF의 전압은 표 2에서 보는바와 같이 프로그램 모드에서 1.231V, Erase 모드에서 1.077V의 전압을 필요로 한다.

표 2. 동작모드에 따른 VREF, VPP, VPPL의 전압 레벨

Table. 2 VREF, VPP and VPPL voltage levels at different operating modes

	Program [V]	Erase [V]	Read [V]	Stand-by [V]
VREF	1.231	1.077	0	0
VPP	16	14	1.8	1.8
VPPL	10	11	1.8	1.8

그림 9는 DC-DC 변환기에서 전압을 승압시켜 쓰기 모드 시에 필요한 고전압인 VPP를 만들어 주는 Dickson 전하펌프 회로를 보여준다. 입력 전원으로 VDD를 사용하였고 펌핑 캐패시터는 MIM(Metal-Insulator-Metal)을 사용하였다. 전하펌프의 출력 전압은 VPP와 VPPL이다. 본 논문에서는 저전압에서 펌핑 단의 수를 줄여 면적을 줄이기 위해 PN 접합 다이오드 대신 다이오드의 Cut-In 전압이 낮은 N-type의 Schottky 다이오드를 사용하였다. 그림 10은 전하펌프에 사용된 Schottky 다이오드의 단면도이고, Anode는 금속성 재료인 CoSi₂에 연결되며, Cathode는 High-voltage N-well에 연결되어 N-type Schottky 다이오드로 동작하게 된다.

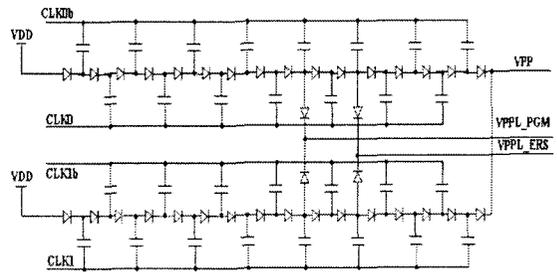


그림 9. Dickson 전하 펌프 회로
Fig. 9 Dickson Charge Pump circuit

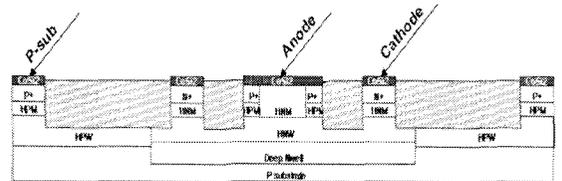


그림 10. N-type Schottky Diode의 단면도
Fig 10. The cross sectional view of N-type Schottky diode

프로그램 모드에서는 VPPL이 VPP-6V, 지우기 모드에서는 VPPL이 VPP-3V의 전압을 사용하므로 동작 모드별 VPPL을 구현하기 위해 추가적으로 DC-DC 변환기 회로를 필요로 하게 된다. 추가적인 DC-DC 변환기는 레이아웃 면적을 증가시킬 뿐만 아니라 전력소모도 증가하게 된다. 이 문제를 해결하기 위해 본 논문에서는 그림 9의 VPP 전하펌프의 임의의 노드전압인 VPPL_PGM (=VPP-6V)과 VPPL_ERS(=VPP-3V) 전압을 이용하여 그림11에서 보는바와 같이 프로그램 모드에서는 turn-on된

MPO를 통해 VPPL_PGM 전압이, 그리고 지우기 모드에서는 turn-on된 MP1를 통해 VPPL_ERS 전압이 VPPL에 공급되도록 하는 VPPL 전원 스위칭 회로를 사용하였다.

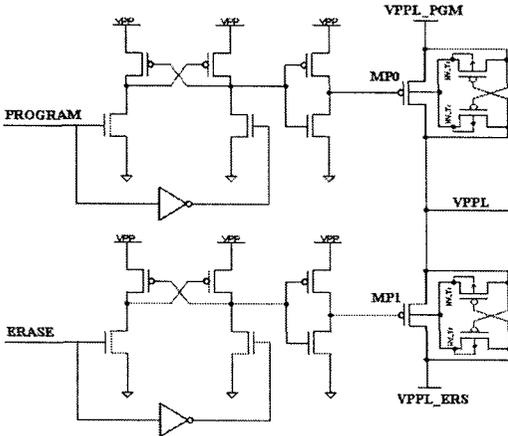


그림 11. VPPL 전원 스위칭 회로
Fig. 11 VPPL power switching circuit

III. 모의실험 결과

0.18 μ m EEPROM 공정을 이용하여 UHF RFID 태그 칩용 EEPROM을 설계하였다. 그림 12은 읽기 모드 시 태그 칩으로 들어오는 제어 신호(CE, READ), 그림 12에서 보는 바와 같이 EEPROM의 컨트롤 로직에서 나오는 PRECHARGE, DLINE_LOADb, SAENb 신호의 타이밍

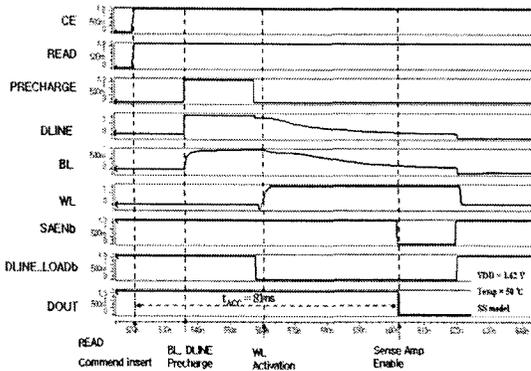


그림 12. 읽기 사이클에서의 critical path에 대한 모의실험 결과
Fig. 12 Simulation result to critical path in the read cycle

다이어그램을 보여주고 있다. 읽기 명령어가 들어오면 PRECHARGE 신호에 의해 DLINE과 BL은 VDD로 프리차지 된다. BL이 프리차지 된 후 WL이 활성화 되면서 BL에 데이터가 전달되면 SAENb 신호에 의해 DLINE의 데이터가 BL 감지 증폭기 통해 DOUT으로 나가게 된다. 모의실험 결과 t_{acc} (Read access time)은 VDD가 1.62V, 온도 50 $^{\circ}$ C일 때 81ns임을 알 수 있다.

그림 13은 프로그램 모드와 지우기 모드에서의 VPP와 VPPL을 보여준다. 모의실험 결과 프로그램 모드에서의 VPP는 16V이며, VPPL은 VPP-6V인 10V임을 확인하였고, 지우기 모드에서의 VPP는 14V이며, VPPL은 VPP-3V인 11V가 출력됨을 확인하였다.

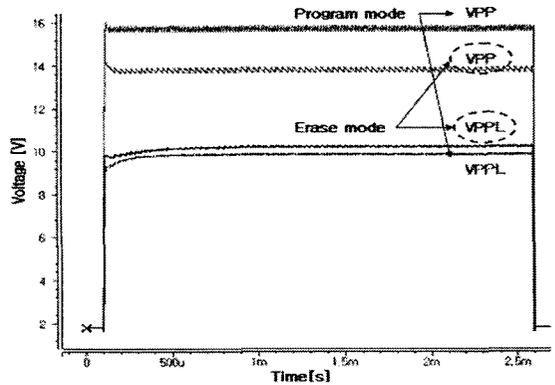


그림 13. 쓰기 모드에서 VPP와 VPPL에 대한 모의실험 결과

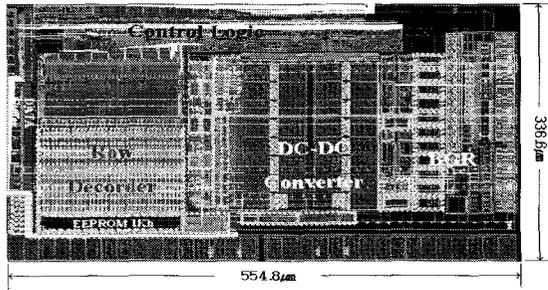
Fig. 13 Simulation result for VPP and VPPL in the write mode

표 3은 각각의 모의실험 조건에 따른 Program, Erase, Read 모드의 전류 소모량을 나타내고 있다. 각각의 모의실험 조건에서 model은 NMOS와 PMOS의 wafer 특성을 나타낸다. FF, TT, SS는 각각 Fast, Typical, Slow model을 나타낸다. Typical 조건에서 read, erase, program 모드의 전류 소모량은 각각 8.0 μ A, 25.5 μ A, 28.4 μ A이다.

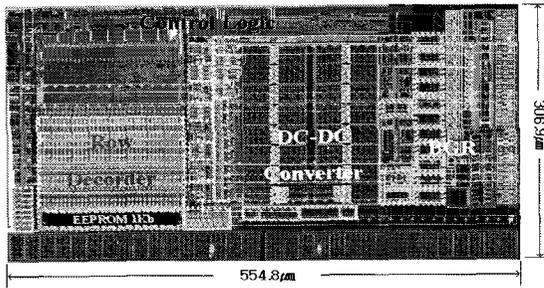
표 3. 모의실험 조건에 따른 Current dissipation
Table. 3 Current dissipation at different simulation conditions.

	FF model VDD = 1.98 V Temp = -40 $^{\circ}$ C	TT model VDD = 1.8V Temp = 25 $^{\circ}$ C	SS model VDD = 1.62V Temp = 50 $^{\circ}$ C
READ	9.9 μ A	8.0 μ A	7.3 μ A
ERASE	27.9 μ A	25.5 μ A	23.6 μ A
PROGRAM	31.4 μ A	28.4 μ A	25.7 μ A

그림 14(a)는 1Kb 동기식 EEPROM의 레이아웃 plot을 보여주며, 레이아웃 크기는 $554.8\mu\text{m} \times 336.6\mu\text{m}$ 이다. 그리고 그림 14(b)는 1Kb 비동기식 EEPROM의 레이아웃 plot을 보여주며, 크기는 $554.8\mu\text{m} \times 306.9\mu\text{m}$ 으로 동기식에 비해 11% 정도 레이아웃 면적을 줄였다.



(a)



(b)

그림 14 (a)1Kb 동기식 EEPROM Layout Plot,
 (b)1Kb 비동기식 EEPROM Layout Plot
 Fig. 14 (a) Layout plot of 1Kb synchronous EEPROM,
 (b) Layout plot of 1Kb asynchronous EEPROM

IV. 결 론

본 논문에서는 수동형 UHF RFID 태그 칩에 사용되는 저전력, 저면적의 1Kb 비동기식 EEPROM IP를 설계하였다. 저면적 회로 설계 기술로는 비동기식 EEPROM, separate I/O 방식과 Schottky 다이오드를 사용한 전하펌프를 사용하였다. 그리고 저전력 회로 설계 기술로는 Dickson 전하 펌프(charge pump)를 이용하여 VPP generator를 만들고 Dickson 전하펌프의 임의의 노드 전압을 이용하여 프로그램과 지우기 모드에서 각각 필요

로 하는 VPPL_PGM과 VPPL_ERS 전압을 선택하는 VPPL 전원 스위칭 회로를 제안하였다.

0.18 μm 공정을 이용하여 설계된 비동기식 EEPROM 용 테스트 칩은 제작 중에 있으며, 비동기식 1Kb EEPROM의 모의실험 결과 typical 조건에서 전류소비는 Read 모드에서 8.0 μA , Program 모드에서 25.5 μA , Erase 모드에서 28.4 μA 임을 확인하였으며, 레이아웃 면적은 $554.8 \times 306.9\mu\text{m}^2$ 로 동기식 1Kb EEPROM에 비해 레이아웃 면적을 11% 정도 줄였다.

감사의 글

본 논문은 2007년도 창원대학교 교내연구비에 의해 연구되었으며, 하드웨어/소프트웨어를 지원해준 IDEC(IC Design Education Center)에 감사를 표한다.

참고문헌

- [1] <http://www.epcglobalinc.org>.
- [2] Weinstein, R., "RFID : A technical overview and its application to the enterprise," IT Professional, vol.7, NO.3, pp.27-33 May-June 2005.
- [3] Udo Karthaus and Martin Fischer, "Fully Integrated Passive UHF RFID Transponder IC with 16.7 μW Minimum RF Input Power," IEEE Journal of Solid-State Circuits, vol.38, NO.10, pp.1602-1608, Oct. 2003.
- [4] "UHF RFID 태그칩용 저전력 EEPROM 설계", 한국해양정보통신학회논문지 제 10권 3호, pp.486-495, Mar. 2006.
- [5] G.Yaron, S.J.Prasad, M.S.Ebel, B.M.K.Leong, "A 16K E2PROM Employing New Array Architecture and Designed-In Reliability Features," IEEE JSSC, vol. SC-17, NO.5, pp.833-840, Oct. 1982.
- [6] J. F. Dickson, "On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE Journal of Solid-State Circuits, vol. 11, NO. 3, pp. 374-378, June. 1976.

저자소개



백 승 먼 (Baek Seung-Myun)

1984.7 경북대 전자공학과
공학사
1998.2 부산대학교 지능기계
시스템 공학석사

2005.3~현재 창원대학교 전자공학과 박사과정
1984.7~현재 LG전자 DA 사업본부 책임 연구원
※ 관심분야: RFID 태그 칩 용 저전력, 저면적 EEPROM
설계, SoC 설계



박 무 훈 (Mu-Hun Park)

1991.2 경북대학교 전자공학과
학사
1993.3 동북대학교 전기통신공학
연구과 석사

1996.3 동북대학교 전기통신공학연구과 박사
1998.8~현재 창원대학교 전자공학과 교수
※ 관심분야: 초음파 신호처리, 영상신호처리, 가상현실,
SoC 설계



이 재 형 (Hyung-Jae Lee)

2005.2 창원대학교 전자공학과
학사
2007.2 창원대학교 전자공학과
공학석사

2007.3~현재 창원대학교 전자공학과 공학박사과정
※ 관심분야: 저전력 EEPROM 설계, SoC 설계



하 판 봉 (Pan-Bong Ha)

1981.2 부산대학교 전기공학과
학사
1983.2 서울대학교 전자공학과
석사

1993.2 서울대학교 전자공학과 박사
1987.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 임베디드 시스템, SoC 설계



송 성 영 (Sung-Young Song)

2006.2 창원대학교 전자공학과
학사
2006.3~현재 창원대학교
전자공학과 공학석사과정

※ 관심분야: 저전력 EEPROM 설계, SoC 설계



김 영 희 (Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공대 전자전기공학과
공학석사

2000.8 포항공대 전자전기공학과 공학박사
1989.1~2001.2 현대전자 메모리연구소 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그
칩 설계



김 종 희 (Hee-Jong Kim)

2006.2 창원대학교 전자공학과
공학사
2006.3~현재 창원대학교
전자공학과 공학석사과정

※ 관심분야: 저전력 EEPROM 설계, SoC 설계