
FPGA 기술 매핑을 위한 소모 전력을 고려한 재사용 모듈 생성 알고리즘에 관한 연구

윤충모* · 김재진**

A Study of Reuse Module Generation Algorithm consider the Power Consumption for
FPGA Technology Mapping

Choong-Mo Youn* · Jae-Jin Kim**

본 논문은 2007년도 서일대학 학술연구비 지원에 의해 연구되었음

요 약

본 논문은 FPGA 기술 매핑을 위한 소모 전력을 고려한 재사용 모듈 생성 알고리즘을 제안한다. 제안한 알고리즘은 FPGA 기술 매핑을 위해 사용되는 재사용 모듈에 대해 소모 전력을 고려하여 RT 라이브러리를 생성하는 알고리즘이다. 소모 전력 계산을 위해 회로를 구현하고자 하는 FPGA를 선정한다. 선정된 FPGA를 구성하고 있는 LUT의 조건을 고려하여 전체 소모 전력이 최소가 되도록 기술 매핑을 수행한다. 이러한 정보를 이용하여 할당된 결과의 모듈들 중에서 주어진 소모 전력에 맞는 모듈을 선정하여 회로를 구현한다.

ABSTRACT

In this paper, reuse module generation algorithm consider the power consumption for FPGA technology mapping is proposed. To proposed algorithm is RT library generating algorithm consider power consumption for reuse module using FPGA technology mapping. In the first, selected FPGA for power consumption calculation. Technology mapping process have minimum total power consumption consider LUT's constraint in selected FPGA.

A circuit into device by selected proper modules of allocation result for power consumption constraint using data.

키워드

소모 전력, 재사용, 모듈, FPGA

I. 서 론

VLSI(Very Large Scale Integration) 제조 및 설계 기술

의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사양으로 등장하고 있다. 특히, 휴대

* 서일대학 정보전자과 교수

** 극동정보대학 컴퓨터정보과 교수

용 장치에 있어서 크기나 증량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 전력을 소모하는 원인들 중에서 가장 많은 비중을 차지하는 것은 캐피시턴스(capacitance)와 충전(charging), 방전(discharging) 과정에서 발생하는 동적 전력(dynamic power)이다[1]. 특히 저 전력 회로 설계의 경우 노드의 스위치 캐피시턴스를 감소시켜 회로의 동적 전력을 줄이는데 중점을 두고 있다[2]. 스위치 캐피시턴스의 수를 줄이기 위한 가장 효율적인 방법으로 노드의 스위칭 동작(switching activity)을 감소시켜야 하며, 소비 전력을 줄이기 위한 방법으로 여러 가지 방법들이 제안되고 있다[3][4][5].

현재 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있다. 상위 수준 합성은 설계하고자하는 동작 기술로부터 주어진 제한조건과 목적함수를 만족하는 RT(register-transfer) 레벨의 구조를 생성하는 단계를 의미한다. 저 전력 회로의 구현은 여러 설계 수준의 범위를 포함해야 하며 회로 설계 시 초기 단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 레벨에서의 조기 최적화는 매우 중요하다.[6][7][8][9]

이런 상위 수준 합성은 스케줄링, 할당, 바인딩으로 구성된다. 스케줄링은 동작 기술에서 연산(operation)들을 특정한 제어단계에 할당하는 과정이다. 스케줄링의 결과에 따라 회로의 크기와 소모 전력이 다르게 된다. 또한, 회로를 구현하고자 하는 대상 소자를 구성하고 있는 구성 요소에 따라서 소모 전력은 다르게 되며, 특히 CPLD의 경우는 CPLD를 구성하고 있는 CLB의 크기와 연결 정보에 따라 소모 전력이 다르게 되며 FPGA의 경우는 LUT의 연결 정보 등에 따라 소모 전력이 다르게 된다.[10][11][12][13]

따라서 본 논문에서는 FPGA를 이용한 저전력의 회로를 구현하기 위한 방법으로 상위수준에서 스케줄링을 수행할 때 적용되는 RT 라이브러리에 대해 소모 전력을 고려하여 전력 소모가 적은 RT 라이브러리를 만들 수 있는 알고리즘을 제안하였다.

II. 소모 전력을 고려한 재사용 모듈 생성 알고리즘

소모 전력을 고려하여 재사용이 가능한 모듈에 대해

저전력의 RT 라이브러리를 생성하기 위해서는 제공되는 RT 라이브러리의 소모 전력을 우선 계산하여야 한다. 계산된 소모 전력을 고려하여 최소의 소모 전력을 가진 RT 라이브러리를 만들기 위해 공통 노드 클러스터 병합과 노드 분할, 노드 복제 등의 방법을 이용한 알고리즘을 적용한다.

2.1. RT 라이브러리의 소모 전력 계산

RT 라이브러리의 소모 전력을 계산하는 방법으로 RT 라이브러리를 구성하고 있는 게이트들, 즉 노드들에 대해 입력 변수의 수와 출력의 수를 고려하여 각 노드의 값(node value)을 계산하고, 이를 바탕으로 회로의 전체 소모 전력을 계산한다.

그래프 분할의 제한 조건은 FPGA를 구성하고 있는 LUT의 종류에 따라서 달라지며 일반적으로 LUT가 가지고 있는 입력 변수의 수가 제한조건이 된다. RT 라이브러리의 전체소모 전력을 계산하기 위한 그래프 커버링 알고리즘은 그림 1에 나타내었다.

```

Procedure FFT_cover(N, k, mn, FC)
N : (V, E)
k, mn : 상수
FC : 매핑 가능 클러스터들의 집합

begin
  Subgraph_Level = 0;
  foreach v ∈ PI of N do
    Re(v) = { }
  end
  foreach v ∈ V in a topological order do
    while(mn-2) ≥ Subgraph_Level
    {
      while(k < FC_cost)
      {
        Re(v) = ∪FC(v)
      }
      Subgraph_Level ++;
    }
    Re(v) = select_best_FC(v)
  end
end FFT_cover
    
```

그림 1. 그래프 커버링 알고리즘
Fig. 1 Graph covering algorithm

그림 1의 알고리즘을 이용하여 주어진 RT 라이브러리를 LUT에 구현할 수 있는 매핑 가능 클러스터를 생성한다. 생성된 매핑 가능 클러스터의 신호 전달 경로와 사용된 게이트의 수등의 정보를 이용하여 각각의 소모 전력을 구하고, 이를 이용하여 전체 소모 전력을 구한다.

2.2. 최소 소모 전력을 갖는 RT 라이브러리 생성

주어진 RT 라이브러리의 전체 소모 전력이 구해지면 최소의 소모 전력을 갖도록 알고리즘을 다시 적용한다. 최소의 소모 전력을 갖도록 매핑 가능 클러스터를 생성하는 알고리즘은 그림 2에 나타내었다.

```

Algorithm Generation_Feasible_Cluster
Procedure shared_node_cluster_merge(N, TD(N), LUTin)
N: (V, E)
begin
  foreach v ∈ V in a topological order do
    O(v) = Cv, where Cv is a cluster for v
    foreach Cv where OUT(Cv) = u and
      (u, v) ∈ E do
      if(CSTc ≤ LUTin)
      {
        search max_fanout_node(= max_TD(N))
        if(max_fanout_node + subg(g) + root_node|
          ≤ CSTc)
        {
          O(v) = O(v) ∪ O(v) × Cv
        }
        search not_covered_node
        if((node_cost ≥ 2) &&
          (node_fanout ≥ 2))
        {
          node separation(v)
          O(v) = generate_subgraph(v)
        }
        search not_covered_node
        if((node_cost = 1) && (node_fanout ≥ 2))
        {
          node duplication(v);
          O(v) = generate_subgraph(v)
        }
      }
    end
    FC(v) = feasible cluster in O(v)
  end
end
end
    
```

그림 2. 매핑 가능 클러스터 생성 알고리즘
Fig. 2 Feasible cluster generation algorithm

그림 2의 매핑 가능 클러스터 생성 알고리즘은 그림 1의 그래프 커버링 알고리즘과는 달리 팬아웃 프리 트리를 생성하지 않고 주어진 DAG에서 매핑 가능 클러스터를 생성하는 것이 차이점이다. 또한, 그림 2의 알고리즘은 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용하여 수행된다.

2.2.1. 공통 노드 클러스터 병합

주어진 불린 네트워크를 DAG로 구성한 후 DAG를 구성하고 있는 노드들 중에서 출력 에지의 수가 가장 많은 노드를 검출한다. 출력 에지의 수가 가장 많은 노드는 TD를 계산하면 가장 큰 값을 가지게 된다. TD가 가장 크다는 것은 스위칭 동작이 가장 많이 발생하는 것을 의미한다. 따라서 저전력의 기술 매핑 결과를 얻기 위해서는 TD의 값이 가장 큰 노드를 포함한 매핑 가능 클러스터를 우선적으로 생성하여야 한다. 출력 에지의 수가 가장 많은 노드에 대한 매핑 가능 클러스터 생성은 출력 에지의 수가 가장 많은 노드를 포함한 서브 그래프가 상위의 노드에 병합될 수 있는가를 알아본 후 가능한 경우에는 이러한 공통 노드 클러스터 병합을 우선적으로 수행한다. 이러한 매핑 가능 클러스터의 선택은 소모 전력이 가장 큰 노드를 포함한 매핑 가능 클러스터를 생성하여 저전력의 기술 매핑 결과를 얻을 수 있기 때문이다.

2.2.2 노드 분할

노드 분할은 공통 노드 클러스터 병합이 불가능한 경우에 수행되는 방법으로, 출력 에지의 수가 가장 많은 노드에 대해 노드 분할을 수행하여 매핑 가능 클러스터를 생성하는 방법이다. 노드 분할은 출력의 수가 가장 많은 노드이면서 노드의 비용이 2 이상인 노드인 경우에만 수행한다. 이유는 만약 노드의 출력수가 2 이상인 모든 노드에 대해 노드 분할을 수행하게 되면 작은 크기의 서브 그래프가 형성되어 전체적으로 면적이 증가되고 소모 전력이 증가되기 때문이다. 또한 노드의 비용이 1인 노드는 AND 게이트를 의미하므로 상위 노드에 병합되도 상위 노드의 CST_C 에 영향을 끼치지 않기 때문이다. 따라서 위의 조건을 모두 만족하는 노드의 경우에 한하여 노드 분할을 수행한다.

이러한 노드 분할은 기술 매핑의 수행 시간을 줄이고 회로 전체의 소모 전력을 감소시키게 된다.

2.2.3 노드 복제

공통 노드 클러스터 병합과 노드 복제 방법을 이용하여 생성된 매핑 가능 클러스터에 포함되지 않은 노드들 중에서 출력의 수가 2이상인 노드들에 대해서는 노드 복제를 이용하여 매핑 가능 클러스터를 생성한다. 전체 노드에 대해서 노드 복제를 사용할 경우 노드의 수가 증가되어 매핑 가능 클러스터의 생성 시간이 길어지게 되는 단점을 가지게 된다. 따라서 출력의 수가 2이상이고 노드의 비용이 1인 노드에 한하여 노드 복제를 수행한다. 이러한 조건은 팬 아웃 프리 트리를 구성하고 있는 노드를 중복 사용하여 그래프 분할을 수행할 때 수행 시간이 길어지고 중복되는 노드들로 인한 스위칭 동작이 증가되는 단점을 보완하기 위한 방법이다.

III. 실험결과

본 논문에서 제안한 FPGA 기술 매핑을 위한 소모 전력을 고려한 재사용 모듈 생성 알고리즘의 실험 예로 리플 캐리 가산기와 캐리 룩 어헤드 가산기, 스큐 캐리 가산기 등의 가산기들을 대상으로 실험을 하였다. 표 1은 본 논문의 실험에 사용되는 가산기들의 정보이다. 정보는 각각의 가산기가 가지고 있는 연산과 그에 따른 캐패시터, 지연시간, 비트로 구성되어 있다.

표 1. RT 라이브러리
Table. 1 RT library

RT 라이브러리		캐패시터 (pf)	지연 (ns)	비트
모듈명	연산			
리플 캐리 가산기	mod	3.82	16.4	4
	max	3.82	17.8	4
	min	3.82	17.8	4
	adder	3.18	12.6	4
	subtr	3.36	14.0	4
	array mult	59.2	117.4	4
	booth mult	58.6	109.6	4
캐리 룩 어헤드 가산기	mod	4.07	11.4	4
	max	4.07	12.8	4
	min	4.07	12.8	4
	adder	3.43	9.0	4
	subtr	3.54	10.4	4
스큐 캐리 가산기	ary mult	71.6	61.6	4
	booth mult	79.4	56.2	4

이러한 RT 라이브러리들의 소모 전력을 LUT의 입력 변수 제한이 5라고 할 경우 그림 1의 그래프 커버링 알고리즘과 그림 2의 매핑 가능 클러스터 생성 알고리즘을 이용하여 LUT의 수와 소모 전력을 구하면 표 2와 같다. LUT의 입력변수를 7로 했을 경우의 LUT 수와 소모 전력은 그림 3에 나타내었다.

표 2. 입력 변수가 5일 경우 소모 전력 비교
Table. 2 Comparison result of the power consumption assuming the number of input is 5

RT 라이브러리	그래프 커버링 알고리즘 적용		매핑 가능 클러스터 생성 알고리즘 적용	
	LUT수	소모전력	LUT수	소모전력
리플 캐리 가산기	458	122.54	398	106.49
캐리 룩 어헤드 가산기	92	32.16	98	26.71
스큐 캐리 가산기	8606	4666.39	8639	378.69

표 3. 입력 변수가 7일 경우 소모 전력 비교
Table. 3 Comparison result of the power consumption assuming the number of input is 7

RT 라이브러리	그래프 커버링 알고리즘 적용		매핑 가능 클러스터 생성 알고리즘 적용	
	LUT수	소모전력	LUT수	소모전력
리플 캐리 가산기	311	83.32	335	77.83
캐리 룩 어헤드 가산기	63	21.26	63	19.86
스큐 캐리 가산기	5852	3178.15	5889	2679.64

IV. 결론

본 논문은 FPGA 기술 매핑을 위한 소모 전력을 고려한 재사용 모듈 생성 알고리즘을 제안하였다.

제안한 알고리즘은 상위 수준 합성 단계의 스케줄링 등에 사용되는 RT 라이브러리에 대해 기존에 제공되는 RT 라이브러리의 소모 전력을 계산하고, 본 논문에서 제안한 알고리즘을 이용하여 소모 전력이 최소가 되는 RT 라이브러리를 생성하였다.

실험 결과 면적은 약간 증가되는 결과를 나타냈으나 소모 전력은 감소된 RT 라이브러리를 생성하였다.

향후 과제로는 면적과 소모 전력을 고려한 기술 매핑 알고리즘의 연구를 필요로 한다.

참고문헌

[1] *The MACH 4 Family Data Sheet*, Advanced Micro Devices, 1996

[2] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp.242-247, June 1995.

[3] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", *Journal of Solid State Circuits*, vol. 27, no. 4, pp. 473-484, April 1992.

[4] S. ErColani et al., "Testability measures in pseudorandom testing", *IEEE Trans. Computer-Aided Design.*, vol. 11, pp. 794-800, 1992, June

[5] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*, Vol. 13, No. 1, January 1994, pp. 1-11

[6] P. Landman, " Power Estimation of High-Level Synthesis", in Proc. European DAC, Feb. 1993, pp.361-366

[7] A. Chandarkasan et al., "HYPER-LP: A System fo Power Minimization Using Architecture Transformation," in Proc. ICCAD, Nov. 1992, pp.300-303

[8] R. Martin, "Power-Profler : Optimizing ASICs Power

Consumption at the Behavioral Level," in Proc. 32nd DAC, June 1995, pp.42-47

[9] J. Chang, "Register Allocation and Binding for Low Power", in Proc. 32nd DAC, June 1995, pp.29-35

[10] 윤충모, 김희석, "시간적 조건에서 실행 시간을 개선한 CPLD 기술 매핑 알고리즘 개발", 한국 OA 학회 논문집 vol 4권 3호, pp. 35-46, 1999

[11] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.

[12] 김재진, 이관형, "상관관계에 의한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘", 한국컴퓨터정보학회 논문집 제10권 제2호, pp.49-57, 2005

[13] 김재진, 이관형, "시간제약 조건과 면적을 고려한 효율적인 CPLD 기술 매핑", 한국컴퓨터정보학회 논문집 제10권 제3호, pp. 11-18, 2005

저자소개

김 재 진(Jae-Jin Kim)



2003년 2월 청주대학교 전자공학과 공학박사
2001년 ~ 현재 극동정보대학 컴퓨터 정보과 조교수

※관심분야: CAD 알고리즘, 정보보안, 로봇

윤 충 모(Choong-Mo Yun)

2000년 8월 : 청주대학교 전자공학과 공학박사
년~현재 : 서일대학 교수

※관심분야: CAD 알고리즘, 정보보안, 로봇