

논문 2007-44SD-12-9

2차원 여분 메모리를 이용한 내장메모리의 자가치유회로 설계

(Design of Built-In-Self-Repair Circuit for Embedded Memory Using 2-D Spare Memory)

최 호 용*, 서 정 일**, 차 상 록***

(Ho-Yong Choi, Jung-Il Seo, and Sang-Rok Cha)

요 약

본 논문에서는 내장메모리의 고장을 효율적으로 치유하기 위해 2차원의 여분 메모리를 이용한 내장메모리의 자가치유회로를 제안한다. 내장메모리에 같은 행(열)에 다수의 고장이 발생할 경우에 기존의 1차원의 여분 열(행) 메모리를 이용할 경우에는 고장 수단만큼의 여분 메모리 열(행)이 필요하나, 2차원의 메모리를 사용하는 본 방법에서는 하나의 여분 메모리 행(열)으로 치유가 가능하다. 또한, 가상분할 메모리방식을 이용함으로써 여분 메모리 열 전체가 아니라 부분 열을 이용하여 치유가 가능하다. 본 구조를 이용하여, 64×1 bit의 코어메모리와 2×8의 2차원 여분 메모리로 구성된 자가치유회로를 설계한다. 그리고, 고장검출을 위해서 13N March 알고리즘을 가진 자가테스트회로를 내장한다. 매그너칩 0.25 μ m CMOS공정을 이용하여 Full-Custom으로 설계한 결과, 10,658개의 Tr.수에 코어면적은 1.1×0.7mm²이 소요되었다.

Abstract

This paper proposes a built-in-self-repair (BISR) structure using 2-dimensional spare memory to effectively self-repair faults of an embedded memory. In case of multiple faults in the same row (column) of an embedded memory, the previous method using 1-D spare column (row) memory needs the same number of spare memory columns (rows) as the number of faults to self-repair them. while the new method using 2-D spare memory needs only one spare row (column) to self-repair them. Also, the virtual divided memory is adopted to be able to self-repair using not a full spare column memory but the only partial spare column memory corresponding to the faults. A self-repair circuit with 64×1-bit core memory and 2×8 2-D spare memory is designed. And the circuit includes a built-in-self-test block using the 13N March algorithm. The circuit has been implemented using the 0.25 μ m MagnaChip CMOS process and has 1.1 × 0.7 mm² chip area with 10,658 transistors.

Keywords : Built-In-Self-Repair, Built-In-Self-Test, Spare Memory, Embedded Memory

I. 서 론

최근, SoC (system-on-chip)설계의 필요성은 점점 증대되고 있고, 또한 SoC 내에 대용량의 메모리의 내장

이 더욱 더 요구되고 있다. 그러나 내장 메모리에 대한 테스트는 매우 어렵고 비용이 많이 소요되고, 고집적, 고용량일수록 더욱 심해지고 있다^[1~2].

일반적으로, 내장 메모리에 대한 테스트는 테스트용 이화설계(design for testability)를 이용하여 테스트를 한다. 즉, 칩 외부에서 칩 내부에 데이터의 제어를 용이하게 하고, 또한 데이터의 관측을 용이하게 하도록 설계하는 테스트용이화 방법을 사용하거나, 칩 내부에 자가테스트(BIST: built-in-self-test) 회로를 내장하여 이를 통한 효율적인 테스트 방법을 사용하고 있다^[3~9].

한편, 내장메모리가 고집적, 대용량화 됨에 따라 메모리의 신뢰성에 의해 시스템의 신뢰성이 좌우되어, 내장된 메모리의 신뢰성을 높이는 것이 중요하다^[10]. 이를

* 평생회원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Eng. Chungbuk National University)

** 정회원, 실리콘웍스
(SiliconWorks Co.)

*** 학생회원, 충북대학교 반도체공학과
(Dept. of Semiconductor Eng. Chungbuk National University)

※ 이 논문은 2006학년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.

접수일자: 2007년8월13일, 수정완료일: 2007년11월19일

위해 메모리에 고장이 있으면 리던던트(redundant) 회로를 이용하여 자가적으로 고장을 치유하게 하는 자가치유(BISR: built-in-self-repair) 방법이 제안되고 있다^[11~12]. 이 방법은 행(혹은 열)의 1차원적인 여분의 메모리를 사용하고, 메모리에 고장이 있으면 고장 난 셀을 행(열)의 여분 메모리를 이용하여 셀들을 재구성하여 고장을 치유하는 방법이다. 그러나 이 방법은 같은 행(열)에 여러 개의 메모리 셀이 고장 났을 경우에 고장 난 셀의 수만큼 열(행)의 여분 메모리가 소요되어 비효율적이다.

본 논문에서는 2차원의 여분의 셀을 이용해 내장메모리의 고장을 효율적으로 치유할 수 있는 내장메모리의 자가치유회로를 제안한다. 또한, 고장을 치유할 때 여분의 행이나 열이 모두 사용하지 않는 가상분할 메모리 방식을 이용하여 여분의 셀들을 효율적으로 사용한다. 본 구조를 이용하여, 64x1 bit의 메모리를 대상으로 자가치유회로를 설계하고, 고장검출을 위해 자가테스트 회로를 내장하여 설계한다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 자가치유회로를 살펴보고, III장에서는 2차원 여분 셀을 이용한 내장메모리의 자가치유회로를 설계한다. IV장에서는 시뮬레이션을 통해 설계 결과를 확인하고, V장에서는 결론을 맺는다.

II. 기존의 내장메모리 자가치유회로

기존의 내장메모리 자가치유회로에서는 고장이 있으면 고장 난 셀을, 열이나 행으로 구성된 1차원적인 여분의 셀을 이용하여 셀들의 재구성을 통해 고장을 치유한다^[11~12].

그림 1은 기존의 자가치유회로로, 코어 메모리, 행으로 배열된 1차원적인 여분의 메모리, 행과 열의 Decoder 블록, CAM (content addressable memory) 블록으로 구성된다.

치유동작은 테스트모드에서 BIST (built-in-self-repair)에 의해 검출된 고장 셀의 주소가 CAM에 저장되고, 정상 동작모드에서 고장 난 셀의 주소가 인가되면 코어 메모리의 bit-line을 비활성화 시키고 여분의 메모리의 한 column bit-line을 활성화시킴으로써 고장 난 셀을 치유한다.

그러나 이 자가치유회로에서는 여분의 메모리를 행 혹은 열의 1차원으로만 배치함으로써, 같은 행 혹은 열에 여러 개의 메모리 셀이 고장 났을 경우 고장 난 셀

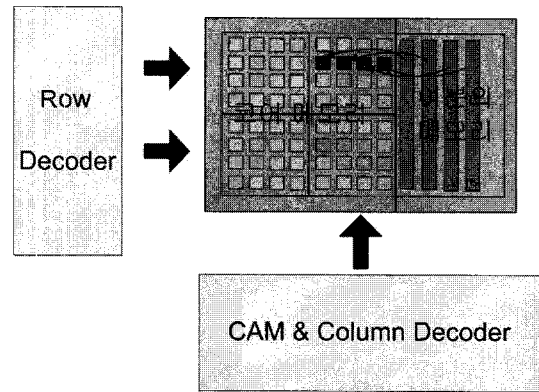


그림 1. 기존의 내장메모리 자가치유회로
Fig. 1. A previous self-repair circuit for embedded memory.

의 수만큼 여분 메모리 열 혹은 행이 필요하게 되어 자가치유가 비효율적으로 이루어진다. 즉, 그림 1과 같이 여분의 메모리 열을 가진 경우, 한 행에 4개의 고장이 발생했을 경우 4개의 여분의 메모리 열이 필요하다. 그러나 만약 여분의 메모리 행을 가진 자가치유회로의 경우에는 1개의 여분 메모리 행만으로 치유가 가능하다.

본 논문에서는 행과 열의 2차원적인 여분 메모리를 가진 자가치유회로 구조를 이용함으로써 보다 효율적으로 자가치유가 가능한 회로를 제안한다.

III. 2차원 여분 메모리를 이용한 내장메모리의 자가치유회로

본 장에서는 내장메모리의 고장을 효율적으로 치유하기 위해서 2차원의 여분 메모리를 이용한 내장메모리

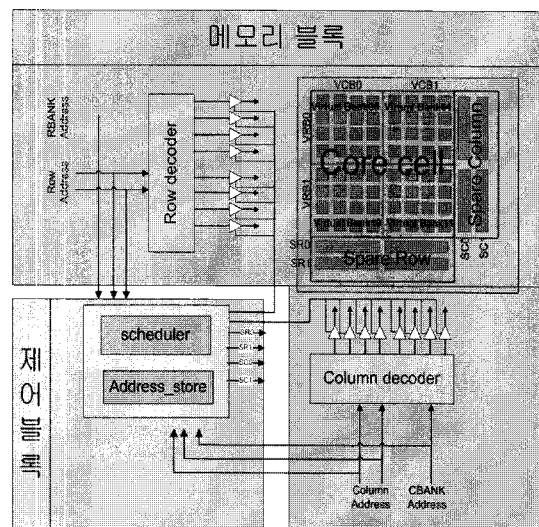


그림 2. 2차원 여분 메모리를 이용한 자가치유회로
Fig. 2. A self-repair circuit using 2-D spare memory.

의 자가치유회로를 제안한다. 또한, 여분 셀의 사용을 효율적으로 하기 위해서 가상분할 메모리방식을 이용하여 설계한다.

1. 2차원 여분 메모리를 이용한 내장메모리의 자가치유회로

2차원 여분 메모리를 이용한 내장메모리의 자가치유회로는 그림 2와 같이 행과 열의 2차원 여분 메모리를 가진 메모리블록과 제어블록으로 구성된다.

메모리 블록은 메모리 셀을 구성하는 코어 메모리와 자가치유에 필요한 2차원의 여분의 메모리 열(spare column)과 메모리 행(spare row) 블록으로 구성된다. 제어 블록은 고장 셀의 치유를 위해 사용될 여분 메모리를 결정하는 scheduler 블록과, CAM (content addressable memory)에서 고장 셀의 주소를 저장 및 비교하기 위해 사용될 Address_store 블록으로 구성된다.

자가치유 동작은 다음과 같다.

먼저 자가테스트(self-test) 모드에서 BIST로부터 검출된 고장난 셀의 주소가 Address_store 블록에 저장된다. Scheduler 블록에서는 고장 난 셀들의 주소를 분석하여 자가치유에 사용될 여분의 메모리 행이나 열을 결정하여 저장한다. 일반 동작 모드에서, 메모리 주소가 인가되면 Address_store 블록에 저장된 고장 난 셀의 주소와 비교하여 일치하면 해당 메모리 셀을 비활성화시키고 여분 메모리를 활성화 시켜 고장 난 셀을 치유한다.

이 방법에서는 그림 1에서와 같이 셀이 같은 행에서 고장이 발생한 경우라도 하나의 여분의 메모리 행만으

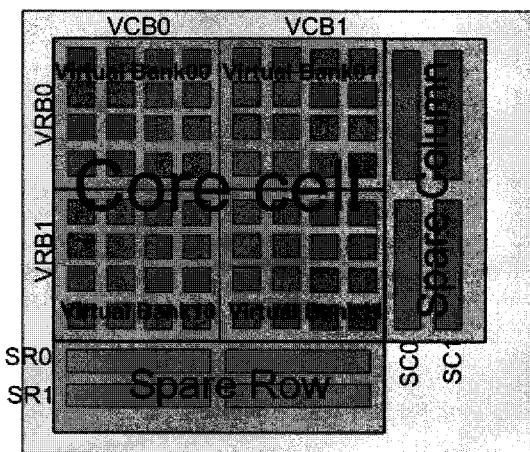


그림 3. 2차원 메모리를 이용한 메모리의 구조
Fig. 3. A memory structure using 2-D spare memory.

로 치유가 가능하여 메모리의 고장을 효율적으로 치유할 수 있다.

2. 2차원 여분 셀을 이용한 메모리의 구조

그림 3은 행과 열의 2차원 여분 메모리로 구성된 내장메모리의 구조이다. 제안된 메모리의 구조는 코어 메모리와 여분의 메모리 행(Spare Row)과 여분의 메모리 열(Spare Column) 으로 구성된다.

그림 3과 같이 2차원 여분 메모리를 사용하면 행과 열의 다수의 고장에 대해 행의 다수 고장에 대해서는 여분의 메모리 행으로, 열의 다수 고장에 대해서는 여분의 메모리 열로 자가치유함으로써 효율적으로 치유가 가능하다.

또한 고장 난 셀을 치유하기 위해 행과 열 전체를 사용하면 여분 메모리의 소요가 너무 많아 비효율적이다. 이에, 가상분할 메모리 구조를 이용한다. 이는 메모리를 Bank 단위로 분할하여 여분의 메모리 행과 열을 세분화하여 사용한다. 그러면, 고장 난 셀을 치유하기 위해 행과 열의 전체 여분 메모리를 사용하지 않고 해당 분할된 여분 메모리를 사용하여 치유함으로써 효율적으로 메모리 셀을 치유할 수 있다.

가상분할 메모리 구조에서는 그림 4와 같이 가상분할 메모리의 주소를 포함한 VRB (virtual row bank) address, VCB (virtual column bank) address, Row address와 Column address를 이용한다.

VRB address와 VCB address를 이용하여 메모리를 Virtual Bank00~11로 분할함으로써 Bank 단위로 치유가 가능하다. 따라서 여분의 메모리 행 전체 혹은 여분의 메모리 열 전체를 사용하는 대신에 분할된 여분 메모리를 이용하여 치유함으로써 보다 적은 수로 자가치유가 가능하다.

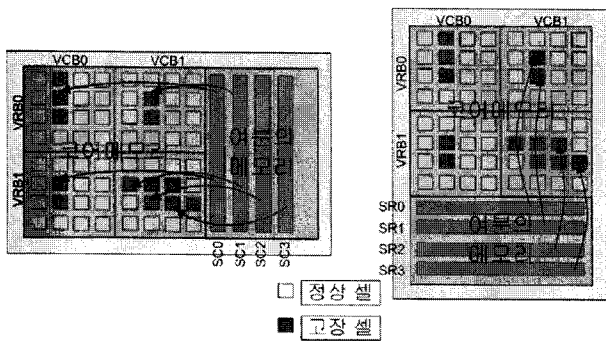
2차원 여분 셀을 이용하고 가상분할 메모리방식을 이용하면 다음과 같이 자가치유가 효율적으로 가능하다.

그림 5는 여분의 메모리를 1차원으로 배열한 경우의 자가치유 과정을 보여준다.

그림 5는 다수의 고장 셀(13개)을 가진 메모리에 대해 1차원 여분 메모리를 이용한 자가치유를 보여준다. 그림 5(a)는 행 당 4개의 여분 메모리 열을 가지고 치

VRB address	Row address	VCB address	Column address
-------------	-------------	-------------	----------------

그림 4. 가상분할 메모리의 주소
Fig. 4. A virtual divided memory address.



(a) 여분 메모리 열 (b) 여분 메모리 행

그림 5. 1차원 여분 메모리를 이용한 자가치유
Fig. 5. Self-repair using 1-D spare memory.

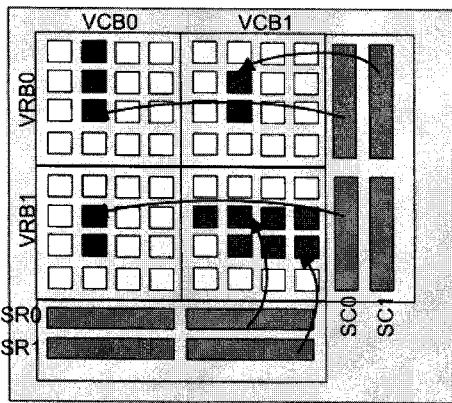


그림 6. 2차원 여분 메모리를 이용한 자가치유
Fig. 6. Self-repair using 2-D spare memory.

유할 경우, 5개의 여분의 메모리 열이 필요하여 본 회로로는 자가치유가 불가능하다. 한편, 그림 5(b)도 5개의 여분의 메모리 행이 필요하여 본 회로로는 자가치유가 불가능하다.

그러나 그림 6과 같이 2차원의 여분 메모리에 뱅크로 분할한 가상의 메모리를 이용할 경우, VRB0에 2개의 여분의 메모리 분할 열, VRB1에 1개의 여분의 메모리 분할 열, VCB1에 2개의 여분의 메모리 분할 행만으로도 자가치유가 가능하다.

3. 제어블록 회로

그림 7은 제어블록의 구조이다.

제어블록은 행과 열 여분 셀 중 고장 셀의 치유에 사용될 여분 셀을 결정하는 Scheduler 블록과, CAM (content addressable memory)에서 고장 셀의 주소를 저장 및 비교하기 위해 사용될 Address_store 블록으로 구성된다.

Address는 테스트 동작 시에는 자가테스트회로에서 인가되고 정상동작 시에는 외부에서 인가된다. SC0~1,

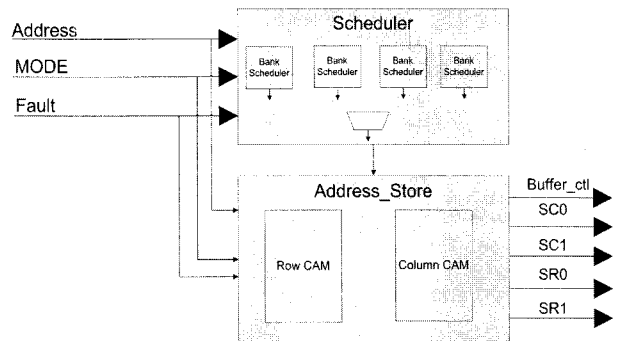


그림 7. 제어블록의 구조
Fig. 7. The structure of control block.

SR0~1과 Buffer_ctl 신호는 메모리 셀의 주소버퍼와 여분 메모리의 제어신호이다. 자가테스트회로가 분석 모드(MODE= '0')이면 Scheduler블록에서 고장 셀들을 분석하여 치유에 사용할 여분 메모리를 결정하며, 저장 모드(MODE= '1')이면 고장 셀의 주소를 해당 CAM의 주소에 저장하고 메모리의 주소버퍼와 여분 메모리의 제어신호를 출력한다.

Scheduler블록은 BIST에서 보내온 고장난 셀의 주소를 분석해 고장난 셀이 치유될 여분 메모리 행과 열을 결정한다. Scheduler블록은 뱅크 행과 열의 수 만큼의 Bank_Scheduler로 구성되고, 각 Bank_Scheduler는 Bank_Analyzer, Error_Map, Comparator로 구성된다. 고장난 메모리 셀의 치유에 사용될 여분의 메모리는 다음과 같이 결정된다. 먼저, 테스트 모드 시에, Bank_Analyzer에서 인가된 주소에 대해 행과 열의 고장난 셀의 수를 계수하여 Error_Map에 저장한다. 다음에 저장된 행과 열의 Error_Map의 데이터 중에 가장 큰 값을 찾아 이에 해당하는 부분의 여분의 메모리를 할당한다. 이후 반복하여 다음 크기의 Error_Map의 데이터에 대해 해당 여분의 메모리를 할당한다. 해당 주소는 Address_Store 블록에 저장한다.

IV. 설계 결과

내장메모리의 자가치유 회로 설계를 그림 8과 같이 III장에서 제안한 2차원 여분 메모리를 이용한 자가치유 회로(BISR: built-in-self-repair)에 내장메모리를 자가테스트하기 위한 자가테스트회로 (BIST: built-in-self-test)를 통합하여 설계하였다.

BISR은 64×1 bit의 코어메모리와 행과 열의 2×8 bit의 2차원 여분 메모리로 구성되어 있고, BIST 블록은 13N March 알고리즘을 이용하여 설계하였다^[13].

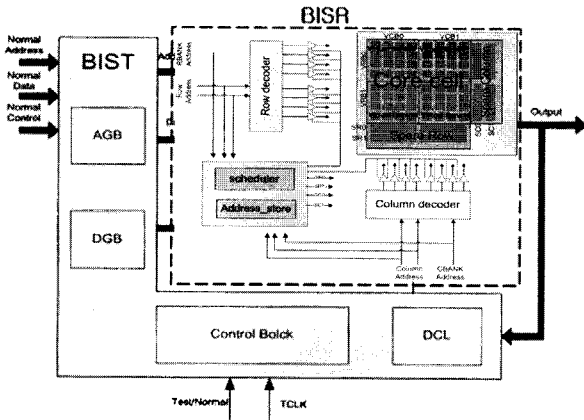


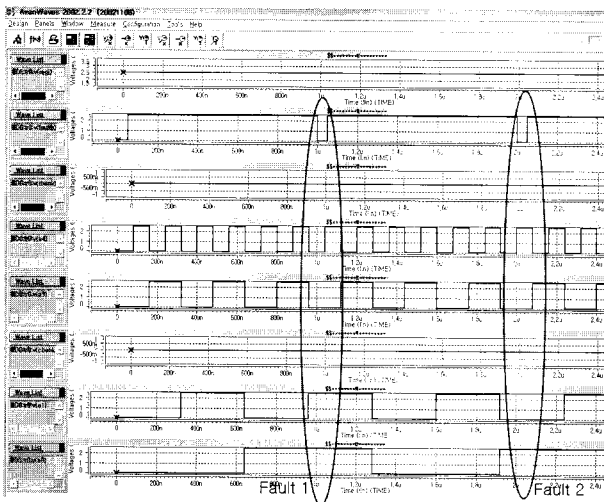
그림 8. 내장메모리의 자가치유를 위한 회로
Fig. 8. A self-repair circuit for embedded memory.

치유동작은 다음과 같다. 먼저 자가테스트모드에서 메모리의 고장정보를 가진다. 즉, BIST에서 검출된 고장 난 셀의 주소를 CAM 블록에 저장한다. Scheduler 블록에서는 고장 난 셀들의 주소를 분석하여 자가치유에 사용될 여분 메모리의 행과 열을 결정하고 해당 주소를 저장한다. 일반 동작 모드에서, 메모리 주소가 입력되면 CAM블록에 저장된 고장 난 셀의 주소와 비교하여 일치하면 해당 메모리 셀을 비활성화 시키고 여분이 메모리를 활성화 시켜 고장 난 셀을 치유한다.

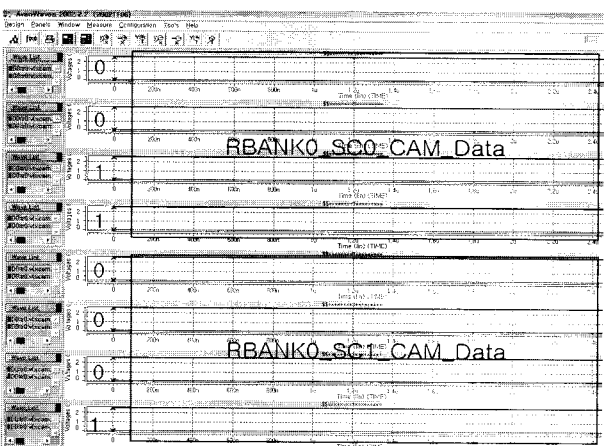
BISR의 설계는 매그너칩 0.25 μ m CMOS공정을 이용하여 Full-Custom으로 설계하였고 Hspice로 검증하였다. BIST 회로는 Verilog-HDL을 이용하여 설계하고 Modelsim으로 검증하였다.

그림 9는 검출된 고장 메모리 셀의 주소가 해당 CAM에 저장됨을 보여준다. 자가테스트회로에 의해 검출된 고장 메모리 셀의 주소가 "000011"과 "010001"이다. RBank0_SC0 CAM에는 고장 메모리 셀 주소인 "000011"중에 VRBank 주소인 '0'과 column 주소인 "011"이 RBank0_SC1 CAM에는 고장 메모리 셀 주소인 "010001"중에 VRBank 주소인 '0'과 column 주소인 "001"이 저장됨을 확인하였다. 이로써 고장 검출 및 CAM에 고장 메모리 주소 저장이 제대로 동작됨을 알 수 있다.

그림 10은 자가테스트회로의 검증결과이다. 자가테스트 회로의 동작은 하나의 메모리 주소에 대해서 상태 1, 2, 3 (March 1)을 수행하고 마지막 주소가 입력되면 EOA (End of address)='1'이 된다. 그 다음 처음 주소 입력 시, 상태 4, 5, 6 (March 2)을 수행한다. 이러한 방식으로 March 5까지 수행하면서 고장을 검출한다. March 5까지 모두 끝나게 되면 End Test 신호가 '1'로 활성화 되어 메모리를 정상동작으로 전환함을



(a)



(b)

그림 9. (a) 고장 메모리 셀의 주소,
(b) CAM에 저장된 고장 셀의 주소
Fig. 9. (a) Fault cell address,
(b) Fault cell address stored in CAM.

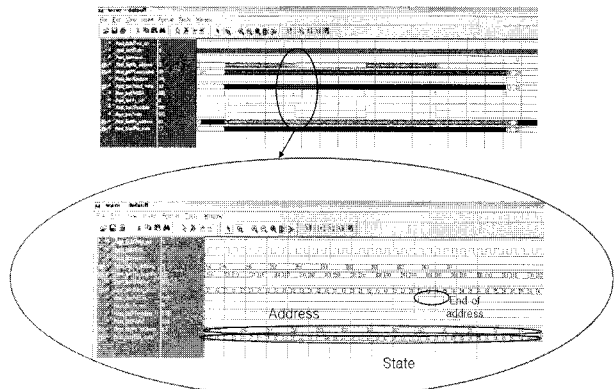


그림 10. 자가테스트회로의 검증결과
Fig. 10. Simulation results of built-in-self-test.

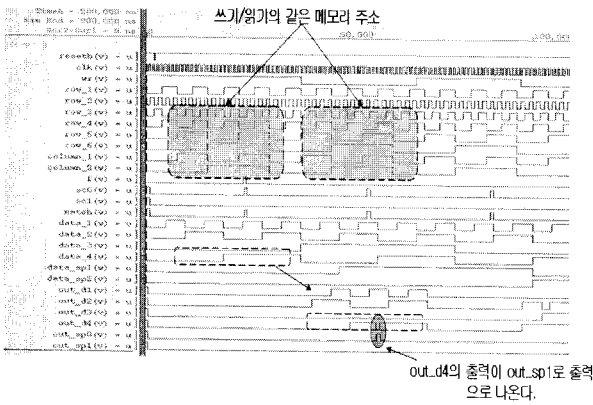


그림 11. 자가치유회로의 검증 결과
 Fig. 11. Simulation results of built-in-self-repair.

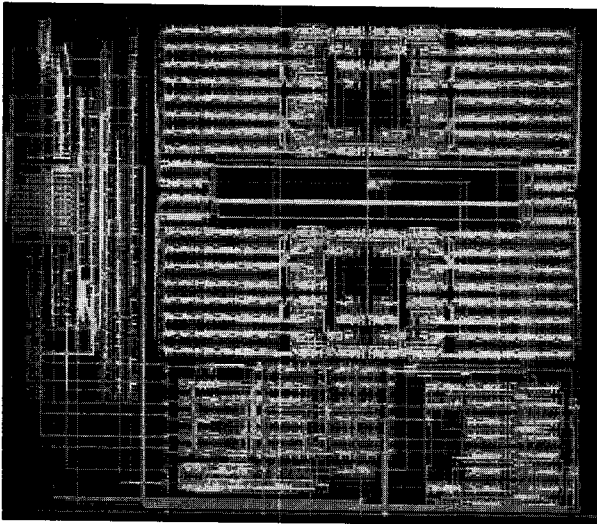


그림 12. 자가치유회로의 레이아웃
 Fig. 12. Layout of built-in-self-test.

볼 수 있다.

그림 11은 자가테스트회로와 연계한 자가치유회로의 검증결과를 보여준다.

wr = 1 (쓰기 동작)일 때 고장 메모리 주소 ("000011")에 데이터를 입력으로 주고, wr = 0 (읽기 동작)일 때 그 출력 값을 관찰하여 동작을 확인하였다.

고장 난 메모리주소가 인가되었을 때 고장 난 메모리 셀 대신에 여분의 메모리 블록으로 데이터가 저장되었다가 출력으로 나옴을 확인할 수 있다. 고장 난 주소 (out_d4)에서 나올 데이터가 여분의 셀(out_sp0)로 바뀌어 나와 치유동작이 이루어졌음을 확인할 수 있었다.

그림 12는 자가테스트회로와 통합설계한 자가치유회로의 레이아웃설계 결과를 나타낸다.

매그너칩 0.25 μ m CMOS공정을 이용하여, BISR의 설계와 BIST 회로를 통합하여 Full-Custom으로 설계하

였다. 사용된 총 Tr.수는 10,658개이고 코어면적은 1.1 \times 0.7mm²이다.

V. 결 론

본 논문에서는 2차원의 여분 메모리를 이용하고, 가상분할 메모리방식을 이용함으로써 내장메모리의 고장을 효율적으로 치유하는 구조를 제안, 설계하였다.

메모리 블록은 코어 메모리외에 자가치유에 필요한 2차원의 여분의 메모리 열(spare column)과 메모리 행(spare row) 블록으로 구성하고, 제어 블록은 고장 셀의 치유를 위해 사용될 여분 메모리를 결정하는 scheduler 블록과, 고장 셀의 주소를 저장 및 비교하기 위해 사용될 Address_store 블록으로 구성하였다. 또한, 메모리를 Bank 단위로 분할하여 여분의 메모리 행과 열을 세분화하여 설계하였다. 그리고 고장검출을 위해 13N March 알고리즘을 가진 자가테스트회로를 통합하여 설계하였다.

매그너칩 0.25 μ m CMOS공정을 이용하여 Full-Custom으로 통합설계를 하고 회로검증 및 레이아웃 설계를 하였다. 사용된 트랜지스터 수는 10,658개이고 코어면적은 1.1 \times 0.7mm² 이었다.

향후의 과제는 보다 대규모의 메모리에 대해서도 효율적인 자가치유회로에 대한 연구가 필요하다.

참 고 문 헌

- [1] M.K. Lin, "1997 semiconductor industry annual report," ITRS project report, Industrial Technology Research Institute, June 1997.
- [2] G.E. Moore, "Progress in digital integrated electronics," Proc. IEEE Int. Electron Devices Meet., pp. 11-13, 1975.
- [3] C.T. Huang, J.R. Huang, C.F. Wu, C.W. Wu, and T.Y. Chang, "A programmable BIST core for embedded DRAM," IEEE Des. Test Comput., Vol. 26, No. 7, pp. 59-70, June 1999.
- [4] A.J. Goor and De. Van, *Testing semiconductor memories theory and practice*, John Wiley & Sons, pp. 344-345, 1996.
- [5] A. Tanave, T. Takeshima, H. Koike, Y. Aimoto, M. Takada, T. Ishijima, N. Kasai, H. Hada, K. Shibabara, T. Kunio, Tanigawa, T. Saeki, M. Sakao, H. Miyamoto, H. Nozue, S. Ohya, T. Murotani, K. Koyama, and T. Okuda, "A 30-ns 64-Mb DRAM with built-in self-test and

- self-repair function," IEEE J. Solid-State Circuits, Vol. 27, No. 5, pp. 1525-1533, May 1992.
- [6] M. Franklin and K.K. Saluja, "Embedded RAM testing," Proc. IEEE Int. Workshop on Memory Technology, Design and Testing, Vol. 32, No. 11, pp. 29-33, Aug. 1995.
- [7] J. Dreibelbis, J. Barth, H. Kalter, and R. Kho, "Processor-based built-in-self-test for embedded DRAM," IEEE J. Solid-State Circuits, Vol. 33, No. 12, pp. 1731-1740, Dec. 1998.
- [8] S. Nakahara, K. Higeta, M. Kohno, T. Gawamura, and K. Kakitani, "Built-in-self-test for GHz embedded SRAMs using flexible pattern generator and new repair algorithm," Proc. Int. Test Conf., Vol. 36, No. 6, pp. 301-310, Oct. 1999.
- [9] K. Zarrineh and J. Upadhyaya, "On programmable memory built-in self-test architectures," Proc. of IEEE Conf. on Design Automation and Test in Europe, Vol. 34, No. 2, pp. 708-713, Mar. 1999.
- [10] M. Sachdev, *Defect-oriented testing for CMOS analog and digital circuits*, Klumer, 1998.
- [11] P. Mazumder and J.S. Yih, "A novel built-in self-repair approach to VLSI memory yield enhancement," Proc. of Int. Test Conf., Vol. 18, No. 4, pp. 844-841, Oct. 1990.
- [12] I. Kim, T. Zorian, G. Komoriya, H. Pham, F.P. Higgins, and J.L. Lewandowski, "Built in self repair for embedded high-density SRAM," Proc. of Int. Test Conf., Vol. 24, No. 6, pp. 1112-1119, Oct. 1998.
- [13] 양현모, 내장된 메모리를 위한 자가테스트 및 자가치유회로 설계, 충북대학교 공학석사학위논문, 2005년 2월.

 저자 소개



최 호 용(평생회원)

1980년 2월 서울대학교 전자공학과 졸업(공학사)

1982년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1994년 3월 오오사카대학 전자공학 졸업(공학박사)

1980년 3월~1985년7월 삼성반도체연구원
선임연구원

1985년 8월~1996년8월 부경대학교 부교수

1996년 9월~현재 충북대학교 전기전자컴퓨터
공학부 교수

<주관심분야: DFT & Testing, 집적시스템설계>



서 정 일(정회원)

2004년 2월 충북대학교 전기전자
공학부 졸업(공학사)2006년 8월 충북대학교 반도체
공학과 졸업(공학석사)2006년 8월~현재 (주)실리콘웍스
연구원

<주관심분야: DFT & Testing, Memory설계>



차 상 록(학생회원)

2007년 2월 충북대학교 전기전자
공학부 졸업(공학사)2007년 3월~현재 충북대학교
반도체공학과 석사과정

<주관심분야: DFT, LDI 설계>