

# 마그네트론 스퍼터링법으로 증착한 Au 박막의 전기전도특성에 미치는 열처리 온도와 Ta 삽입층의 영향

최혁철<sup>1</sup> · 유천열<sup>1</sup>

<sup>1</sup>인하대학교 물리학과, 인천 402-751

(2007년 8월 27일 받음)

열처리 온도에 따른 Au 결정립 크기의 변화와 표면 거칠기 및 전기전도도를 연구하기 위해 dc 마그네트론 스퍼터링법을 사용하여 Si(111) 또는 Si(100) 기판위에 Au (30 nm) 와 Ta (5 nm)/Au (30 nm) 를 증착하였다. 열처리 온도가 증가함에 따라 시료의 결정립 크기가 증가하였고, 박막 표면 거칠기 또한 증가함을 확인하였다. Si/Au보다 Si/Ta/Au구조에서 결정립 크기가 증가하였고 표면거칠기는 감소되었으며 Si(111) 기판보다 Si(100) 기판위의 Ta/Au구조에서 전기 저항이 감소되었다. Si(100)/Au구조에 5 nm 두께의 Ta의 buffer layer를 삽입하여 표면 거칠기 정도를 낮춤과 동시에 열처리 온도를 적절히 조절하여 결정립 크기를 증가시킴으로서 전도성이 우수한 양질의 Au 박막을 얻을 수 있었다.

주제어 : Au 박막, 열처리, 결정립 크기, 표면 거칠기, 전도도

## I. 서 론

우수한 전도성과 내산화성으로 널리 사용되는 Au 박막의 전도성은 박막의 증착조건에 의해서 달라진다. 증착 조건에 의해 결정립 크기 (grain size)가 전자들의 평균자유거리 (mean free path)보다 작아지면 결정립계 (grain boundary)에 의한 전자들의 산란이 저항의 주요 요인으로 작용하므로 박막의 전도도는 박막의 결정립 (grain)의 크기에 영향을 받게 된다. 그리고 얇은 박막은 표면과 계면의 상태에도 전자의 산란이 영향을 받기 때문에 거친 표면이나 계면일수록 더 큰 산란으로 전기전도도는 감소하게 된다.

본 연구에서는 박막의 결정립의 크기와 전도도의 관계를 연구하기 위해서 magnetron sputtering system을 사용하여 Si(111) 또는 Si(100) 기판위에 Au를 30 nm 또는 Ta/Au를 5 nm/30 nm의 두께로 각각 증착하였다. 증착된 시료는 일정 시간을 여러 온도에 대해서 열처리 (annealing)를 하였다. 열처리된 시료의 결정립 크기의 변화를 알아보기 위해 XRD (x-ray diffraction) 장비의 rocking-curve 측정법으로 Au 박막의 결정립 크기를 측정하였으며 AFM (atomic force microscopy) 장비를 이용하여 시료의 표면 거칠기를 확인하였다. 각각 제작된 시료들에 대해 4-point probe 측정법으로 시료의 저항을 측정하여 전기전도도를

계산하였다. 증착 기판과 구조 그리고 적정 온도에서의 열처리를 통하여 Au 박막의 가장 효율적인 전기전도성을 갖는 조건을 연구하였다.

## II. 실험 방법

시료를 증착하기 위해 초고진공 dc 마그네트론 스퍼터링 시스템을 이용하여 초기진공 약  $2.0 \sim 4.0 \times 10^{-9}$  Torr에서 Au 박막을 증착하였다. 스퍼터링 가스로는 고순도(99%)의 Ar 가스를 사용하였으며 가스유량 15 sccm, 증착압력 1 mTorr 그리고 증착 파워 10W 등의 증착 조건을 조절하여 박막의 증착속도가 0.5~1.0 Å/sec가 되도록 하였다. Au와 Ta은 각각 0.828 Å/sec와 0.472 Å/sec의 증착률로 Si(111) 또는 Si(100) 기판위에 Au를 30 nm 또는 Ta/Au를 각각 5 nm/30 nm의 구조로 증착하였다. Au bulk의 평균자유거리가 약 30 nm 된다는 사실을 기반으로 제작하는 Au 박막 두께 또한 30 nm로 제한하였으며[1-2], 박막 증착 후 secondary grain growth가 포화 상태에 이르는 약 5 시간 후에 열처리 작업을 실시하였다 [3-5]. N. Schell의 연구에 의하면 열처리 시간이 진행됨에 따라서 결정립 크기가 점점 증가하여 약 1시간 전후로결정립 크기는 최대가

\* [전자우편] cyyou@inha.ac.kr

되어 포화상태에 이르게 된다고 보고된 바 있다 [6]. 따라서 증착된 각 시료에 대해 일정 온도에서 약 1 시간동안 열처리를 진행하였고, 충분히 시료를 식힌 후 챔버에서 꺼내었다. 시료의 결정립 크기는 XRD의 rocking-curve 측정법으로 조사하였으며 AFM 장비를 이용하여 표면 거칠기를 확인하였다. 그리고 시료의 전기 전도도를 연구하기 위하여 4-point probe 측정법으로 시료의 저항을 측정하였다.

### III. 실험 결과 및 토의

각 시료들의 결정립 크기는 XRD의 rocking-curve 측정으로 구한 반치폭 (FWHM : full width at half max)으로 다음의 Debye-Scherrer 공식을 통하여 얻을 수 있다.

$$t = \frac{k \times \lambda}{B \times \cos \theta_B}$$

여기서  $t$ 는 결정립 크기,  $k$ 는 결정질 모양에 따른 상수 값으로 약 0.9 값을 갖는다.  $\lambda$ 는 x-ray 파장으로 1.54 Å,  $B$ 는 반치폭,  $\theta_B$ 는 Bragg angle을 나타낸다 [7, 8].

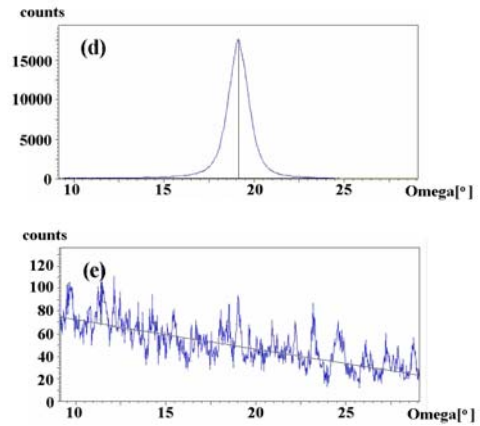
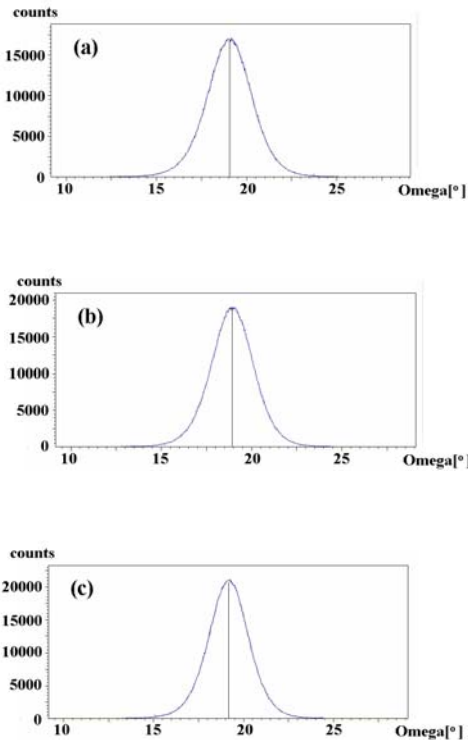


그림 1. Si(100)/Ta/Au 구조의 rocking-curve. (a) ~ (e)는 각각 열처리 온도 100°C~500°C에서의 rocking-curve. 열처리 온도 상승시 반치폭이 점점 좁아짐.

그림 1은 Si(100)/Ta/Au 시료의 열처리 온도를 100°C~500°C까지 변화시키면서 각 온도에 따른 Au(111) 결정면에 대해 rocking-curve를 측정하여 얻은 것이다. 열처리 온도가 높아질수록 반치폭이 점점 좁아진다. 이는 일정 방향성을 가진 결정립들이 다른 방향성을 가진 결정립들을 소모하면서 성장을 하기 때문이다. 이를 통해서 열에너지에 의해서 결정성이 향상되고 있음을 확인할 수 있다. 온도가 300°C에서 400°C로 넘어가면서 반치폭이 현저히 줄어들음을 보아 결정립들이 활발히 성장함을 알 수 있다.

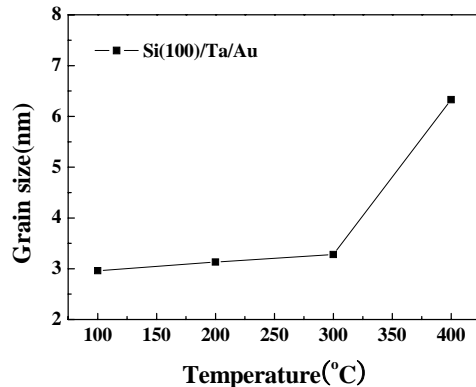


그림 2. Si(100)/Ta/Au 시료의 열처리 온도에 따른 결정립 크기. 열처리 온도 상승시 결정립 크기는 증가, 300°C 이상에서 결정립의 활발한 성장으로 결정립 크기 크게 상승.

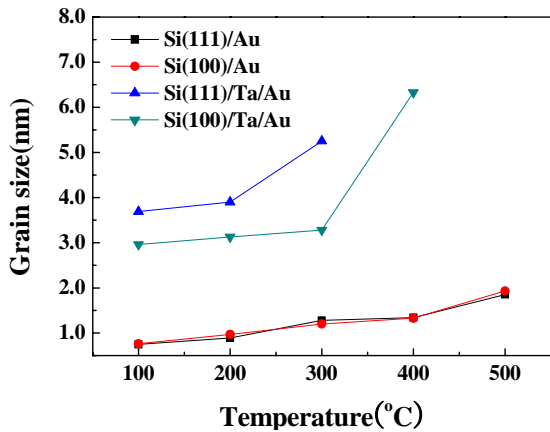


그림 3. 열처리 온도에 따른 결정립 크기. Si/Au구조에 Ta이 삽입된 시료는 전체 표면에너지의 감소로 결정립 크기가 전체적으로 증가, 300°C 이상에서 결정립 현저히 상승함.

그림 2는 Si(100)/Ta/Au 시료의 열처리 온도에 따른 결정립 크기를 나타낸 것으로 Debye-Scherrer 공식에 의해 반치폭의 너비에 따라 계산된 값이다. 그림 2에 보이는 바와 같이 온도에 따라 결정립 크기가 커지며 열처리 온도가 300°C 이상부터 결정립 크기는 크게 증가한다. 이는 열처리 작업으로 재결정 과정을 거친 결정립들이 자라면서 표면 에너지를 줄이기 위해서 결정립들끼리 합쳐지는 성장을 하기 때문이며 300°C 이상부터 결정립들이 활발한 성장을 이루는 것으로 해석할 수 있다. 그림 3은 Si/Au와 Si/Ta/Au 구조에서의 XRD의 rocking-curve 측정 결과에 대해 결정립 크기를 계산한 값들이다. 그림 3에서 전체적으로 열처리 온도가 증가할수록 결정립 크기가 커졌으며 [9] Si/Au구조보다 Si/Ta/Au구조에서 결정립 크기가 현저히 커짐을 확인할 수 있다. 계의 전체 표면에너지의 감소는 표면 에너지를 최소화하는 어떤 특정 방향성을 가진 결정립들이 다른 방향성을 가진 결정립들을 소모하는 성장을 통해 이루어진다. 때문에 결정립 크기의 증가는 전체 표면 에너지의 감소를 의미한다. 따라서 Ta의 삽입은 Si/Au 구조의 전체 표면 에너지를 감소시킨다는 것을 알 수 있다. 그리고 Si/Ta/Au 구조에서 400°C 이상의 경우 정확한 data 분석에 장애가 있었다. 이는 높은 온도에서의 annealing일수록 Au(111)의 결정성이 감소되고 Au(220)이나 Au(200)의 결정성이 증가되기 때문에 Au(111)에 대한 rocking-curve 측정에서 의미 있는 data를 얻기 힘든 것으로 해석된다.

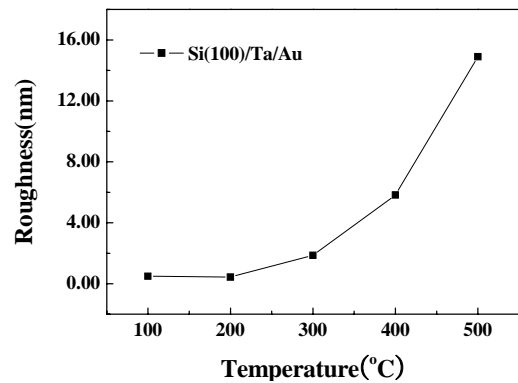
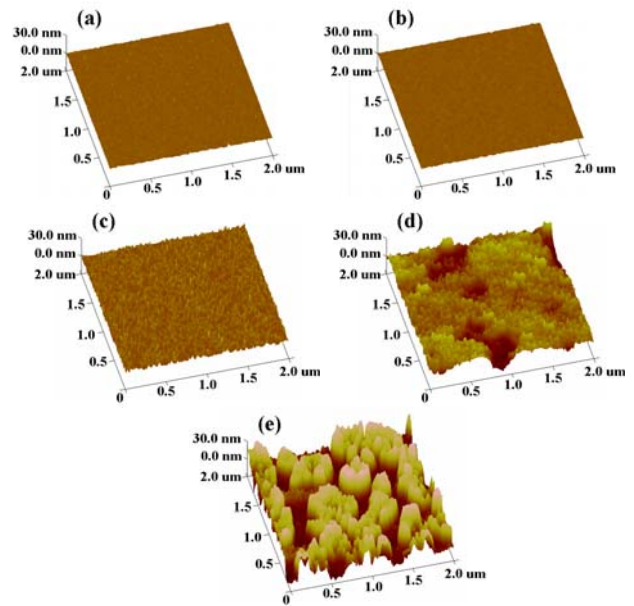


그림 4. Si(100)/Ta/Au 구조의 열처리 온도에 따른 표면 거칠기. (a)~(e)는 AFM 이미지로 본 각각의 열처리 온도 100°C~500°C에서의 표면 거칠기.

Au bulk의 평균자유거리를 고려하여 증착된 Au박막 두께를 30 nm로 제한하였기 때문에 표면에서의 전자의 산란 또한 박막 전도도에 영향을 미친다 [10]. 표면의 거칠기가 작을수록 전기전도성은 향상되므로 본 연구에서는 AFM을 이용하여 Au 박막의 표면을 관찰하였다. 그림 4는 Si(100)/Ta/Au 시료에 열처리 온도를 100°C에서 500°C까지 각각 변화하면서 표면 거칠기를 관찰한 것이며 (a)~(e)의 그림은 각 열처리 온도에 따른 AFM의 이미지를 나타낸 것이다. 온도가 증가함에 따라 표면 거칠기가 점점 거칠어지며 400°C에서 급격히 거칠어졌다. 500°C에서는 island 형태의 Au 박막을 확인할 수 있다.

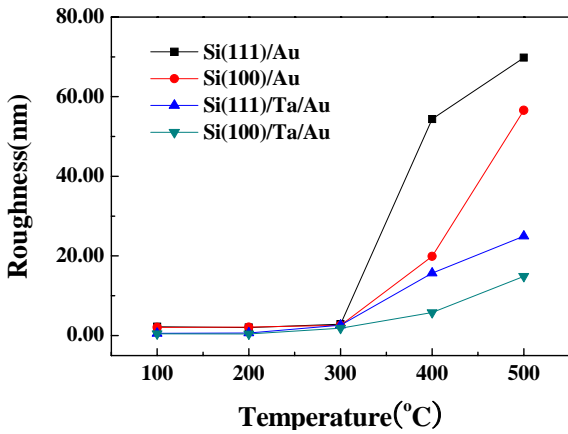


그림 5. 열처리 온도에 따른 표면 거칠기. Si/Au구조에 Ta 이 삽입된 시료는 전체 표면에너지의 감소로 표면 거칠기가 전체적으로 감소, Si(111)기판보다 Si(100)기판에서 더 효율적으로 감소.

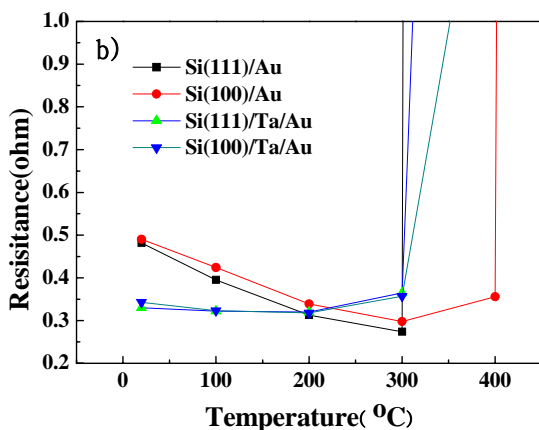
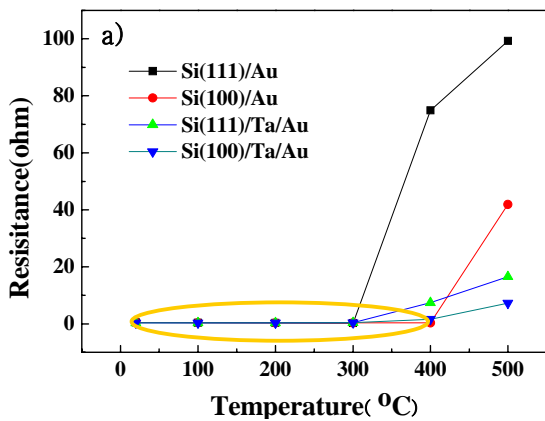


그림 6. 열처리 온도에 따른 전기저항. Si/Ta/Au 시료는 200 °C 부근까지, Si/Au시료는 300 °C 부근까지 감소를 보인다 300 °C 이상에서 전기 저항 크게 증가.

그림 5은 Si/Au 또는 Si/Ta/Au 구조에서 각열처리 온도에 따른 표면 거칠기를 나타낸 것이다. 전반적으로 열처리 온도가 높아질수록 표면 거칠기도 거칠어졌으며 모든 시료들이 약 300 °C 를 기점으로 그 이상부터는 표면 거칠기가 급격히 증가하였다. 그리고 Ta이 buffer layer로 삽입된 구조에서 표면 거칠기가 감소되었다. 이는 Si/Au 구조보다 Ta이 삽입된 구조에서 전체 표면에너지의 감소로 젖음성(wetting)이 잘 일어나기 때문에 Ta위에 Au박막이 증착될 때평탄하게 성장하며 Au원자들이 층층이 쌓이게 된다. 그리고 Si(111)기판보다 Si(100)기판 위의 Ta/Au구조에서 표면 거칠기가 개선되는 요인으로 표면에너지 이방성에 의존하여 Si(111)기판보다 Si(100)기판위에서 Ta/Au구조의 전체 표면에너지를 더 감소시키기 때문으로 해석된다.

그림 6은 4-point probe 방법으로 측정된 각 시료들의 열처리 온도에 대한 전기 저항값을 나타낸 것이다. 저항측정은 정사각형 모양의 시료의 대칭성을 갖는 네 지점 중 인접한 2지점에 전류를 흘려주고 나머지 2지점의 전압을 측정하는 방법으로 저항을 구하였다. 그림 b)는 a)의 등색 타원 부분을 확대한 것으로 Si/Au 구조는 약 300 °C 부근에서, Si/Ta/Au 구조는 약 200 °C 부근에서 가장 낮은 저항값을 나타내었다. 이는 열처리 온도에 따른 결정립 크기의 증가로 인해 결정립계에서의 전자 산란이 감소되어 전기전도도가 향상되는 것으로 보인다. 하지만 표면 거칠기가 급격히 거칠어지는 300 °C 이상에서는 결정립 크기의 영향보다 표면 거칠기가 전도도에 더 큰 영향을 미치기 때문에 전체적으로 저항이 커지는 것으로 해석되며 Si(111)/Ta/Au구조는 Si(100)/Ta/Au에서보다 결정립이 더 크게 형성되지만

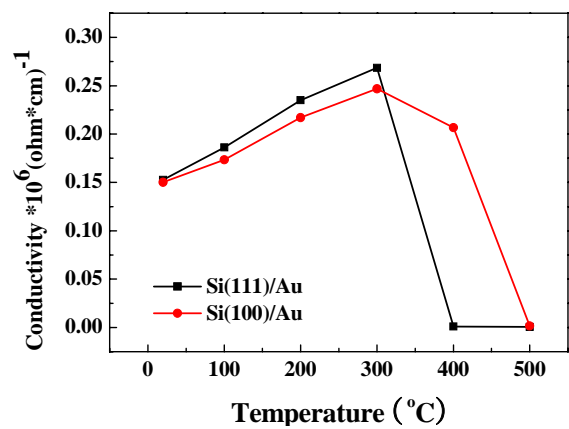


그림 7. 열처리 온도에 따른 전기전도도

상대적으로 표면거칠기가 거칠어 전기저항이 더 크게 나타난 것으로 보아 Au박막에서는 표면거칠기가 결정립 크기보다 전기저항에 더 영향을 미치는 것으로 해석되어진다.

마찬가지로 Si/Au구조에 Ta을 삽입하면 표면 거칠기를 완화시켜 결과적으로 전기 저항을 줄일 수 있었다.

Au bulk의 경우 전도도는 약  $0.440 \times 10^6 (\Omega \cdot \text{cm})^{-1}$  값을 갖는다. 그림 7에 의하면 Si/Au 박막 구조에서의 전도도는 bulk 전도도의 약 1/2 값을 가짐을 알 수 있다. 이 값은 XRD에 의해서 얻어진 결정립의 크기를 고려할 경우 매우 큰 값으로, 이는 결정립계에서의 산란 전후의 전자의 운동량의 방향이 상당부분 보존됨을 의미한다.

Si/Ta/Au 구조에서의 경우 정확한 Au 박막 전도도를 얻기 위해서는 제작된 Ta 박막의 전도도에 대한 정보가 있어야 하므로 정확한 값을 얻지 못하였다. 하지만 Si/Au의 구조보다 Si/Ta/Au구조에서 결정립 크기의 증가와 표면 거칠기가 완화된다는 지금까지의 실험 결과를 보아 Si/Au구조보다 Ta이 삽입된 구조에서 더 나은 전기전도도를 가질 것으로 예상된다.

#### IV. 결 론

열처리 온도에 따라 Au박막의 결정립 크기가 점점 증가하는 변화를 관찰하였으며 특히 약 300°C 이상의 온도에서부터는 결정립들의 활발한 성장으로 그 크기가 현저히 증가하였다. 그리고 Si/Au구조에 buffer layer인 Ta의 삽입은 전체 표면에너지를 감소시켜 결정립 크기를 전반적으로 향상시켰다. 하지만 높은 열처리 온도는 표면을 거칠게 만들었으며 역시 약 300°C 이상부터는 급격히 거칠어졌다. 그러나 Si/Au 구조보다 Ta이 buffer layer로 있는 구조에서 전체적으로 표면 거칠기가 완화되었으며 Si(111)기판보다 Si(100)기판에서 더 효율적이었다. 이는 전체 표면에너지가 더 감소되기 때문으로 해석된다. 따라서 약 200°C 근처에서의 열처리 작업은 결정립 크기의 증가와 함께 소소한 표면 거칠기를 나타내어 전기전도도를 향상시키지만 300°C가 넘는 열처리 온도에 대해서는 결정립 크기가 증가함에도 불구하고 표면 거칠기가 급격히 거칠어지는 요인으

로 오히려 전기전도도가 악화되었다. 그러나 Si/Au구조에 Ta이 buffer layer로 삽입되는 경우 열처리 온도에 따른 Au박막의 전기저항은 전체적으로 향상됨을 볼 수 있었으며 Au박막에서는 결정립 크기보다 표면거칠기가 전기저항에 더 영향을 미치는 것으로 해석할 수 있었다. 다양한 조건에서 제작된 박막의 특성에서 Si/Au구조에서보다 Si/Ta/Au구조에서의 박막이, Si(111)기판에서보다 Si(100)기판에서의 증착이 더 향상된 전기전도도를 가질 것으로 예측해 본다.

#### 감사의 글

이 논문은 2006 년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2006-312-C00529).

#### 참고문헌

- [1] M A Howson, J. Phys.:Condens. Matter **11**, 5717-5722 (1999).
- [2] Ijaz-ur-Rahman, Ahmed. k, J. Appl. Phys. **49**(6), 3625-3636 (1978).
- [3] Chee C. Wong, Henry I. Smith. C. V. Thompson. Appl. Phys. Lett. **48**, 335 (1986).
- [4] C. V. Thompson, J. Appl. Phys. **58**, 763 (1985).
- [5] C. V. Thompson, Henry I. Smith, Appl. Phys. Lett. **44**, 603 (1984).
- [6] N. Schell, T. Jensen, J.H. Petersen, K.P. Andreasen, J. Bottiger, J. Chevallier, Thin Solid Films **441**, 96-103 (2003).
- [7] A. L. Patterson, Phys. Rev. **56**, 972-977 (1939).
- [8] B. D. Cullity, *Elements of X-Ray Diffraction* (Addison-Wesley, Reading, Mass, 1978), pp.281-285
- [9] C. R. Chen, L. J. Chen. Applied Surface Science **92**, 507-512 (1996).
- [10] K. Fuch, Proc. Camb. Phil. Soc. **34**, 100-108 (1938).

## **The effect of annealing temperature and Ta layer on the electric conductivity of Au thin film deposited by the magnetron sputtering**

Hyeok-Cheol Choi, Chun-Yeol You\*

*Department of Physics, Inha University, Incheon 402-751*

(Received August 27 2007)

We fabricated thin films of Au and Ta/Au with thicknesses of 30 nm and 5 nm/30 nm, respectively on Si(100) or Si(111) substrates using a dc magnetron sputtering system. Grain sizes, roughness and conductivity for Au thin films are measured as a function of the annealing temperatures. We observed that the grain size of samples enlarged and the surface became rougher with increasing annealing temperature. The grain size and roughness were improved in the structure of Si/Ta/Au than Si/Au. Furthermore, the Si(100) substrate was more effective for decreasing the resistance for Ta/Au system than Si(111) substrate. We confirm that by inserting a Ta buffer layer in Si(100)/Au, surface roughness was reduced and by adjusting the annealing temperature the grain size were enlarged. Consequently, the Au thin-film has improved conductivity.

Keyword : Au thin-film, annealing, grain size, roughness, conductivity

\* [E-mail] cyyou@inha.ac.kr