

## CST 승화법을 이용한 p-type 4H-SiC(0001) 에피택셜층 성장과 이를 이용한 MESFET 소자의 전기적 특성

### Epitaxial Layer Growth of p-type 4H-SiC(0001) by the CST Method and Electrical Properties of MESFET Devices with Epitaxially Grown Layers

이기섭<sup>1</sup>, 박치권<sup>2</sup>, 이원재<sup>1,a</sup>, 신병철<sup>1</sup>, Shigehiro Nishino<sup>3</sup>  
(Gi-Sub LEE<sup>1</sup>, Chi-Kwon Park<sup>2</sup>, Won-Jae Lee<sup>1,a</sup>, Byoung-Chul Shin<sup>1</sup>, and Shigehiro Nishino<sup>3</sup>)

#### Abstract

A sublimation epitaxial method, referred to as the Closed Space Technique (CST) was adopted to produce thick SiC epitaxial layers for power device applications. In this study, we aimed to systematically investigate surface morphologies and electrical properties of SiC epitaxial layers grown with varying a SiC/Al ratio in a SiC source powder during the sublimation growth using the CST method. The surface morphology was dramatically changed with varying the SiC/Al ratio. When the SiC/Al ratio of 90/1 was used, the step bunching was not observed in this magnification and the ratio of SiC/Al is an optimized range to grow of p-type SiC epitaxial layer. It was confirmed that the acceptor concentration of epitaxial layer was continuously decreased with increasing the SiC/Al ratio. 4H-SiC MESFETs having a micron-gate length were fabricated using a lithography process and their current-voltage performances were characterized. It was confirmed that the increase of the negative voltage applied on the gate reduced the drain current, showing normal operation of FET device.

**Key Words** : SiC, p-type epilayer, CST, Step-bunching, MESFET

#### 1. 서론

1993년 “계단 제어 에피택셜법”에 의한 에피택셜 성장층의 고품질성을 이용하여 두께 10  $\mu\text{m}$  정도에서 내압 1 KV의 6H-SiC의 쇼트키 다이오드가 처음으로 소개되었다. SiC는 절연파괴전계가 실리콘 보다 10배 정도 높아서 저손실 파워 일렉트로닉스 재료로서의 인식이 높아 졌다. 이것을 이용하여 두께 13  $\mu\text{m}$ 에서 내압 1.7 KV의 쇼트키 다이오드가 1995년에 보고되었고 이것을 계기로 전원

반도체로서의 4H-SiC 소자 응용을 매우 중요하게 되었다. 고품질 에피택셜 성장과 이 쇼트키 장벽을 이용하여 고주파·고출력의 MESFET(Metal Semiconductor Field Effect Transistor, 금속/반도체 전계효과 트랜지스터)가 보고되어 반절연성 기판 개발의 계기가 되었다[1].

이러한 소자에서의 응용은 p-type SiC 에피택셜 성장층이 필요하며, 이를 이용하기 위해서는 에피택셜층의 성장 조건과 함께 마이크로 파이프(micropipe)같은 내부 결함이 없는 두꺼운 에피택셜 성장층을 만들어야 한다.

과거에 많은 연구자들은 주로 CVD법으로 에피택셜 성장층을 제조하였지만, 인체에 해로운 가스를 사용함으로써 공정상에 많은 위험이 뒤따랐다. 본 연구에는 위험요소를 개선하고자 기존의 일반적인 승화법[2]을 수정한 CST방법을 사용하였다. 이 방법은 승화 에피택셜[3] 또는 승화 샌드위치(sandwich)라 불린다[4].

1. 동의대학교 나노공학과  
(부산시 부산진구 엄광로 995)  
2. 동의대학교 신소재공학과  
3. 동의대학교 전자세라믹스센터  
a. Corresponding Author : leewj@deu.ac.kr  
접수일자 : 2007. 10. 10  
1차 심사 : 2007. 10. 26  
심사완료 : 2007. 11. 15

본 실험에서 사용된 CST방법의 특징은 유독가스를 사용하지 않고, 수평로를 이용하여 일반적인 승화법과는 다른 열 구배를 가지도록 했으며 기판과 소스를 1 mm 정도로 이격시켜 짧은 시간에 양질의 에피텍셀 성장막을 얻을 수 있는 것이다 [5-9].

본 연구에서는 CST방법으로 일정한 성장온도와 압력을 유지한 상태에서 SiC분말과 Al분말을 wt% 비율로 변화를 주어 내부 결함이 없는 균일하고 두꺼운 p-type의 SiC 에피텍셀 성장층을 얻었다. SiC분말과 Al분말의 wt% 비율에 따른 표면형상, 전기적 특성을 조사하였고, 성장막을 이용하여 MESFETs을 제작하여 그 전기적 특성을 분석하였다.

## 2. 실험

CST 승화법을 이용하여 4H-SiC(0001) 기판 위에 p-type SiC 에피텍셀 성장층을 얻었으며 본 실험에서 사용한 수평로의 구조는 그림 1에 나타내었다. 기판은 서셉터(susceptor) 위에 위치하며, 반응로를 보호하기 위해 다공성 graphite 안에 susceptor를 설치했다. Susceptor에는 4개의 구멍이 있으며 높이가 11 mm 이고 직경은 20 mm인 도가니를 그 위에 위치시켰다. 4개의 도가니는 10 mm X 10 mm SiC wafer를 넣을 수 있으며 이것은 susceptor 위에 위치한다. 이 디자인은 다량의 에피텍셀층 형성 시스템에 응용할 수 있도록 제작한 것이다. 8° off-axis를 가지는 상용화 4H-SiC(0001) wafer를 기판으로 사용하였다. 소스는 6H-SiC분말에 Al분말을 wt% 비율로 조절하여 사용하였다. 소스와 기판의 온도는 서로 다르며 도가니의 구조를 변화시킴으로써 온도 구배를 주었다.

p-type SiC 에피텍셀 성장은 그림 2와 같이 소결(Sintering) 구간과 성장(Growth) 구간을 가지며, 그림 2의 공정 변수인 온도와 압력은 일정하게 하였으며, SiC/Al분말 비율에 따라 에피텍셀 SiC를 성장 시켰다.

성장 온도는 2000 °C 이며 4H-SiC 기판의 Si 면에서 에피텍셀 성장층을 얻었다.

SiC 에피텍셀 성장층의 표면 형상을 관찰하기 위하여 전자현미경(FE-SEM)과 AFM을 사용하였다. 성장층에서 관찰된 결함을 EDS분석을 하였고, 전기적 특성을 측정하기 위하여 Hall Effect Measurement를 사용하였다.

p-type SiC 에피텍셀 성장층을 이용하여 MESFETs 소자를 구현하였으며 전기적 특성을 조사하였다.

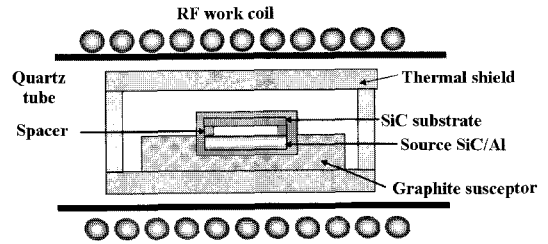


그림 1. 수평로 안의 내부 구조로서, 소스와 기판 사이의 거리를 1 mm로 유지 시켰다.

Fig. 1. Configuration of the growth assembly in a horizontal reaction tube. The distance between source and substrate was 1 mm.

## 3. 결과 및 고찰

그림 3은 전자 현미경으로 관찰한 SiC/Al분말 비율에 따른 p-type SiC 에피텍셀 성장층의 표면 형상이다. <11-20> off-direction 방향을 따라 배열되어 있는 선들이 관찰되는데, 이 선들을 step-bunching이라 하며, step-bunching은 에피텍셀층 성장 시 발생하며, 이러한 현상은 몇 개의 작은 스텝이 큰 스텝으로 합쳐지는 현상으로 에피텍셀층의 특성에 영향을 미친다[10].

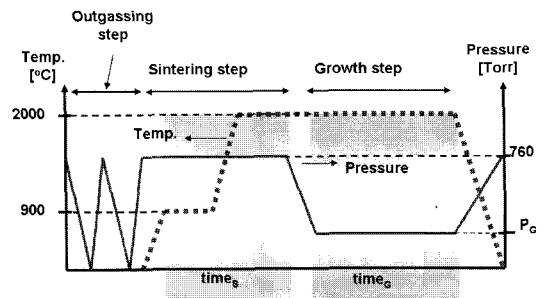


그림 2. CST 방법을 사용하여 p-type SiC 에피텍셀 성장층을 얻기 위한 온도와 압력 공정 그래프이다.

Fig. 2. Schematic diagram of the process procedure for p-type SiC epitaxial growth by the Close Space Technique (CST) method. Displayed are the process temperature (Temp) and the process pressure as a function of process time.

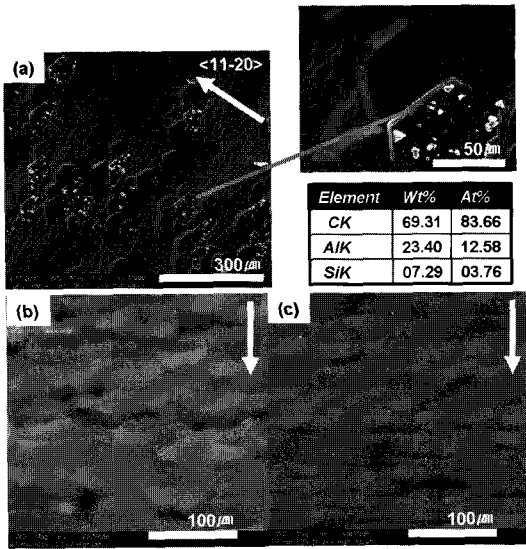


그림 3. SiC/Al 분말 비율에 따라 성장된 p-type 에피텍셀층의 결함 및 표면 형상을 전자현미경으로 관찰. (a) SiC/Al=20/1 비율로 성장된 에피텍셀층의 결함 관찰 및 성분 분석 (b) SiC/Al=30/1 (c) SiC/Al=50/1

Fig. 3. FE-SEM images of Surface morphologies and defects of p-type SiC epitaxial layer grown with different ratio of SiC/Al powders. (a) The observation of defects on the epitaxial layer grown with SiC/Al=20/1 and the components analysis (b) SiC/Al=30/1 (c) SiC/Al=50/1

그림 3(a)는 <11-20> 방향으로 SiC 에피텍셀 성장층과 함께 형성된 삼각형 모양을 가지는 결함을 EDS로 분석한 것이다. Al, C, Si 성분을 확인 하였으며, a축과 c축이 SiC 결합체와 비슷하고 결정다형이 Hexagonal로 같은 Al<sub>4</sub>C<sub>3</sub>로 판단되었다. 그림 3(b), (c)는 <11-20> 방향을 따라 굴곡이 있는 step-bunching을 관찰 할 수 있었다. 이는 Al분말의 비율이 클 때는 상대적으로 많은 Al원자가 승화되어 Si와 치환되어 결합을 이루기 때문에 원자간의 격자 간격이 맞지 않기 때문이라 판단된다.

그림 4는 Al의 비율을 낮추면서 성장을 시킨 SiC를 전자현미경과 AFM으로 관찰한 결과이다. 그림 4(a), (c)는 <11-20> 방향을 따라 정렬된 step-bunching을 관찰할 수 있으며 Al분말의 비율이

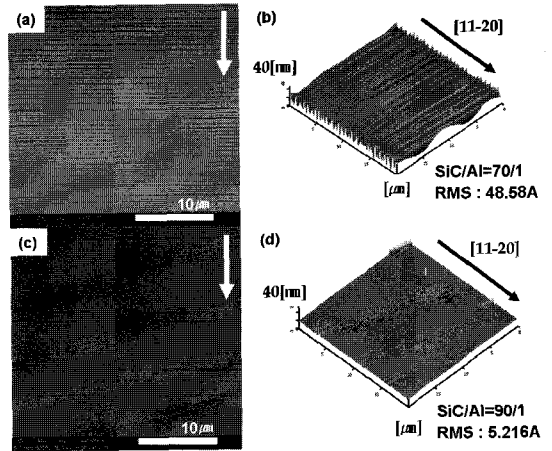


그림 4. SiC/Al 분말 비율에 따라 성장된 p-type 에피텍셀층의 표면 형상을 전자현미경 관찰 및 AFM 결과.

- (a) SiC/Al=70/1
- (b) SiC/Al=70/1 AFM 결과
- (c) SiC/Al=90/1
- (d) SiC/Al=90/1 AFM 결과

Fig. 4. FE-SEM image of Surface morphologies and AFM data of p-type SiC epitaxial layer grown with different ratio of SiC/Al powder.

- (a) SiC/Al=70/1
- (b) SiC/Al=70/1 AFM data
- (c) SiC/Al=90/1
- (d) SiC/Al=90/1 AFM data

낮을수록 경면의 표면을 얻었다. SiC/Al=90/1의 비율에서는 step의 간격이 넓어졌으며, RMS값 역시 크게 향상되었다. 본 실험에서는 SiC/Al=90/1의 비율이 p-type SiC 에피텍셀 성장층 성장의 가장 최적화 조건 이었다.

p-type 에피텍셀 성장층의 전기적 특성을 측정하기 위하여 홀 효과를 측정 하였다. Al분말 비율에 따른 홀 효과 측정값은 표 1에서 나타내었다.

성장된 막은 전형적인 p-type 반도체의 특성을 나타내었다. 캐리어의 농도는 SiC/Al의 비율이 30/1이었을 때  $8.6 \times 10^{18} / \text{cm}^3$ 이며 90/1의 비율에서는  $4.4 \times 10^{18} / \text{cm}^3$ 으로, Al분말의 비율이 낮아짐에 따라 감소하였다. 경면의 표면을 가지는 샘플 즉, Al분말 비율이 60/1 이상의 성장표면에서 정공 이동도는  $30 \text{ cm}^2 / \text{V} \cdot \text{s}$ 이었다.

표 1. SiC/Al 분말 비율에 따른 에피텍셀 성장층의 홀 측정.

Table 1. Hall effect measurement with various SiC/Al powder ratio.

SiC:Al (wt%)	Type	Bulk concentration (Nb) [ $\text{cm}^{-3}$ ]	Mobility ( $\mu$ ) [ $\text{cm}^2/\text{V}\cdot\text{s}$ ]	Bulk resistivity ( $\rho$ ) [ $\Omega\cdot\text{cm}$ ]
30/1	P	8.65E+18	4.02	0.18
50/1	P	3.42E+18	14.37	0.13
60/1	P	2.66E+17	32.39	0.72
70/1	P	3.45E+17	33.05	0.54
80/1	P	3.14E+17	31.21	0.63
90/1	P	4.32E+17	30.76	0.46

에피텍셀 성장층을 이용하여 그림 5(a), (b)와 같은 MESFET 소자를 구현하였다. MESFET 구조를 구현하기 위하여 두 개의 마스크를 이용하였으며, 포토리소그래피 공정과 HCl+HNO<sub>3</sub> wet etching 용액을 이용한 liftoff 공정을 사용하였다. 그림 5(a)는 p-type SiC(0001) 기판 위에 n-type의 에피텍셀 성장층을 성장 하였고, 성장층의 두께는 1  $\mu\text{m}$ 이며 MESFET의 게이트 거리는 20  $\mu\text{m}$ 이다. 그림 5(b)는 n-type SiC(0001) 기판위에 p-type의 에피텍셀층을 1.2  $\mu\text{m}$  성장시켰으며 그 위에 n-type의 에피텍셀층을 1.5  $\mu\text{m}$  성장 시켰다. 이때 게이트의 거리는 40  $\mu\text{m}$ 이다. 두 MESFET 구조의 소스와 드레인 영역은 오믹 접합이며 게이트 영역은 쇼트키 접합을 하여 쇼트키의 접합에서 공핍층을 형성한다. 이 공핍층은 전압에 따라 높이가 달라질 수 있으며, n-채널로 지나가는 전자들을 제어 하여 FET의 역할을 할 수 있게 구현 하였다. 그림 5(a)의 구조에서 I-V 전기적 특성을 그림 6(a)에서 나타내었다.

게이트 전압이 0 V 이고 드레인 전압이 5 V일 때 15 nA에서 전류는 포화됨을 보이고 있다. 게이트 전압은 0 V에서 전압이 낮아짐에 따라 전류의 포화도는 점차 감소하고 있다. 이러한 현상은 게이트 영역에서 쇼트키 접합이 생김으로 해서 공핍층(Depletion region)이 형성되어 있다.

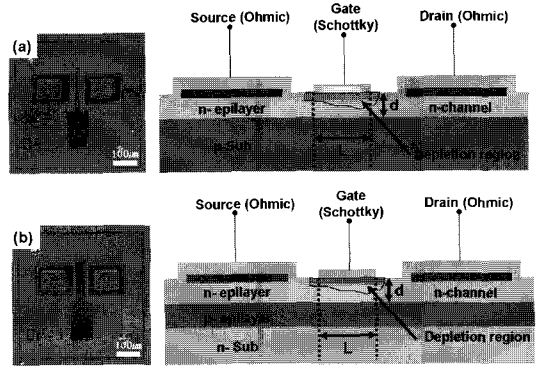


그림 5. MESFET 소자의 광학현미경 이미지와 구조. (a) n-type의 SiC 에피텍셀층의 두께는 1  $\mu\text{m}$ 이며 MESFET의 게이트 거리는 20  $\mu\text{m}$ 이다. (b) 게이트의 거리는 40  $\mu\text{m}$ 이며 p-type 에피텍셀층과 n-type 에피텍셀층의 두께는 각각 1.2  $\mu\text{m}$  와 1.5  $\mu\text{m}$ 이다.

Fig. 5. A microscope image of a MESFET device and the schematic cross-sectional structure of MESFET device. (a) A thickness of n-epilayer was 1  $\mu\text{m}$  and a gate length of the fabricated MESFET device was 20  $\mu\text{m}$ (L=20). (b) Gate length is 40  $\mu\text{m}$ (L=40). p- and n-epilayer thickness are 1.2  $\mu\text{m}$  and 1.5  $\mu\text{m}$ .

Minus(-) 전압이 게이트에 걸리면 공핍층의 크기가 아래방향으로 커져, 어느 일정한 전압 이상이 되면 공핍층이 p-type SiC에 접합되어 더 이상 전류가 흐르지 않게 된다. 이것은 MESFET의 특성 중 하나이며, 공핍층으로 전류의 양을 조절할 수 있게 된다.

그림 5(b) 구조에서 I-V 전기적 특성을 그림 6(b)에서 나타내었다. 게이트 전압이 0 V에서 -20 V까지 측정하였으며, 전압이 낮아짐에 따라 전류의 양은 점차 감소하고 있다. 게이트 전압이 -20 V 이하가 되면 더 이상 전류는 흐르지 않는다. 이는 -20 V가 되면 공핍층이 p-type 에피텍셀층까지 도달하여 전류의 흐름을 차단하기 때문이다.

이러한 현상은 MESFET의 공핍층 모드의 특성이며, 쇼트키 접합으로 인한 공핍층의 확장으로 발생한다. 공핍층으로 전류의 양을 조절 할 수 있게 되어 FET의 소자에 많은 응용을 할 수 있을 것으로 기대된다.

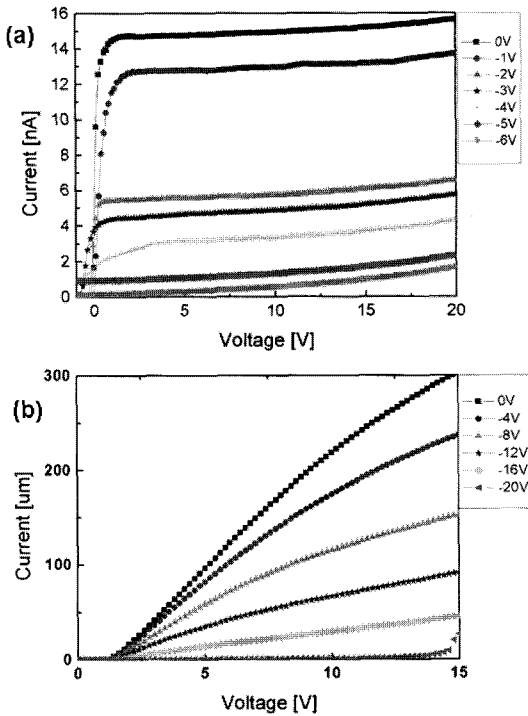


그림 6. 게이트 거리가 20  $\mu\text{m}$ 와 40  $\mu\text{m}$ 일 때 MESFET의 I-V 특성. (a) 게이트 전압이 0 V이고, 드레인 전압이 5 V일 때 전류는 15 nA에서 포화되었다. (b) 게이트 전압이 -20 V일 때 더 이상 전류는 흐르지 않았다.

Fig. 6. I-V characteristics of the MESFET device with a gate length of 20 and 40  $\mu\text{m}$ . (a) The saturated drain current was 15 nA at a drain voltage of 5 V and a gate voltage of 0 V. (b) The current didn't flow with a gate voltage of -20 V.

#### 4. 결론

SiC와 Al분말의 비율을 달리하여 CST방법으로 승화 증착 시킨 에피텍셜층의 표면형상 및 전기적 특성을 분석하였다. Al분말의 비율이 큰 경우에는 <11-20> 방향을 따라 굴곡 있는 step-bunching을 관찰하였고, Al분말의 비율이 낮은 경우에는 정렬된 step-bunching을 관찰하였다. SiC/Al의 비율이 90/1일때 step-bunching이 거의 없는 에피텍셜층을 얻었으며, 5 Å의 RMS값을 보였다. Al분말

비율이 낮아짐에 따라 에피텍셜층의 캐리어 농도는 감소함을 홀 측정 결과로 확인 할 수 있었다.

4H-SiC MESFET을 제작하기 위하여 마스크를 설계하였으며, 포토리소그래피 공정과 lift-off 공정을 이용하여 pn 구조와 npn 구조의 MESFET을 제작하였다. MESFETs의 I-V를 측정 하였으며 동작 여부를 확인 하였다. 게이트 영역에 음극을 걸어 주었을 때, 음극의 전압이 커질수록 드레인에서 소스로 흐르는 전류가 감소됨을 확인 할 수 있었고 이는 게이트 영역의 공핍층이 점차 늘어나 전류의 흐름을 방해한 것이다.

#### 감사의 글

이 논문은 2006학년도 동의대학교 교내 연구비에 의하여 수행되었음(2006AA172).

#### 참고 문헌

- [1] C.-K. Park, W.-J. Lee, S. Nishino, and B.-C. Shin, "4H-SiC(0001) epilayer growth and electrical property of schottky diode", J. of KIEEME(in Korean), Vol. 19, No. 4, p. 344, 2006.
- [2] J.-G. Kim, K.-R. Ku, D.-J. Kim, S.-P. Kim, W.-J. Lee, B.-C. Shin, G.-H. Lee, and I.-S. Kim, "SiC crystal growth by sublimation method with modification of crucible and insulation felt design", Mater. Sci Forum, Vol. 483-485, p. 47, 2005.
- [3] M. Tuominen, R. Yakimova, M. Syvajarvi, and E. Janzen, "Domain misorientation in sublimation grown 4H SiC epitaxial layers", Mater. Sci. Eng., Vol. 1, p. 168, 1999.
- [4] A. S. Segal, A. N. Vorob'ev, S. Yu. Karpov, E. N. Mokhov, M. G. Ramm, M. S. Ramm, A. D. Roenkov, Yu. A. Vodakov, and Yu. N. Makarov, "Growth of silicon carbide by sublimation sandwich method in the atmosphere of inert gas", J. Cryst. Growth, Vol. 208, p. 431, 2000.
- [5] Lilov, D. S. K., Tairov, Y. M., Tsvetkov, V. F., and Chernov, M. V., "Structural and morphological peculiarities of the epitaxial

- layers and monocrystals of silicon carbide highly doped by nitrogen”, *Phys. Status Solidi*, Vol. 37, Iss. 1, p. 143, 1986.
- [6] T. Yoshida, Y. Nishio, S. K. Lilov, and S. Nishino, “Epitaxy of high quality SiC layers by CST”, *Mater. Sci Forum*, Vols. 264~268, p. 155, 1998.
- [7] A. Kakanakova-Georgieva, M. F. MacMillan, S. Nishino, R. Yakimova, and E. Janzén, “The effects of growth conditions on dislocation density in SiC epi-layers produced by the sublimation epitaxy technique”, *Mater. Sci Forum*, Vol. 264-268, p. 147, 1998.
- [8] S. Nishino, T. Yoshida, and Y. Nishio, “Epitaxial growth of high quality SiC by sublimation close space technique”, *Mat. Res. Soc. Symp. Proc.*, Vol. 483, p. 307, 1998.
- [9] S. Yoneda, T. Furusho, H. Takagi, S. Ohta, and S. Nishino, “Homepitaxial growth on 4H-SiC(03-38) face by sublimation close space technique”, *Mater. Sci Forum*, Vol. 483-485, p. 129, 2005.
- [10] M. Syvajarvi, R. Yakimova, T. Iakimov, and E. Janzen, “Characterization of anisotropic step-bunching on as-grown SiC surface”, *Mater. Sci Forum*, Vol. 338-342, p. 375, 2000.