Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 20, No. 12, p. 1017, December 2007.

논 문 20-12-1

테라비트급 나노 스케일 SONOS 플래시 메모리 제작 및 소자 특성 평가

Fabrication and Device Performance of Tera Bit Level Nano-scaled SONOS Flash Memories

김주연[1,a], 김문경[2], 김병철[3], 김정우[4], 서광열[5]
(Joo-Yeon Kim[1,a], Moon-Kyung Kim[2], Byung-Cheul Kim[3], Jung-Woo Kim[4], and Kwang-Yell Seo[5])

Abstract

To implement tera bit level non-volatile memories of low power and fast operation, proving statistical reproductivity and satisfying reliabilities at the nano-scale are a key challenge. We fabricate the charge trapping nano scaled SONOS unit memories and 64 bit flash arrays and evaluate reliability and performance of them. In case of the dielectric stack thickness of 4.5 /9.3 /6.5 ㎚ with the channel width and length of 34 ㎚ and 31㎚ respectively, the device has about 3.5 V threshold voltage shift with write voltage of 10 ㎲, 15 V and erase voltage of 10 ㎳, -15 V. And retention and endurance characteristics are above 10 years and 10^5 cycle, respectively. The device with LDD(Lightly Doped Drain) process shows reduction of short channel effect and GIDL(Gate Induced Drain Leakage) current. Moreover we investigate three different types of flash memory arrays.

Key Words : Charge trapping SONOS memory, Nano scaled non-volatile memory, SSL-NOR array

1. 서 론

오늘날 플래시 메모리 소자는 비휘발성, 저전력, 고속동작, 그리고 고집적화를 이루어야 할 뿐만아니라 고신뢰성을 요구하고 있다. 이를 위해 나노크리스탈 메모리에서 단전자 혹은 아주 작은 량의 전자를 저장하는 방법과 ONO(oxide-nitride-oxide) 유전막의 스택에 전하를 트랩하여 저장하는 SONOS (polySilicon-Oxide-Nitride-Oxide-Silicon) 소자를 이용하는 방법이 연구되고 있다[1,2]. 산화막과 질화막의 계면과 질화막 내에 국소적으로 아주 많은 전하를 축적할 수 있는 SONOS 소자는 절연 박막의 두께를 스케일다운 할 수 있기 때문에 나노크리스탈 소자의 다른 장점과 트레이드-오프 할 수 있다. 또한 현재 주류를 이루고 있는 플로팅 게이트 형의 경우 신뢰성을 만족하기위해 두꺼운 산화막을 형성하여야 하고 6 MV/㎝ 이상의 높은 필드가 쓰기/소거 동작 시 인가되어야 한다. 이러한 고전압 동작과 두꺼운 산화막은 나노스케일로의 스케일 다운을 어렵게 한다. 이에 반해 전하트랩형 SONOS(silicon-oxide-nitride-oxide-silicon) 소자는 질화막내에서 전하를 트랩하기 때문에 얇은 터널링 산화막을 사용하고 따라서 저전압 동작이 가능하다[3-5]. 또한 2-비트(bit) 및 멀티비트(multi-bit) 동작이 가능하여 최근에 집중적인 연구가 이루어지고 있다[3,6].

이러한 SONOS 메모리를 이용한 테라비트(tera-bit)급 플래시 메모리를 제작하기위하여 나노스케일의 SONOS 단위소자를 제작하고 그 특성과

1. 울산과학대학 전기전자학부 반도체응용전공 (울산시 무거동 산149)
2. Department of Electrical and Computer Engineering, Cornell University
3. 진주산업대학 전자공학부
4. 삼성전자 메모리 사업부 반도체 R&D center
5. 광운대학교 전자재료공학과
a. Corresponding Author : joo@mail.uc.ac.kr
접수일자 : 2006. 9. 12
1차 심사 : 2006. 12. 18
심사완료 : 2007. 11. 15

신뢰성을 평가하여 재현성을 확보하고자 한다. 유전막의 두께를 달리하고 LDD(Lightly Doped Drain) 공정을 거친 소자와 그렇지 않은 소자를 평가하여 그 영향을 조사하였다 또한 NAND형과 CSL(Common Source Line)-NOR와 SSL(Separated Source Line)-NOR의 서로 다른 세 가지 형태의 64 비트 메모리 어레이를 제작하여 테라비트급 플래시 메모리 개발의 가능성을 조사하였다.

2. 실 험

깊게 식각된 얼라인(align) 마크를 사용하는 SOI (Silicon-On-Insulator) 기판위에 나노 스케일의 좁은 채널 폭과 짧은 채널 길이를 형성하기 위하여 광학과 전자빔(electron-beam)이 결합된 혼합 리소그라피(mixed mode lithography) 공정을 사용하였다. 숏채널(short-channel) 효과를 제어하기 위해 얕은 접합(shallow junction)을 형성할 수 있는 최적의 기판 농도와 소오스/드레인 이온 주입의 최적값을 충분한 simulation을 통해 구하였다. 산화막 위의 얇은 실리콘 영역을 식각하여 액티브 영역을 형성한 후 그 위에 스택(stack)형으로 ONO (tunneling Oxide-Nitride-blocking Oxide) 유전막을 형성하였다. 터널링 산화막은 열산화막으로 성장시켰고, 질화막과 블로킹 산화막은 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 제작하였다. 소자 A는 게이트의 폭(Width)과 길이(Length)를 33/ 46 nm로 하였고 ONO 유전막의 두께는 2 /7 /9 ㎚ 로 하였다. 소자 B는 게이트의 W/L(Width/Length)가 각각 34 ㎚와 31 nm이고 4.5 /9.3 /6.5 ㎚ 두께의 유전막을 갖도록 하였다. 나노 스케일의 게이트 패턴은 전자빔 리소그라피을 사용하여 폴리실리콘 영역에 구현하였다. 숏 채널(short-channel) 효과 등을 줄이기 위해 LDD 공정을 채널 길이 46 nm 인 소자 A에는 적용하였고 비교를 위하여 다른 소자 B는 LDD 공정을 거치지 않았다. 소오스와 드레인 이온 주입을 위해 사이드 웰(side wall) 공정이 두 소자 모두에 적용되었다.

그림 1은 SONOS 소자의 구조를 보여주고 있다. 그림 (a)는 단면구조이고 그림 (b)는 제작된 ONO (2 /7 /9 ㎚) 유전막의 TEM(transmission-electron micrograph) 이미지이다. 가운데 검은 부분이 질화막이다. 그림 1(c)와 (d)는 각각 채널 길이가 46 ㎚와 31 ㎚인 SONOS 소자의 주사전자현미경 (SEM) 이미지이다.

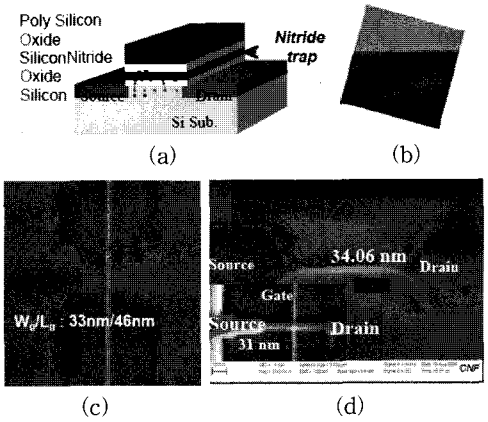


그림 1. SONOS 소자의 (a) 단면 구조도, (b) 제작된 ONO(2 /7 /9 ㎚) TEM 사진, (c) 게이트 채널 길이가 46 ㎚인 SEM 이미지, (d) 채널 길이 31 ㎚인 SEM 이미지.

Fig. 1. SONOS device of (a) structure of cross section, (b) TEM image of ONO, (c) SEM image with channel length of 46 ㎚ and (d) 31 ㎚.

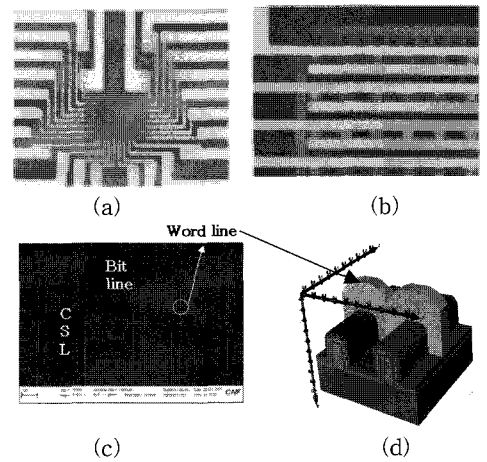


그림 2. 제조된 나노 SONOS 플래시 메모리 어레이 (a) NAND 어레이의 광학 현미경 사진, (b) SSL-NOR 어레이의 광학현미경 사진 이미지, (c) CSL-NOR 어레이 SEM 사진, (d) 3 차원 시뮬레이션한 CSL-NOR 어레이 구조.

Fig. 2. Fabricated nano SONOS flash memory arrays (a) optical microscope image of NAND array, (b) optical microscope image of SSL-NOR array image, (c) SEM image of CSL-NOR array, (d) 3-D simulated CSL-NOR structure.

그림 2는 어레이 구조를 나타내고 있다. 그림 (a)는 NAND 어레이의 광학현미경 사진이고 그림 (b)는 SSL(Separated Source Line)-NOR 어레이의 광학현미경 사진이다. 그림 (c)는 산화막을 제거한 CSL(Common Source Line)-NOR 어레이의 주사전자현미경 (SEM) 사진이다. 그림 (d)는 3차원으로 시뮬레이션 한 CSL-NOR 어레이 구조이다. 나노 스케일의 어레이를 제작하기 위해 워드라인 및 비트라인의 간격(pitch) 등을 시뮬레이션 하여 공정 조건을 결정하였다.

3. 결과 및 고찰

그림 3은 SONOS 소자의 전달 특성을 보여주고 있다. 게이트 길이가 31 ㎚이고 LDD 공정을 수행하지 않은 소자 B의 전달 특성은 143 ㎷/V의 DIBL (Drain Induced Barrier Lower)과 473 ㎷/decade의 SS(sub-threshold swing) 특성을 보여주고 있고 게이트 길이가 46 ㎚이며 LDD 공정을 수행한 소자 A는 210 ㎷/V의 DIBL과 81 ㎷의 SS 특성을 보여주고 있다. 소자 B의 경우 채널 길이가 작고 LDD 공정을 수행하지 않았기 때문에 DIBL과 SS 특성이 열화된 것으로 사료된다. 또한 그림에서 LDD 공정을 수행한 경우 10^6 이상의 on/off 전류비를 보이고 있는 반면 그렇지 않은 경우는 $5x10^5$ 의 전류비와 약 50 fA의 오프상태(off-sate) 전류를 보이고 있다. 그림 3(b)에서 게이트에 음의 전압이 걸렸을 때 off-state 전류가

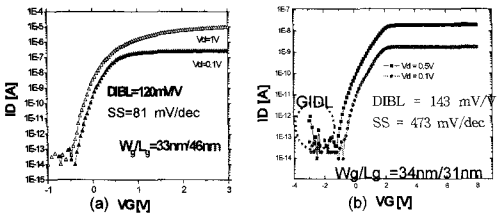


그림 3. SONOS 메모리의 전달 특성 (a) 게이트 길이와 폭이 W/L=33 nm/46 nm인 LDD 공정을 수행한 소자 (b) 게이트 길이와 폭이 W/L=34 nm/31 nm인 LDD 공정을 수행하지 않은 소자

Fig. 3. SONOS memories transfer characteristics (a) W/L=33 nm/46 nm with LDD process, Vd=0.1 V, 1 V, (b) W/L=34 nm/31 nm without LDD process, Vd=0.1 V, 0.5 V.

GIDL(gate induced drain leakage)에 기인하여 증가한 모습을 보이고 있다. 이는 게이트 채널 전체에 대해 드레인의 게이트 중첩영역 비가 소자 A에 비하여 소자 B가 크기 때문에 같은 게이트 전압을 인가했을 경우, 더 높은 전압이 게이트와 드레인이 중첩된 영역에 인가되고 그로 인해 전자의 터널링이 증가하기 때문으로 사료된다. 나노 스케일 메레이 구조에서 드레인 전압(비트 라인)에 따른 영향이 크기 때문에 읽기 동작 시 누설 전류를 고려하여 비트라인 전압을 선택하여야 한다.

그림 4는 게이트에 인가하는 전압 값과 펄스폭을 달리하여 기본적인 쓰기/소거 동작을 조사한 것이다. 유전막 두께가 4.5 /9.3 /6.5 nm인 소자 B는 10 ㎲, 15 V의 쓰기 전압과 10 ㎳, -15 V의 소거 전압이 인가되었을 때는 약 3.5 V의 문턱전압 이동을 나타냈었다. 질화막의 두께가 7 ㎚인 소자 A의 경우는 최대 2.7 V의 메모리 윈도우를 보이고

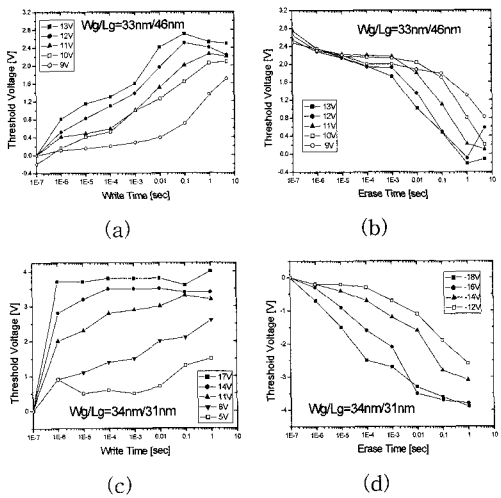


그림 4. SONOS 메모리 소자의 전압에 따른 쓰기 (a)(c)와 소거(b)(d) 특성: (a)(b) LDD 공정을 수행한 채널 W/L가 33/ 46 nm 이고 ONO 두께가 2 /7 /9 nm인 소자, (c)(b) LDD 공정 없고 W/L= 33/ 31 nm 이고 ONO = 4.5 /9.3 /6.5 nm인 소자.

Fig. 4. The write (a)(c) and erase (b)(d) characteristics of the SONOS memory for different write and erase voltages: (a)(b) W/L = 33/46 nm and ONO stack is 2, 7 and 9 nm, (c) (d) W/L = 34/ 31 nm and ONO stack is 4.5, 9.3 and 6.5 nm.

있다. 이상의 결과로부터 메모리 창의 크기는 트랩이 분포하는 질화막의 두께에 비례함을 알 수 있다. 또한 전압을 높이고 인가시간을 늘려도 문턱전압의 이동은 약 4 V를 넘지 않고 포화되는 경향을 보이고 있다.

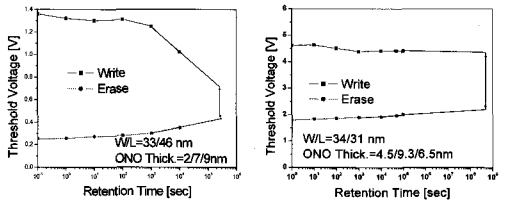
CHEI(Channel Hot Electron Injection) 방식의 쓰기는 문턱전압을 변화 시키지 못하였는데, 이는 SOI 구조에서 기판의 플로팅에 의한 hot carrier 발생이 적은 영향으로 사료된다.

그림 5는 기억유지 특성을 보여주고 있다. 그림 5(a)는 채널 길이가 46 ㎚로 상대적으로 큰 소자 A의 기억유지 특성으로 기억유지 특성에 열화가 심하게 나타나고 있다. 이는 터널링 산화막의 두께가 소자 B의 경우보다 작은 2 ㎚여서 쉽게 터널링이 일어나기 때문으로 사료된다. 또한 쓰기 상태에서의 트랩된 전하의 de-trapping이 소거 상태의 경우보다 빠르게 진행되고 있다. 이는 실리콘 질화막에서 전자 트랩의 에너지 준위가 1 eV로 1.6 eV인 홀 트랩의 에너지 준위보다 좁기 때문이다. 그림 5(b)는 터널링 산화막의 두께가 4.5 ㎚인 소자 B의 특성으로 2.7 V의 초기 문턱전압이 10년 후 2.2 V 문턱전압을 보이고 있어 10년 이상의 기억유지 특성을 보이고 있음을 알 수 있다. 이상으로부터 터널링 산화막의 두께가 기억유지 특성에 주된 영향을 주고 있음을 알 수 있다.

그림 6은 쓰기/소거 싸이클링 특성이다. 질화막 두께 차이에 의해 메모리 창을 각각 0.5 V와 2 V로 하여 10^5 회의 쓰기/소거 싸이클링 특성을 측정한 결과 각각 0.2 V와 0.6 V의 문턱전압 감소를 나타내는 비교적 양호한 특성을 보이고 있다. 나노스케일 SONOS 메모리의 신뢰성을 확보하여 재현성 있는 소자를 제작하기 위해서는 우리의 실험결과에 의하면 터널링 산화막의 두께가 적어도 2 ㎚ 이상은 되어야 함을 알 수 있다.

이상의 단위 소자평가 특성으로부터 채널 W/L이 33/ 31 nm 이고 ONO 두께는 4.5 /9.3 /6.5 nm인 소자 B로 단위 셀이 이루어진 NAND, SSL-NOR 그리고 CSL-NOR의 세 가지 구조 어레이를 측정하였다. 단위소자의 쓰기/소거 특성을 어레이에 적용하여 어레이의 쓰기/소거 특성을 평가하였다.

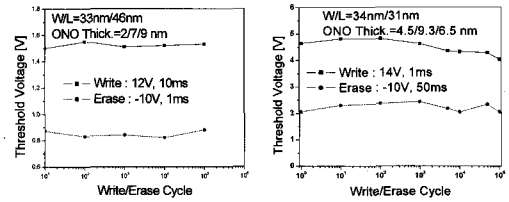
문턱전압이 음의 영역으로 이동하지 않아 NAND 어레이 동작을 구현할 수가 없었다. 이후 제작에서 Ge nano-crystal을 embedded SiN 층에 형성하거나 metal gate를 형성하는 등의 새로운 방법을 도입하여 문턱전압의 이동 영역을 현실화할 필요가 있으며, 비트라인의 전위가 문턱전압 만큼 씩 감소하지 않고 전달 할 수 있도록 body-contact을 형성하여 비트라인의 저항으로 인한 disturbance를 감소하도록 하여야 할 것으로 사료된다.



(a) (b)

그림 5. SONOS 메모리 소자의 기억유지 특성 (a) LDD 공정을 수행한 채널 W/L 가 33/ 46 nm 이고 ONO 두께가 2 /7 /9 nm인 소자, (b) LDD 공정을 수행하지 않고 채널 W/L이 33/ 31 nm 이고 ONO 두께는 4.5 /9.3 /6.5 nm인 소자.

Fig. 5. Retention characteristics (a)W=33 nm, L=46 nm with LDD process, ONO stack is 2 /7 /9 nm (b)W=34 nm, L=31 nm Non-LDD process, ONO stack is 4.5 /9.3 /6.5 nm.



(a) (b)

그림 6. SONOS 메모리의 내구성 특성 (a) LDD 공정을 수행한 채널 W/L 가 33/ 46 nm 이고 ONO 두께가 2 /7 /9 nm인 소자, (b) LDD 공정을 수행하지 않고 채널 W/L이 33/ 31 nm 이고 ONO 두께는 4.5 /9.3 /6.5 nm인 소자.

Fig. 6. Endurance characteristics (a) W=33 nm, L=46 nm with LDD process, ONO stack is 2 /7 /9 nm (b) W=34 nm, L=31 nm Non-LDD process, ONO stack is 4.5 /9.3 /6.5 nm.

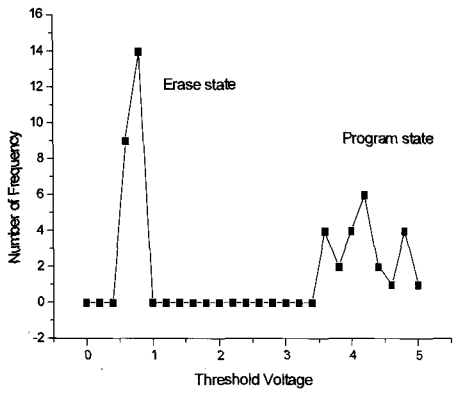


그림 7. SSL-NOR 어레이 단위 셀의 문턱전압 분포.

Fig. 7. Threshold voltage distribution of unit cell in SSL-NOR array.

SSL-NOR 어레이의 경우 FN(Fowler-Nordheim) 터널링 쓰기/소거 동작을 적용하였다. 선택된 셀의 워드라인에는 17 V, 10 μs의 펄스를, 소스와 비트라인에는 0 V를 인가했고 선택되지 않은 셀 중 선택된 셀과 워드라인을 공유하는 inhibit 셀들의 disturbance를 막기 위해 비트라인과 소스라인 모두에 15 V, 10 μs를 인가하여 측정하였다. 어레이 내 단위 메모리 셀들의 문턱전압 분포를 그림 7에 나타냈다. 쓰기 상태의 문턱전압의 분포가 상대적으로 넓게 분포하였다. 쓰기 상태서 문턱전압의 분포가 넓을 경우 pass cell의 전압 결정에 어려움이 많아 이 또한 다음 연구에서 반영할 부분이다.

CSL-NOR 어레이는 CHEI (Channel Hot Electron Injection) 쓰기를 하여야만 셀의 inhibit를 확보할 수 있다. 본 실험에서는 CHE 쓰기 동작이 이루어지지 않아 어레이 동작을 확인 할 수 없었다.

4. 결 론

신뢰성을 확보하여 재현성 있는 테라 비트급 나노 플래시 메모리를 제작하기 위하여 채널 길이와 폭 및 유전막 두께를 달리한 나노스케일 SONOS 단위소자와 64 비트 플래시 어레이를 제작하여 성능과 특성을 조사하였다. ONO 유전막의 두께가 4.5/ 9.3/ 6.5 ㎚이고 채널 길이와 폭이 각각 31 nm와 34 ㎚인 소자는 10 μs, 15 V의 쓰기 전압과 10 ㎳, -15 V의 소거 전압이 인가되었을 때는 약 3.5 V의 메모리 창을 나타냈으며 10년 이상의 기억유지 특성과 10^5 회 이상의 내구성 특성을 나타냈다. 터널링 산화막의 두께가 2 ㎚인 소자는 기억유지 특성을 만족 하지 못하였고 질화막의 두께 7 ㎚로 얇은 경우는 2.7 V의 메모리 창을 보였다. 이상으로부터 기억유지 특성은 터널링 산화막 두께에, 메모리 창의 크기는 질화막의 두께에 주도적인 영향을 받는 것을 알 수 있었다. LDD 공정은 소자 전달 특성과 누설 전류, 특히 GIDL 전류를 감소시키는 효과를 보였다. 제작된 단위 소자의 쓰기/소거 및 신뢰성 특성은 멀티레벨 메모리와 저전압 메모리 특성에 적용할 만큼 우수하였다. 세 가지로 구조를 달리한 메모리 어레이 중 SSL-NOR 어레이의 쓰기/소거 동작을 확인하였다.

감사의 글

본 연구는 울산과학대학 학술연구비 지원에 의한 것입니다.

참고 문헌

[1] F. R. Libsch and M. H. White, "Charge transport and storage of low programming voltage SONOS memory devices", Solid State Electronics, Vol. 33, No. 1, p. 105, 1990.

[2] M. K. Kim and S. Tiawari, "Ultra-short SONOS memories", IEEE tran. on nano technology, Vol. 3, No. 4, p. 417, 2004.

[3] B. Eitan, P. Pavan, I. Bloom, A. Efraim, A. Frommer, and D. Finzi, "NROM: A novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Lett., Vol. 21, p. 543, 2000.

[4] M. H. White, D. A. Adams, and J. Bu, "On the go with SONOS", IEEE Circuits Devices Mag., Vol. 16, p. 22, 2000.

[5] J. Y. Kim, B. C. Kim, and K. Y. Seo, "A study on the high integrated 1TC SONOS flash memory", J. of KIEEME(in Korean), Vol. 16, No. 5, p. 372, 2003.

[6] H. M. An, M. S. Lee, K. Y. Seo, B. C. Kim, and J. Y. Kim, "An investigation of locally trapped charge distribution using the charge pumping method in the two-bit SONOS cell", Trans. EEM, Vol. 5, No. 4, p. 148, 2004.