

정진폭 다중 부호 이진 직교 변복조기의 FPGA 설계 및 SoC 구현

정희원 홍 대기*, 강성진**°, 김용성***, 김선희***, 조진웅***

FPGA Design and SoC Implementation of Constant-Amplitude Multicode Bi-Orthogonal Modulation

Dae-Ki Hong*, Sung-Jin Kang**°, Yong-Seong Kim***,
Sun-Hee Kim***, Jin-Woong Cho*** *Regular Members*

요 약

본 논문에서는 기존의 정진폭 다중 부호 이진 직교 (CAMB: Constant-Amplitude Multi-code Biorthogonal) 변조 이론을 적용한 변복조기를 프로그래밍 가능한 게이트 배열 (FPGA: Field-Programmable Gate Array)을 사용하여 설계하고 시스템 온 칩 (SoC: System on Chip)으로 구현하였다. 이 변복조기는 FPGA를 이용하여 타겟팅 한 후 보드실험을 통해 설계에 대한 충분한 검증을 거쳐 주문형 반도체 (ASIC: Application Specific Integrated Circuit) 칩으로 제작되었다. 이러한 12Mbps급 모뎀의 SoC를 위하여 ARM (Advanced RISC Machine)7TDMI를 사용하였으며 64K바이트 정적 램 (SRAM: Static Random Access Memory)을 내장하였다. 16-비트 PCMCIA (Personal Computer Memory Card International Association), USB (Universal Serial Bus) 1.1, 16C550 Compatible UART (Universal Asynchronous Receiver/Transmitter) 등 다양한 통신 인터페이스를 지원할 뿐 아니라 ADC (Analog to Digital Converter)/DAC (Digital to Analog Converter)를 포함하고 있어 실제 현장에서 쉽게 활용될 수 있을 것으로 기대된다.

Key Words : CAMB, Constant Amplitude, Multicode, Biorthogonal Modulation, SoC

ABSTRACT

In this paper, we design the FPGA (Field-Programmable Gate Array) of the CAMB (Constant-Amplitude Multi-code Biorthogonal) modulation, and implement the SoC (System on Chip). The ASIC (Application Specific Integrated Circuit) chip is be implemented through targeting and board test. This 12Mbps modem SoC includes the ARM (Advanced RISC Machine)7TDMI, 64Kbyte SRAM(Static Random Access Memory) and ADC (Analog to Digital Converter)/DAC (Digital to Analog Converter) for flexible applications. Additionally, the modem SoC can support the variable communication interfaces such as the 16-bits PCMCIA (Personal Computer Memory Card International Association), USB (Universal Serial Bus) 1.1, and 16C550 Compatible UART (Universal Asynchronous Receiver/Transmitter).

* 상명대학교 공과대학 정보통신공학과, ** 한국기술교육대학교 정보기술공학부 (sjkang@kut.ac.kr)(°: 교신저자)

*** 전자부품연구원 통신네트워크연구센터

논문번호: KICS2007-08-366, 접수일자: 2007년 8월 17일 최종논문접수일자: 2007년 10월 2일

RATE 1에서는 각 CHID별로 16개의 16비트 왈쉬 직교 코드 워드 중에서 워드 한 개를 선택한 후 입력비트 한 비트 (I0)와 배타적 논리합 (XOR: Exclusive OR) 연산하여 출력한다. 이러한 방법은 일반적인 대역 확산 방식과 유사하다. RATE 2에서는 각 CHID별로 4개의 16비트 왈쉬 직교 코드 워드를 할당해 준다. RATE 2에서는 이진 직교 변조 방식을 사용한다. 입력 비트 3비트 중 2비트 (I1, I2)는 4개의 왈쉬 직교 코드 워드중 하나를 선택하게 하고, 선택된 코드워드와 나머지 한 비트 (I0)와 XOR 연산하여 출력하는 방식이다. RATE 3에서는 각 CHID별로 16개 왈쉬 코드 워드 모두 사용한다. 그리고 정진폭 특성을 만족하기 위해서 패리티 3비트를 추가한다. 이 패리티는 식 (1)에 의해 발생시키는데, 먼저 9비트의 입력 정보비트를 세 그룹 {I0, I1, I2}, {I3, I4, I5}, {I6, I7, I8}으로 나눈 후 식 (1)과 같이 IP0, IP1, IP2의 패리티를 만든다.

$$\begin{aligned}
 IP0 &= I0 \oplus I3 \oplus I6 & (1) \\
 IP1 &= I1 \oplus I4 \oplus I7 \\
 IP2 &= I2 \oplus I5 \oplus I8
 \end{aligned}$$

세 그룹과 패리티 그룹은 RATE 2에서 사용했던 방식과 똑같이 이진 직교 변조 방식으로 확산한다. 4개의 확산 결과를 칩별로 더하면 항상 +2나 -2값만을 가지게 되어 정진폭 특성을 만족하게 된다. RATE 4에서는 I채널에서 사용했던 RATE 3용 CAMB 인코더를 이용하되 입력 정보 비트만 9비트 추가한다.

Ich_out과 Qch_out은 직교 위상 변조 (QPSK: Quadrature Phase Shift Keying) 매핑을 통해 {+1,+1}, {+1,-1}, {-1,+1}, {-1,-1}로 변환된다. 매핑된 신호는 스펙트럼 마스크에 부합하도록 펄스 셰이핑 (PS: Pulse Shaping)을 하게 되는데, PS는 롤 오프 인자 (ROF: Roll-off Factor)가 0.3인 41-탭 제곱근 상승 여현 필터 (SRCF: Square-root Raised Cosine Filter)를 사용한다. 계수 곱셈기는 게이트 수를 줄이기 위해 룩업 테이블 (LUT: Look-up Table)과 멀티플렉서로 구성한다. 또한 PS 필터는 디지털-아날로그 변환기 (DAC: Digital to Analog Converter) 후단의 저역 통과 필터 구현을 용이하도록 4배의 오버샘플링으로 구현하여 칩률보다 4배로 빠르게 동작시켰다. 칩률을 11Mcps로 가정했을 때의 데이터율을 살펴보면 표 1과 같다.

송신부의 데이터경로 비트수는 8비트이며, 8비트 차분 DAC를 사용하여 잘라버림 오차를 최소로 하

표 1. RATE와 데이터율

RATE	칩레이트	계산식	데이터율
RATE 1	11Mcps	(11M/16)×1	687.50Kbps
RATE 2	11Mcps	(11M/16)×3	2.0625Mbps
RATE 3	11Mcps	(11M/16)×9	6.1875Mbps
RATE 4	11Mcps	(11M/16)×18	12.375Mbps

도록 한다. 송신부 전력의 자동 이득 제어 (AGC: Automatic Gain Control)는 LPA단의 전력 레벨을 검출한 후, 이 레벨이 일정한 값을 갖도록 자동으로 제어하게 된다.

III. CAMB 복조기의 FPGA 설계

그림 3은 CAMB 복조기의 전체 블록도이다. 이 복조기는 직류 (DC: Direct Current) 편차 제거기, AGC, 정합 필터 (MF: Matched Filter), 보간기 (INT: Interpolator), 심볼 타이밍 복원기 (STR: Symbol Timing Recover), 결정 제한 등화기 (DFE: Decision Feedback Equalizer), 위상 고정 루프 (PLL: Phase Locked Loop), 주파수 편차 추정기 (FOE: Frequency Offset Estimator), CAZAC 상관기, CAMB 복호기, 헤더 오류 검사열 (HCS: Header Check Sequence), 프레임 오류 검사열 (FCS: Frame Check Sequence) 등등으로 나눌 수 있다.

먼저 아날로그-디지털 변환기 (ADC: Analog-to-Digital Converter)는 성능과 복조기의 복잡도를 고려하여 칩률의 두 배로 동작하도록 한다. DC 편차 제거기는 ADC 입력 바이어스와 RF 모듈간의 바이어스가 서로 맞지 않아서 발생하는 DC 성분을 제거한다. DC 편차는 RF 모듈의 바이어스가 조금씩 변하기 때문에 추적기능이 가능하도록 설계한다. DC 성분이 제거된 신호를 이용하여 AGC를 수행하는데, 복조기가 RF 모듈의 LPA와 디지털 곱셈기를 제어하여 복조기의 입력 신호 레벨이 동작 가능할만한 신호 레벨로 근접할 수 있도록 해준다. RF 모듈의

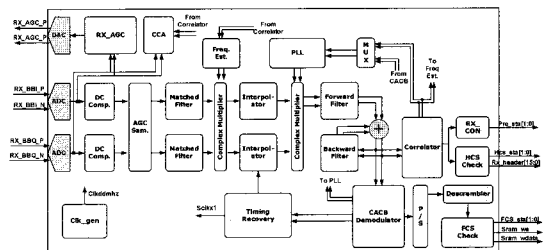


그림 3. CAMB 복조기 블록도

LPA는 RF칩마다 다르나, 통상 6비트 디지털 입력이나, 0~2V의 아날로그 전압으로 제어한다. 6비트 디지털 입력은 1비트당 0.5~1dB씩 떨어지게 되므로 정확히 맞출 수는 없다. 따라서 수신 AGC (RX-AGC: Receiver AGC)는 개략적인 AGC로 동작하게 되고, AGC는 미세 AGC로 동작한다.

MF는 변조기의 PS 필터와 같은 SRCF를 사용한다. 그러나 MF는 동작 속도 (칩율×2)가 PS 필터와 다르므로 필터 계수 값을 수정해야 하고, 계수 곱셈기 또한 원래대로 곱셈기로 설계해야 한다. INT는 STR에서 제어된 전치-후치(E-L: Early-Late) 정보를 이용하여 INT의 계수 값을 조정함으로써 입력 샘플 사이의 중간 값을 출력한다. INT는 샘플링율보다 8배 빠르게 보간한다. 그러므로 INT의 분해능은 $T_c/16$ 이 될 것이다. INT의 종류도 많지만 성능과 복잡도를 고려하여 ROF가 0.3인 49탭 SRCF를 사용한다. INT는 탭 수가 상당히 크지만 샘플링 속도에 동작하기 때문에 49/8탭=6탭으로 간단히 해결할 수 있으며, 보간은 6탭의 계수 값을 조정함으로써 간단히 해결할 수 있다.

INT의 계수 값을 조정하기 위한 정보는 STR에서 받게 되는데, STR은 CAZAC 상관기와 CAMB 복호기에서 E-L 상관 정보를 이용한다. CAZAC 상관기는 $T_c/2$ 로 동작하게 되어 있으며, 상관 전력 값의 칩두치 이용하여 프레임 동기여 이용하고 칩두 시간보다 반 칩 빠르거나 느린 상관 전력 값을 이용하여 STR에 적용시킨다. 심볼 타이밍이 정확히 맞으면 전치와 후치 상관 값은 거의 동일한 값이 나온다. CAZAC 상관기는 그림 4와 같이 16탭 복소 유한 임펄스 응답 (FIR: Finite Impulse Response) 필터로 구성된다. 상관기가 E-L 상관 값을 추출할 수 있도록 샘플링 속도에 맞춰 동작하도록 탭 사이에 플립 플롭을 추가한다. 곱셈기는 덧셈기와 멀티플렉서로 구현한다.

주파수 편차와 위상편차가 있는 신호를 CAZAC 상관기에 입력시키면 상관기 출력이 I성분과 Q성분으로 나뉜다. 상관 값의 위상 성분은 주파수 판정기와 PLL에서 사용할 수 있다.

개략적인 주파수 복원을 위해 주파수 추정을 하는데, 주파수 추정은 식 (2)와 같이 CAZAC 상관기의 상관 값을 이용하여 추정한다.

$$\hat{f} = E \left(\frac{\arg(Corr_n Corr_{n-16}^*)}{2\pi * 16} \right) \quad (2)$$

식 (2)에서 $Corr_n$ 은 상관기 출력 값이며, 다른 방법으로는 식 (3)과 같이 칩과 16칩 지연된 칩 사이에서 위상 차이를 구한 후 평균을 취하는 방법도 있다^[7]. 식 (3)에서 r_n 은 칩 샘플 값이다.

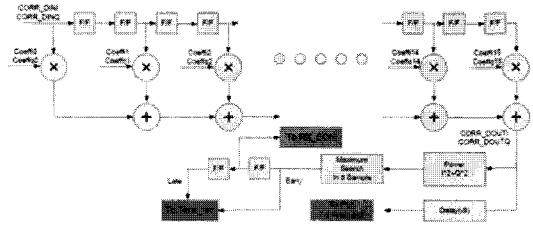


그림 4. CAZAC 상관기 블록도

$$\hat{f} = \frac{\arg \{ E(r_n r_{n-16}^*) \}}{2\pi * 16} \quad (3)$$

\arg 는 복소수의 위상정보를 추출하는 식이며, 룩업 테이블을 이용하여 구하는 방법이 있으나 복잡도가 증가하므로 다른 알고리즘을 사용하여 근사화를 시킨다. 주파수 추정기의 추정 가능한 이론적인 위상 편차 범위는 π/bit 이므로 칩률이 11Mcps라고 하면 주파수 오프셋의 범위는 $\pm 11MHz/16/2 = 343.75KHz$ 이다. 주파수 추정기의 추정 오차로 인한 잔여 주파수 성분과 잔여 위상 성분은 PLL을 이용하여 정교하게 없애준다. PLL은 위상 검출기와 2차 루프 필터, 그리고 수 제어 발진기 (NCO: Number Controlled Oscillator)로 구성된다. 위상 검출기의 위상 검출식은 식 (4)와 같다.

$$\theta \approx \text{Im} \{ (Corr_i + Corr_q) \times (\widehat{Corr}_i + \widehat{Corr}_q)^* \} \quad (4)$$

PLL이 추적하다보면 위상 모호성 때문에 위상이 $\pi/2, \pi, 3/2\pi$ 로 위상 회전이 될 수 있다. 이러한 문제는 수신기 제어 (RX_CON) 블록에서 위상 회전을 이용하여 해결해야 한다.

DFE는 다중 경로에 의한 채널 왜곡을 보상하기 위한 블록이며, 전치 필터와 후치 필터로 구성한다. DFE는 CAZAC 상관기보다 먼저 동작해야 한다. 즉, DFE 출력을 CAZAC 상관기와 CAMB 복호기에 입력시켜야 하므로 DFE 또한 샘플링속도로 동작해야 한다. 따라서 DFE의 탭 사이에는 플립플롭이 추가되어야 한다. 칩률을 11Mcps로 했을 때 칩구간은 90.9ns이다. 무선랜 (WLAN: Wireless Local Area Network)의 채널 모델에서 RMS (Root Mean

Square) 지연 확산은 실내에서는 약 100ns 이며, 실외에서는 300ns 정도이다⁸⁾. 따라서 전치 필터 탭 수는 복잡도와 지연 확산, 그리고 칩률을 고려했을 때 9탭으로 결정하고 후치 필터의 탭 수는 5탭으로 하는 게 적절하다. 그림 5에는 DFE가 동작하지 않을 경우, 동작시켰을 경우에 DFE 출력에 대한 정상도이다.

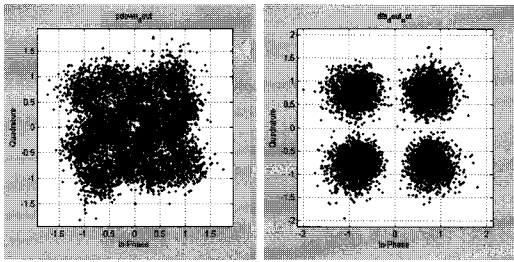


그림 5. DFE 동작 전(좌)후(우) 정상도

FOE, PLL, STR, 그리고 DFE까지 완료되면 프레임 동기가 이뤄지는데, 프레임 동기가 이뤄지면 페이로드의 시작점을 알 수가 있다. 이때부터 CAMB 복호기가 동작한다. 이 복호기의 구조는 그림 6과 같다. 전송률이 RATE 1, RATE 2, RATE 3일 때, 복호기의 누산기 (ACC: Accumulator)는 DINI와 DINQ를 입력받아 CHID에 맞는 왈쉬 코드 (I, Q동일)와 복소 상관 값을 취하게 된다. 그러나 전송률이 RATE 4일 때는 복소 전력이 아닌 I 채널, Q 채널 각각에 대해서 상관 값을 계산할 것이다.

RATE 1 복호는 w0에 대한 복소 상관의 I 채널 부호 비트를 이용하면 된다. RATE 2 복호는 w0, w1, w2, w3의 복소 상관 값 중에서 전력이 가장 큰 브랜치의 순위와 상관 값 I 성분의 부호 비트를 이용하면 된다. RATE 3 복호는 준 최적 최대 근사 (ML: Maximum Likelihood) 복호를 하기 위해서 부호화기에서 사용했던 잉여비트 3비트 패리티 정보를 이용한다. 준 최적 ML 복호는 다음과 같은 순서대로 이뤄진다. 먼저 16개 브랜치를 4개씩 한 그룹으로 할당하고, 각 그룹에 대해 RATE 2에서 사용한 방식과 같이 복소 상관 전력을 추출한 후 그 브랜치에 대해 복호를 한다. 각 그룹별로 복호된 0_dec[0:2], 1_dec[0:2], , 7_dec[0:2] 값은 4개씩 묶여 패리티 검사를 하게 된다. 4개씩 그룹화 하는 브랜치 순번은 Max_sel 입력 숫자와 동일하다. 일례로 02+46 입력에 해당하는 패리티 검사는 식(5)와 같다. 그리고, Max_sel의 입력신호는 각 그룹의

상관 값의 전력에 대한 합이다. 최종 복호방법은 16가지의 전력합에 대해서 Pn[0:2]가 "000"이 경우 중에서 가장 큰 전력합을 선택하여 그 브랜치 조합을 복호하는 것이다.

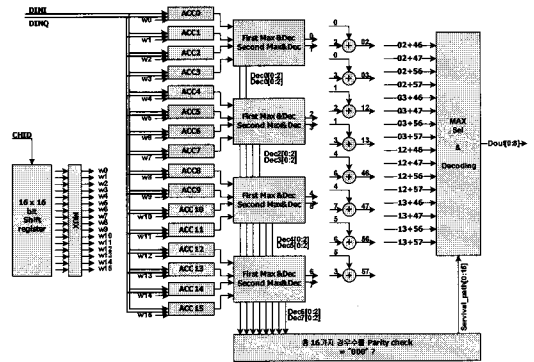


그림 6. CAMB 복호기 블록도-RATE3

$$\begin{aligned}
 P0[0] &= dec0[0] \oplus dec2[0] \oplus dec4[0] \oplus dec6[0] \quad (5) \\
 P0[1] &= dec0[1] \oplus dec2[1] \oplus dec4[1] \oplus dec6[1] \\
 P0[2] &= dec0[2] \oplus dec2[2] \oplus dec4[2] \oplus dec6[2]
 \end{aligned}$$

RATE 4 복호는 RATE 3 구조를 하나 더 사용하면 된다. 상관 계산은 복소 상관이 아니라 I 채널 Q 채널을 서로 분리하여 상관한다. 복호된 페이로드 데이터는 역 비화기와 FCS를 이용해 최종 정보 데이터를 얻을 수 있다. RF 모듈과의 연동 실험에서는 칩률은 11Mcps로 고정하고 송신기와 수신기 사이에 감쇄기를 95dBm를 삽입한 후 송신 전력을 변화시키면서 수신 신호 전력 레벨과 신호 대 잡음 비 (SNR: Signal to Noise Ratio), 그리고 패킷 오류 (PER: Packet Error Rate)을 측정해 보았으며, 그 결과는 표 2와 같다. 표 2에서 보는 바와 같이 표준에서 정의된 최소 수신 전력 레벨 감도인 -76dBm에서 PER 8% 보다 우수한 PER 1%를 나타냈다.

표 2. CAMB 모델의 RF 연동 실험시 성능

송신전력 (dBm)	채널 감쇄기	RSSI (dBm)	SNR (dB)	PER(%)
15	95dBm	-81	15~16	1%이내
13	95dBm	-83 ~ -84	14~15	1%이내
11	95dBm	-85 ~ -86	13	1%이내
9	95dBm	-88 ~ -90	12~13	5%이내
7	95dBm	-91 ~ -92	10~11	30%이내

IV. CAMB SoC 시스템 구조 및 특징

SoC 플랫폼의 형태는 완전 응용 플랫폼, 프로세서 중심 플랫폼, 통신 중심 플랫폼 그리고 프로그램이 가능한 플랫폼으로 분류된다⁹⁾. 본 논문에서는 그중, 기본적인 소프트웨어 드라이버와 기본 응용 루틴이 지원되는 프로세서 중심 플랫폼으로 설계하였다. 그림 7이 SoC 플랫폼의 블록도이며, 보는 바와 같이 ARM (Advanced RISC Machine)/ AMBA 기반으로 구성되었다. ARM/AMBA 플랫폼은 SoC 내부 모듈들을 위한 공통 시스템 버스를 정의함으로써, 선택 사항에 따라 쉽게 플랫폼을 구성, 변경할 수 있으며 재사용을 강화시키는 장점을 제공한다¹⁰⁾. ARM/AMBA 플랫폼의 프로세서로는 저전력 내장형 RISC (Reduced Instruction set Computer) ARM7TDMI 코어를 사용하였으며, AHB 시스템 버스와 APB 주변 장치 버스를 적용하였다. ARM7TDMI는 AHB Wrapper를 통해서 AHB 버스에 연결된다.

그림 7에서 보는 바와 같이 ARM7TDMI는 내부 메모리와 로컬 버스를 통해서도 연결이 된다. 따라서 AHB 시스템 버스는 시스템 내의 각 하드웨어에 의해 통신 데이터를 처리하는데 할당되므로 전체 시스템의 성능을 향상시킬 수 있다. AHB 버스는 AHB 버스의 마스터를 결정하는 Arbiter, 메모리영역을 디코딩하기 위한 어드레스 디코더, 프로그램 코드와 데이터를 저장하기 위한 내부 메모리, 외부 메모리의 내용을 내부 메모리에 매핑하기 위한 외부 메모리 인터페이스 (EMI: External Memory Interface) 등으로 구성된다.

CAMB 모델은 AHB 슬레이브로 연결하였다. 그리고 CAMB 모델과 메모리 사이에 빈번한 데이터 전송을 효과적으로 제어하기 위하여, 버스 마스터로 직접 메모리 접근 (DMA: Direct Memory Access) 이 있다. 또한 본 시스템이 컴퓨터의 서브시스템으로

사용될 수 있도록 16-비트 PCMCIA (Personal Computer Memory Card International Association) 슬레이브 모듈을 지원한다. APB Bridge는 AHB 버스와 APB 버스를 연결하는 인터페이스 모듈이다. APB 버스에는 비교적 저속의 블록들이 연결된다.

Timer와 Watch-Dog Timer (WDT)의 인터럽트 신호 발생 간격은 ARM 프로세서가 설정할 수 있게 하여 활용성을 높였다. 외부 호스트와의 통신을 위하여 USB (Universal Serial Bus) 1.1 및 16C550 Compatible UART (Universal Asynchronous Receiver/Transmitter)를 APB 슬레이브로 구성하였다. 그 외에도 ARM 프로세서에 하드웨어 인터럽트를 발생시키는 인터럽트 컨트롤러, 외부 EEPROM (Electrically Erasable and Programmable Read Only Memory)과의 통신을 위한 3-Wire Serial Interface, 그리고 사용자 인터페이스를 위한 8-비트 GPIO (General Purpose Input Output)가 있다.

내부 4KB ROM에는 부트 코드가 저장되어 있어 시스템 전원이 켜질 때 실행될 수 있으며, 이후에 PCMCIA를 통하여 호스트에서 프로그램을 다운로드 해 주어야 한다. 뿐만 아니라 본 시스템은 EMI에 연결되어 있는 외부 메모리에서 시스템 부트 코드가 실행되는 경우를 지원한다. 이때는 EMI에 플래시 메모리를 연결하고 부트 코드 및 다운로드 코드를 저장해 놓으면, 필요에 따라 프로그램을 다운로드 할 수 있어 시스템의 활용도를 높일 수 있다. 시스템 클럭은 칩 내부 PLL이 22MHz 신호를 입력으로 받아서 시스템 클럭모드에 따라 44MHz 또는 88MHz로 증배한 후 2분주 (22MHz, 44MHz)하여 사용한다. 시스템 동작 중에도 필요에 따라 PLL의 클럭 증배율을 재설정 할 수 있다. 본 시스템에는 3가지 파워 모드 -RUN, HALT, SLEEP-가 있다. RUN 모드에서는 시스템의 모든 블록이 동작을 한다.

HALT 모드에서는 ARM 코어의 클럭이 다운된다. 그리고 SLEEP 모드에서는 SLEEP 모드 타임아웃 카운터를 제외한 모든 블록이 다운된다. 이 타임아웃 카운터에 의해 미리 설정해 둔 시간 이후에 RUN 모드로 전환되거나 혹은 PCMCIA 인터페이스를 이용하여 외부 호스트에서 원하는 시점에 전환될 수 있다.

CAMB 시스템을 이용한 모델 칩은 매체 제어층 (MAC)과 물리층 블록으로 구성된다. 데이터의 흐름에서 가능한 한 프로세서의 부담을 덜어 주기 위하여 DMA를 사용하였을 뿐 아니라 매체 제어층의 일

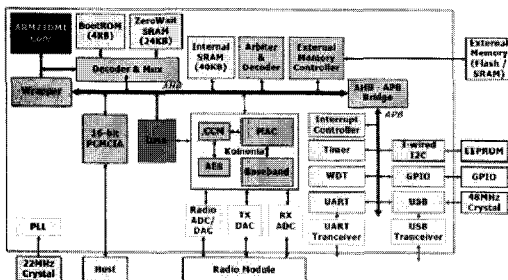


그림 7. CAMB SoC 시스템 구조

부 기능을 하드웨어로 설계하였다. 특히 매체 제어층의 상태 (송신, 수신, Idle, 비콘구간, 경쟁구간) 천이 관리, 정확한 타이밍을 요하는 슈퍼프레임 동기화, 데이터 송/수신, 즉시 수신 확인 프레임 송/수신 그리고 경쟁구간에서 사용하는 반송파 감지 다중 접속/충돌 회피 (CSMA/CA: Carrier Sense Multiple Access/Collision Avoidance) 프로토콜을 처리 등이 이에 포함된다. 전력소모를 줄이기 위해 Idle 모드를 사용하며 암호화를 지원한다.

물리층 블록은 다시 송신부와 수신부로 구분되는데, 송신부는 프레임 발생 블록과 프리앰블을 확산하는 CAZAC 확산기, 32-비트 검사 수열을 추가하고 스크램블링을 거친 페이로드 데이터를 정진폭 신호로 변화하는 CAMB 변조기 그리고 QPSK 변조기로 구성된다. 물리층에서는 데이터를, 요구되는 QoS 그리고 현재 채널 상태에 따라 687.5 Kbps에서 12.375 Mbps 까지 4가지의 서로 다른 전송율을 지원한다.

수신부의 아날로그 입력신호는 ADC를 거쳐 8비트의 디지털 신호로 변환이 되어, DC 복원 블록을 거치면서 DC 오프셋이 보정된다. AGC에 의해 신호레벨이 일정해진 수신신호는 ROF가 0.3인 MF (RRCF)를 거친 후원하는 심볼을 추출하기 위해 보간 된다. 주파수 추정기는 프리앰블 구간에 존재하는 반송파 성분의 CAZAC의 상관 특성을 이용하여 수신 데이터에서 반송파 성분을 제거하고, 여기서 발생한 오차 성분의 잔여 반송파와 위상 오프셋은 DFE와 PLL이 추적하여 제거한다. DFE는 채널에서 발생한 다중 경로 성분을 제거한다. 상관기는 CAZAC 역확산기로서 기저대역 신호에 존재하는 반송파를 제거하거나 E-L 알고리즘의 STR을 위해 사용된다. CAMB 복조기에서 정진폭 변환 방식에 의해 변환되었던 데이터가 복원된 후 역비회기와 FCS를 거쳐 매체 제어층으로 최종 데이터가 전달된다. 본 칩에는

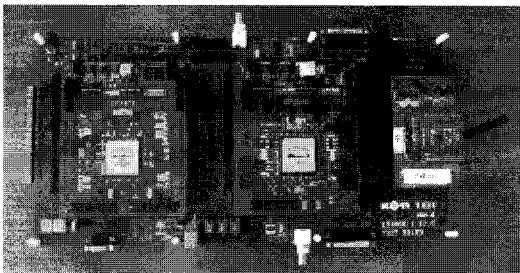


그림 8. CAMB SoC 테스트 보드

수신된 I/Q 신호를 처리하기 위한 8-비트 22MHz 듀얼 채널 ADC와 전송할 I/Q 신호를 위한 8-비트 44MHz 듀얼 채널 DAC가 포함되어 있다. RF의 송수신 파워를 제어하는 AGC는 송신 AGC와 수신 AGC로 구성된다. 송신 AGC의 2MHz ADC에서 TX 전력 감지 레벨을 검출한 뒤, 8-비트 10MHz DAC를 이용하여 송신 신호의 파워를 조절한다. 수신 AGC는 8-비트 10MHz DAC를 이용하여, RF의 수신 이득을 조절함으로써 수신부가 검출 가능한 ADC 입력 레벨을 갖도록 한다.

V. CAMB SoC 시스템의 설계 방법 및 결과

SoC 플랫폼을 결정하기 위하여 CAMB 시스템의 요구사항을 분석하였다. 즉, C와 Matlab을 이용하여 CAMB 매체제어층과 물리층 알고리즘을 검증한 뒤 매체제어층의 하드웨어 부분과 소프트웨어 부분을 구분하였다. 이를 바탕으로 ARM Core의 종류, 메모리와 버퍼의 구조 및 크기를 결정하였으며, 무선 통신 시스템으로서 활용하는데 필요한 주변 장치들을 선정하여 플랫폼을 구성하였다. 하드웨어는 Verilog 및 VHDL (VHSIC Hardware Description Language)로 기술하였고, 소프트웨어는 HDL 메모리

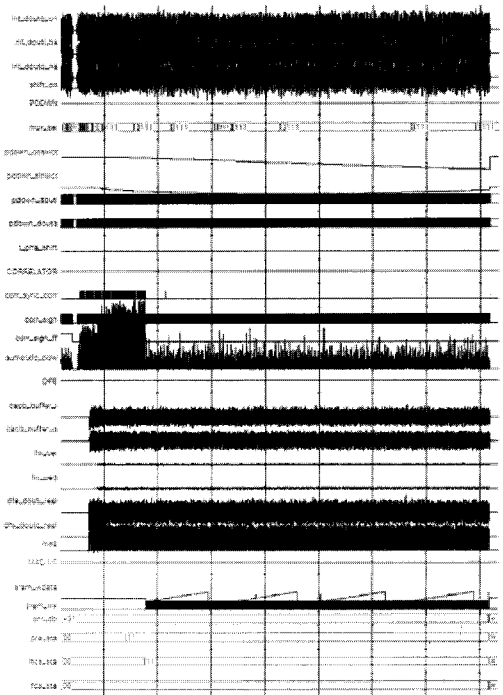


그림 9. 전체 모뎀 시뮬레이션 결과

모델에서 사용 가능한 형태로 컴파일을 하여 ARM7TDMI HDL 시뮬레이션 모델과 함께 통합 시뮬레이션을 하였다. 이를 다시 FPGA와 ARM7TDMI를 탑재한 테스트 보드에 올려 전체 시스템을 검증하였다. 제작된 보드는 그림 8과 같으며, RF 모듈도 포함하고 있어 실제적인 무선 데이터 통신 환경에서 에뮬레이션을 가능하게 하였다. 그림 9에는 모뎀부의 시뮬레이션 결과가 나타나 있다.

마지막으로 구현된 결과물의 스펙 및 특징을 정리하면 다음과 같다.

- ◆ Core
 - ✓ 44-MHz ARM7TDMI CPU
 - ✓ 4KByte Boot ROM
 - ✓ 24KByte Zero-wait SRAM
 - ✓ 40KByte Internal Data SRAM
- ◆ Host Interface
 - ✓ Supports 16-bit PC Card
 - ✓ Supports Local Bus I/F for External Processor
- ◆ External Memory Interface
 - ✓ Available 8M-bytes External Memory Space for Flash and/or SRAM Interface
- ◆ Medium-Access Controller (MAC)
 - ✓ Hardware-Based MAC Access Protocol Management
 - ✓ Delayed Acknowledgement (DEL-ACK) and Hardware-Generated Immediate Acknowledgement (IMM-ACK)
 - ✓ Channel probing and Dynamic Link Quality Control
 - ✓ Dynamic Allocation of Transmit (TX) and RX Memory Blocks
 - ✓ Hardware-Based Receive (RX) Frame Parsing
- ◆ Baseband Processor
 - ✓ KOINONIA WPAN Spec. v1.0 Compliant
 - ✓ Dual Chip-rate Support : 5.5 or 11M chip/sec
 - ✓ Maximum Data Rates : 11Mbps
 - ✓ Supports KOINONIA's Binary CDMA Modulations
 - ✓ Multi-path Delay Spread Tolerance > 500ns RMS
- ◆ Radio Interface
 - ✓ On-chip 8-bit, 22MHz ADCs for In-Phase and Quadrature (I/Q) RX Inputs
 - ✓ On-chip 8-bit, 44MHz DACs for I/Q TX Outputs
 - ✓ Analog RX Automatic Gain Control(AGC) Outputs
 - ✓ Analog TX Power Control
- ◆ System
 - ✓ On-chip PLL (input: 22MHz, output: 44MHz)
 - ✓ Single-Chip MAC and Baseband Processor
 - ✓ 3-wire Serial EEPROM Interface
 - ✓ 16C550 Compatible UART
 - ✓ 16-bit Watch-dog Timer
 - ✓ Two 16-bit Counter/Timers
 - ✓ 8 GPIO Signals with Interrupt Capability
 - ✓ Supports JTAG Boundary Scan
 - ✓ 1.8V Core Supply Voltage, 3.3V I/O Supply Voltage
 - ✓ 272-pin BGA Package

VI. 결론

본 논문에서는 기존의 CAMB 이론을 적용한 변복조기를 VHDL 언어를 사용하여 설계 및 구현하였다. 가장 핵심적인 블럭인 CAMB 복조기는 게이트 수와 복조기의 성능을 고려하여 간단한 16개의 가산기를 사용하였다. 이 변복조기는 FPGA를 이용하여 타겟팅한 후 보드 실험을 통해 설계에 대한 충분한 검증을 거쳐 ASIC칩으로 제작되었다. 이러한 12Mbps급 모뎀의 SoC를 위하여 ARM7TDMI를 사용하였으며 64KB SRAM을 내장하였다. 16-비트 PCMCIA, USB 1.1, 16C550 Compatible UART 등 다양한 통신 인터페이스를 지원할 뿐 아니라 ADC/DAC를 포함하고 있어 실제 현장에서 쉽게 활용될 수 있을 것으로 기대된다. 삼성 0.18um 6-metal CMOS 공정을 사용하였고, 272핀 FBGA 패키징을 하였다.

참고 문헌

- [1] T. H. Wu and E. Geraniotis, "CDMA with Multiple Chip Rates for Multi-media Communications," in Proc. Inforscience and Systems, pp.992- 997, 1994.
- [2] I. Chih-lin and R. D. Gitlin, "Multi-code CDMA Wireless Personal Communications Networks," in Proc. ICC'95, pp. 1060-1064, Seattle, June 1995.
- [3] I. Chih-lin and R. D. Gitlin, "Multi-code CDMA Wireless Personal Communications Networks," in Proc. ICC95, pp. 1060-1064, 1995.
- [4] T. Wada, T. Yamazato, M. Katayama and A. Ogawa, "A Constant Amplitude Coding for Orthogonal Multi-code CDMA Systems," IEICE Trans. on Fundamentals, vol. E80-A, no. 12, pp.2477-2484, Dec. 1997.
- [5] 홍대기, 강성진, 주민철, 김용성, 조진웅, "무선 PAN응용을 위한 정진폭 다중 부호 이진 직교 변조," 한국통신학회 추계 학술대회, 2004
- [6] Kang, S.-J., Hong, D.-K., You, Y.-H., Kim, M.-J., and Cho, J.-W., "Constant-Amplitude Multicode -Biorthogonal Modulation," IEEE Trans. on Commun., Vol. 55, Iss. 1, Jan. 2007, 69-75

- [7] C. Andren and M. Webster, "CCK Modulation Delivers 11Mbps for High Rate 802.11 Extension," in Wireless Symposium/Portable by Design Conference, Spring 1999
- [8] 이창환, "홈네트워크 기술," EBN 뉴스센터 과학기술 이슈 페이지, 2004, www.ebn.co.kr
- [9] 장준영, 김원중, 조한진, 김종대, "무선 멀티미디어 응용을 위한 ARM 기반 SoC 플랫폼 설계," 전자공학회지, 제30권 제9호, pp. 36-50, 2003.
- [10] 조한진, "무선통신 멀티미디어 SoC 설계 및 검증," SITI 뉴스레터, 제2권 2호, pp. 21-28, 2004.

김 선 희 (Sun-Hee Kim)

정회원



2002년 3월 전자통신연구원 연구원
 2005년 3월~현재 전자부품연구원
 선임연구원
 <관심분야> SoC, 무선통신, WPAN

조 진 웅 (Jin-Woong Cho)

정회원



1993년 1월 전자부품연구원 책임
 연구원
 2002년 1월~현재 전자부품연구원
 통신네트워크연구센터 센터장
 <관심분야> 무선통신, 이동통신,
 WPAN, WLAN

홍 대 기 (Dae-Ki Hong)

정회원



2002년 1월 전자부품연구원 통신
 네트워크연구센터 선임연구원
 2006년 9월~현재 상명대학교 공과
 대학 정보통신공학과 전임강사
 <관심분야> 무선통신, 이동통신,
 WPAN, WLAN

강 성 진 (Sung-Jin Kang)

정회원



2002년 9월 전자부품연구원 통신
 네트워크연구센터 책임연구원
 2007년 3월~현재 한국기술교육대
 학교 정보기술공학부 조교수
 <관심분야> 무선통신, 이동통신,
 WPAN, WLAN

김 용 성 (Yong-Seong Kim)

정회원



2000년 7월 세트리마이크로시스
 템 주임연구원
 2003년 11월~현재 전자부품연구
 원 통신네트워크센터 선임연구
 원
 <관심분야> 무선통신, 이동통신,
 WPAN, Modem SoC 설계