

새로운 구조의 저전압 고이득 트랜스레지스턴스 증폭기 설계

論 文
56-12-33

The Novel Low-Voltage High-Gain Transresistance Amplifier Design

金炳旭* · 方駿鎬** · 趙成翊†
(Byoung-Wook Kim · Jun-Ho Bang · Seong-Ik Cho)

Abstract - A new CMOS transresistance amplifier for low-voltage analog integrated circuit design applications is presented. The proposed transresistance amplifier circuit based on common-source and negative feedback topology is compared with other recent reported transresistance amplifier. The proposed transresistance amplifier achieves high transresistance gain, gain-bandwidth with the same input/output impedance and the minimum supply voltage $2V_{DSAT} + V_T$. Hspice simulation using 1.8V TSMC 0.18 μ m CMOS technology was performed and achieved 59dB Ω transresistance gain which is above the maximum about 18dB Ω compared to transresistance gain of the reported circuit.

Key Words : CMOS Analog, Transresistance Amplifier, Low-Voltage, Gain, Gain-Bandwidth

1. 서 론

트랜스레지스턴스 증폭기(Transresistance Amplifier)는 입력 전류신호를 출력 전압신호로 변환하는 역할을 수행하는 이득 증폭회로로 일반적으로 광대역 통신 시스템의 필터 등을 비롯한 아날로그 신호 처리 회로 설계에 광범위하게 활용되고 있다. 특히 최근에는 공급전압이 1V 대의 저전압 회로설계에 관한 관심이 높아지고 있고, 저전압 아날로그 필터 설계에 있어서도 1V 대의 공급전압으로 동작하는 필터 설계에 관한 연구가 많이 진행되고 있다.[1] 이러한 연구에 따르면 기존에 필터 설계에 많이 활용되어 왔던 Gm-C 필터 대신 전원 공급단 사이의 소자 중첩을 감소시키고, 더 낮은 전압신호 스윙을 위해 전류 피드백을 사용하기 때문에 높은 임피던스 출력 노드를 요구하지 않는 등 상대적으로 저전압 회로설계에 유리한 트랜스레지스턴스 증폭기를 이용한 필터 설계방법에 관심이 모아지고 있다.[2-4] 트랜스레지스턴스 증폭기의 성능을 결정하는 주요한 설계 파라미터는 높은 증폭이득과 넓은 대역폭 그리고 낮은 입력 임피던스와 출력 임피던스 등이다.[5-6]

본 논문에서는 기존에 발표된 트랜스레지스턴스 증폭기에 대한 특성을 분석하고 이러한 회로의 특성에 비하여 개선된 특성의 구조를 가지는 트랜스레지스턴스 증폭기를 제안하고 그 성능에 대하여 비교 분석한다. 2장에서는 기존에 발표된

트랜스레지스턴스 증폭기의 구조 및 특성에 대하여 분석하고[7], 3장 및 4장에서는 본 논문에서 제안한 트랜스레지스턴스 증폭기의 구조 및 특성을 1.8V TSMC 0.18 μ m CMOS n-well 공정을 이용해 Hspice를 통하여 분석하였다.

2. 트랜스레지스턴스 증폭기 구조

2.1 트랜스레지스턴스 증폭기 구조

트랜스레지스턴스 증폭기에 대한 이상적인 등가 회로 모델을 그림 1에 나타내었다. 회로의 출력 전압은 입력 전류(i_{in})와 트랜스레지스턴스(R_m)가 결합되어 출력에 나타난다. 높은 트랜스레지스턴스 이득과 이득 대역폭(Gain-bandwidth)을 가지며 낮은 입출력 임피던스를 갖도록 설계하는 것이 트랜스레지스턴스 증폭기를 설계하는 주요한 파라미터들로 고려된다.

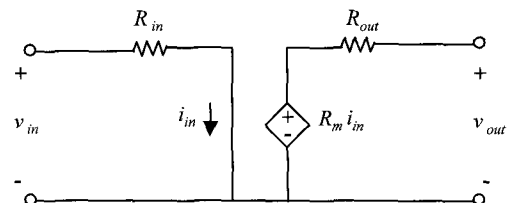


그림 1 트랜스레지스턴스 증폭기의 이상적인 등가 회로 모델
Fig 1 Ideal equivalent circuit of transresistance amplifier

2.2 전류 미러형(Current-mirror) 트랜스레지스턴스 증폭기

C. Wang[7]이 발표한 전류 미러형 트랜스레지스턴스 증폭기를 그림 2에 나타내었다. 전류 미러형 구조의 트랜스레지스턴스 증폭기는 높은 이득 특성을 얻을 수 있다.

† 교신저자, 正會員 : 全北大 工大 電子情報工學部
助教授 · 工博

E-mail : sicho@chonbuk.ac.kr

* 正會員 : 全北大 工大 電氣工學科 博士課程

** 正會員 : 益山大 電氣科 副教授 · 工博

接受日字 : 2007年 7月 10日

最終完了 : 2007年 10月 5日

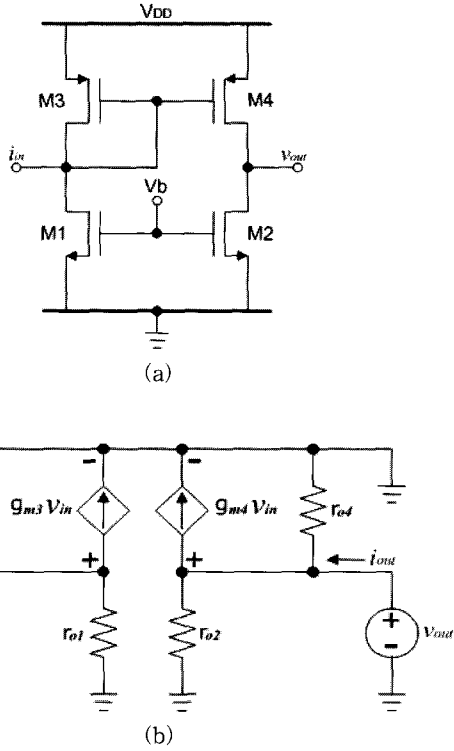


그림 2 (a) 전류 미러형(Current-mirror) 트랜스레지스턴스 증폭기 (b) 소신호 등가회로
 Fig 2 (a) Current-mirror transresistance amplifier (b) small signal equivalent circuit

입력 임피던스(Z_m)는 다이오드 구조를 갖는 M3 트랜지스터로부터 트랜스컨덕턴스의 역수인 $1/g_{m3}$ 으로 얻을 수 있다. 입력 전류 신호가 M3와 M4 트랜지스터의 게이트에 인가되며 입력 커패시턴스 값은 M1 트랜지스터의 드레인-소스 커패시턴스 C_{ds1} 과 M3 및 M4 트랜지스터의 게이트-소스 커패시턴스 C_{gs3} 와 C_{gs4} 의 합으로 나타낼 수 있고 그 값은 $C_{in} = C_{ds1} + C_{gs3} + C_{gs4}$ 로 구할 수 있다. 또한 대역폭도 M3와 M4 트랜지스터의 동작범위로 제한되며, 우성 극점 p_1 은 입력 임피던스와 입력 커패시턴스 곱의 역수인 $1/Z_m C_{in}$ 로 나타낼 수 있다. 그림 2의 회로에서 $v_{in} = v_{gs1}$ 이므로 소신호 등가 회로를 통하여 전류 미러형 트랜스레지스턴스 이득(A)과 입력 임피던스(Z_m), 출력 임피던스(Z_{out}), 이득 대역폭(Gain-bandwidth) 등을 구하면 아래와 같이 식(1)에서 식(4)까지 나타낼 수 있다.

$$A = R_m = \frac{v_{out}}{i_{in}} = r_{o2} \mid r_{o4} \approx \frac{r_0}{2} \quad (1)$$

$$z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{\frac{1}{r_{o1}} + \frac{1}{r_{o3}} + g_{m3}} \approx \frac{1}{g_{m3}} \quad (2)$$

$$z_{out} = \frac{v_{out}}{i_{out}} = r_{o2} \mid r_{o4} \approx \frac{r_0}{2} \quad (3)$$

$$GBW = A p_1 = \frac{R_m}{Z_m C_{in}} = \frac{\frac{r_0}{2}}{\frac{1}{g_m} C_{in}} = \frac{1}{2} g_m r_0 \quad (4)$$

3. 제안한 트랜스레지스턴스 증폭기의 구조와 특성

3.1 제안한 트랜스레지스턴스 증폭기

본 논문에서는 기존에 발표된 트랜스레지스턴스 증폭기의 특성에 비하여 최소공급전압을 가지면서 이득 특성과 이득 대역폭을 개선한 공통소스(Common-source) 및 부궤환 회로 구조를 갖는 트랜스레지스턴스 증폭기를 그림 3에 나타내었다.

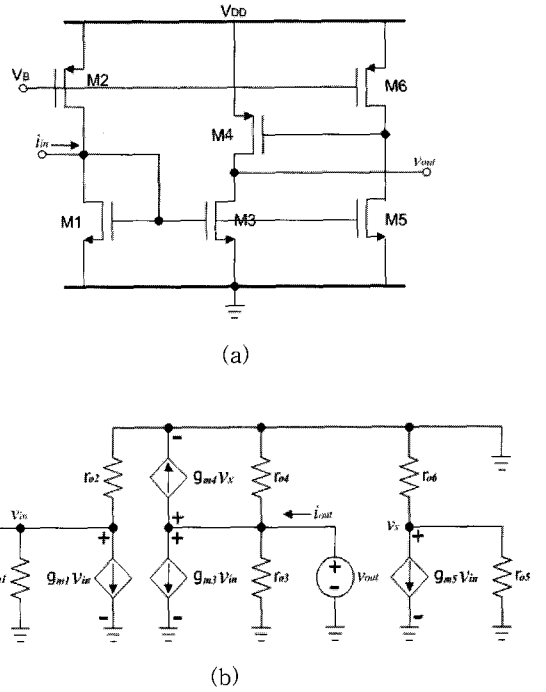


그림 3 (a) 제안한 트랜스레지스턴스 증폭기 (b) 소신호 등가회로
 Fig 3 (a) Proposed transresistance amplifier (b) small signal equivalent circuit

그림 3에서 M1, M3 및 M5 트랜지스터의 게이트에 입력이 인가되고 소스가 접지된 공통소스 구조를 이루고 있으며, M5 트랜지스터의 드레인과 M4 트랜지스터의 게이트로 이루어진 부궤환 회로를 형성하고 있다. 제안된 구조는 부궤환 경로를 캐스캐이드(Cascade)로 구성함으로써 접지단자와 공급전압 단자 사이에 적어도 2개의 트랜지스터로만 구성될 수 있는 저전압 구조를 갖게 된다.

입력 전류 신호가 M2 트랜지스터의 드레인 단자와 M1, M3 및 M5 트랜지스터 게이트 단자에 인가되며 입력 커패시턴스는 M1, M3 및 M5 트랜지스터의 게이트-소스 커패시턴스 C_{gs1} , C_{gs3} 및 C_{gs5} 와 드레인-소스 커패시턴스 C_{ds1} , C_{ds3} 및 C_{ds5} 그리고 M2 트랜지스터의 드레인-소스 커패시턴스인 C_{ds2} 의 합으로 나타낼 수 있고 그 값은 $C_{in} = C_{gs1} + C_{ds1} + C_{ds2} + C_{gs3} + C_{gs5} + C_{ds3} + C_{ds5}$ 이다. 그림 3의 회로에서 $v_{in} = v_{gs1} = v_{gs3} = v_{gs5}$ 이고, $v_{gs4} = v_x$ 이므로 소신호 등가회로를 통하여 본 논문에서 제안한 트랜스레지스턴스 증폭기의 파라미터들을 구하면 식(5)에서 식(8)까지 정리할 수 있다.

$$A = R_m = \frac{g_{m4}g_{m5} - g_{m3}(\frac{1}{r_{05}} + \frac{1}{r_{06}})}{g_{m1}(\frac{1}{r_{03}} + \frac{1}{r_{04}})(\frac{1}{r_{05}} + \frac{1}{r_{06}})} \approx \frac{g_m r_0^2}{4} \quad (5)$$

$$z_m = \frac{v_{in}}{i_{in}} = \frac{1}{\frac{1}{r_{01}} + \frac{1}{r_{02}} + g_{m1}} \approx \frac{1}{g_m} \quad (6)$$

$$z_{out} = \frac{v_{out}}{i_{out}} = r_{03} \parallel r_{04} \approx \frac{r_0}{2} \quad (7)$$

$$GBW = A p_1 = \frac{R_m}{Z_{in} C_{in}} = \frac{\frac{1}{4} g_m r_0^2}{\frac{1}{g_m} C_{in}} = \frac{1}{4} \frac{(g_m r_0)^2}{C_{in}} \quad (8)$$

3. 2 기존 트랜스레지스턴스 증폭기와의 특성 비교 분석

이상의 절에서 나열된 소신호 해석의 결과를 통하여 트랜스레지스턴스 증폭기의 특성과 본 논문에서 제안한 트랜스레지스턴스 증폭기의 특성을 정리하여 표 1에 나타내었다.

표 1 트랜스레지스턴스 증폭기들의 특성 비교

Table 1 A Comparison of transistance amplifiers

| 구분 | 공정 | V_{DD} | R_m | Z_{in} | Z_{out} | GBW | 최소공급전압 |
|--------|-------------------|----------|--------------------------|-----------------|-----------------|--|-------------------|
| 기존 회로 | 0.18 μ m CMOS | 1.8V | $\frac{r_0}{2}$ | $\frac{1}{g_m}$ | $\frac{r_0}{2}$ | $\frac{\frac{1}{2} g_m r_0}{C_{in}}$ | $2V_{DSAT} + V_T$ |
| 제안한 회로 | 0.18 μ m CMOS | 1.8V | $\frac{1}{4} g_m r_0^2$ | $\frac{1}{g_m}$ | $\frac{r_0}{2}$ | $\frac{\frac{1}{4} (g_m r_0)^2}{C_{in}}$ | $2V_{DSAT} + V_T$ |
| 비교 | 동일 | 동일 | $\frac{1}{2} g_m r_0$ 증가 | 동일 | 동일 | $\frac{1}{2} g_m r_0$ 증가 | 동일 |

표 1의 결과에서 보는 바와 같이 제안된 트랜스레지스턴스 증폭기의 증폭 이득(R_m)과 이득 대역폭(Gain-bandwidth)은 비교된 회로에 비하여 증가된 값을 얻을 수 있었다. 그리고 입력 임피던스(Z_m)와 출력 임피던스(Z_{out}) 값은 비교된 회로와 같은 값을 얻을 수 있었는데 이는 제안한 트랜스레지스턴스 증폭기의 입력 구조를 공통소스 회로로 구성함으로써 입력 임피던스 값을 얻어낸 것이고, 또한 출력 구조를 캐스캐이드형 부계환 회로로 구성함으로써 소신호 등가회로 해석을 통하여 출력 임피던스 값을 얻게 되었다. 제안된 트랜스레지스턴스 증폭기는 최소 $2V_{DSAT} + V_T$ 의 공급전압만이 필요하여 비교된 회로와 같은 값을 가진다.

소신호 등가회로의 해석 결과 본 논문에서 제안된 구조는 비교된 트랜스레지스턴스 증폭기에 비하여 입력 및 출력 임피던스 값이 같으면서 이득 특성과 이득 대역폭이 개선되었으며 그리고 구조상 낮은 공급전압에도 유리한 구조임을 확인할 수 있었다.

4. 시뮬레이션 및 고찰

이 장에서는 발표된 기존 트랜스레지스턴스 증폭기와 제안한 트랜스레지스턴스 증폭기를 비교 분석하기 위하여

1.8V TSMC 0.18 μ m CMOS 공정 파라미터를 이용해 Hspice로 시뮬레이션하였다. 모든 트랜스레지스턴스 증폭기의 NMOS 트랜지스터는 $W = 50\mu$ m로, PMOS 트랜지스터는 $W = 100\mu$ m로 설정하였다.

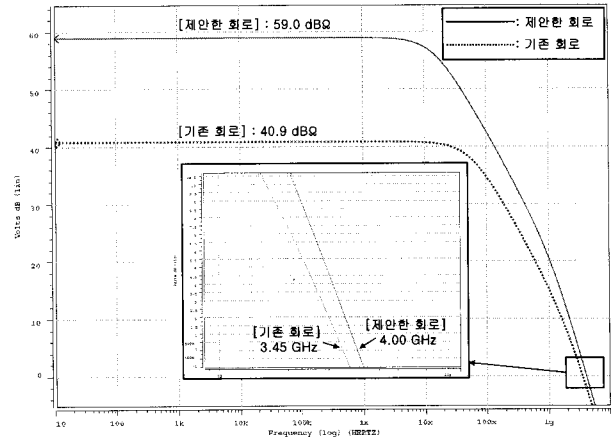


그림 4 트랜스레지스턴스 증폭기의 이득 및 주파수 특성 비교
Fig 4 Simulated gain and frequency response comparison of transresistance amplifiers

그림 4와 표 2에 주파수 및 이득 특성의 결과를 나타내었는데 기존 트랜스레지스턴스 증폭기의 이득이 40.9dB인 것에 비하여 본 논문에서 제안한 증폭기의 이득이 59.0dB로써 약 18dB 정도 높은 결과를 얻을 수 있었으며, 이득 대역폭 또한 기존 회로에서는 약 3.45GHz인 반면 제안한 증폭기 회로에서는 약 4GHz로 약 0.55GHz 정도 증가된 것을 확인하였다.

표 2 트랜스레지스턴스 증폭기의 이득 및 주파수 특성값 비교

Table 2 Simulated gain and frequency response value comparison of transresistance amplifiers

| 구분 | 공정 | V_{DD} | R_m | GBW |
|--------|-------------------|----------|--------------------|-----------|
| 기존 회로 | 0.18 μ m CMOS | 1.8V | 40.9[dB Ω] | 3.45[GHz] |
| 제안한 회로 | 0.18 μ m CMOS | 1.8V | 59.0[dB Ω] | 4.00[GHz] |

이는 M1, M3 및 M5 트랜지스터의 게이트에 입력이 인가되고 공통소스 구조로 이루어졌으며, M5, M6의 트랜지스터가 캐스캐이드 형태로 추가되면서 부계환 회로로 구성되어짐에 따라 추가된 M5 트랜지스터의 트랜스컨덕턴스(g_{m5})가 이득을 증가시키는 변수가 된 것이다. 이를 소신호 등가회로 해석을 통하여 앞 절에서 분석한 결과 이득이 증가하였으며, 증가된 이득을 통하여 대역폭이 수식적으로 증가되었음이 확인되었고, 그 결과를 시뮬레이션을 통하여 확인하였다. 또한 트랜스레지스턴스 증폭기의 이득은 가변 전압에 따라서 충분한 이득 조절범위를 가져야하므로 제안한 트랜

스레지스턴스 증폭기에 다른 크기의 조절 전압을 인가함으로써 이득 조절 범위를 조사하여 그림 5에 나타내었다. 그 결과 56.8~61.1dBΩ 값의 이득 조절 범위를 갖는 것을 확인하였다.

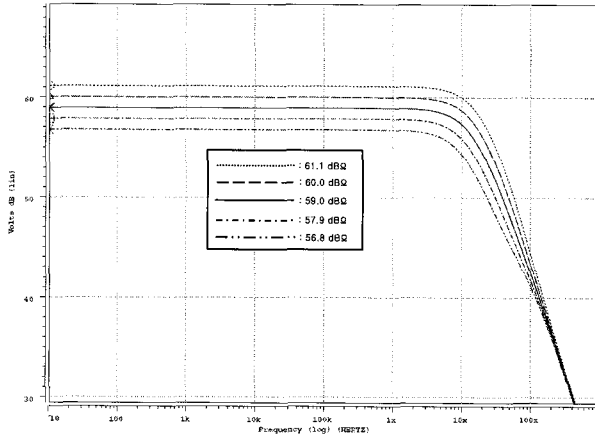


그림 5 제안한 트랜스레지스턴스 증폭기의 이득 조절 특성
 Fig 5 Gain value of proposed transresistance amplifier with various control voltages

5. 결 론

본 논문에서는 공통소스 및 부궤환 회로 구조를 갖는 저전압 트랜스레지스턴스 증폭기 회로를 제안하고 기존에 발표된 트랜스레지스턴스 증폭기와 그 특성을 비교 및 분석하였다. 먼저 제안한 트랜스레지스턴스 증폭기는 최소 $2V_{DSAT} + V_T$ 의 공급전압만이 필요한 저전압 구조로써 소신호 등가 회로 분석 결과를 통하여 기존의 트랜스레지스턴스 증폭기에 비하여 성능이 개선된 특성을 얻을 수 있었다.

또한 소신호 등가회로 해석 및 1.8V TSMC 0.18 μ m CMOS n-well 공정 파라미터를 이용한 시뮬레이션 결과 제안된 트랜스레지스턴스 증폭기의 이득이 기존의 트랜스레지스턴스 증폭기에 비하여 약 18dBΩ 정도 높은 이득 특성을 얻을 수 있었으며, 가변 조절 전압에 따라 이득 조절 범위를 조절할 수 있어 비교적 넓은 응용범위를 가질 수 있음을 확인하였다. 이러한 특성은 제안된 트랜스레지스턴스 증폭기를 필터 설계시 사용함으로써 필터의 차단주파수 범위를 넓히는 데 활용될 수 있다.

결과적으로 본 논문에서 제안한 공통소스 부궤환 회로 구조의 트랜스레지스턴스 증폭기는 트랜스레지스턴스 이득 및 이득 대역폭이 개선된 트랜스레지스턴스 증폭기로서 저전압 통신용 필터 등 아날로그 집적회로 설계에 유용하게 사용될 수 있을 것으로 기대된다.

감사의 글

“이 논문은 IDEC의 CAD TOOL 지원을 받아 수행하였음”

참 고 문 헌

- [1] Yuanying Deng, E. K. F. Lee, "Design of a 1V 250 MHz current-mode filter in conventional CMOS process". Proc. of the IEEE international Symposium on Circuits and Systems, Vol. 1, pp. 236-239, May 2001.
- [2] N. Haralabidis, S. Katsafouros, and G. Halkias, "A 1GHz transimpedance amplifier for chip-to-chip optical interconnects", Proc. of the IEEE international Symposium on Circuits and Systems, Vol. 5, pp. 421-424, May 2000.
- [3] J. Martinez-Castillo and J. Silva-Martinez, "Transimpedance amplifiers for optical fiber system based on common base transistors", Proc. of the IEEE International Symposium on Circuits and Systems, Vol. 6, pp. 85-88, May 1999.
- [4] S. Yoo, A. Ravindran and M. Ismail, "A low voltage transresistance based variable gain amplifier", Proc. of the IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 809-812, May 2004.
- [5] A. S. Sedra and K. C. Smith, "Microelectronic Circuits", Oxford University Press, 1998.
- [6] M. E. Schlarmann, R. L. Geiger, "A simple 2-transistor transresistance amplifiers", Proc. of the 43rd IEEE Midwest Symposium on Circuits and Systems, Vol. 3, pp. 1252-1255, Aug 2000.
- [7] Chunyun Wang, Jiqiang Wang, "Design of linear transimpedance amplifiers", Proc. of 4th International Conference on ASIC, pp. 232-235, Oct 2001.

저 자 소 개



김 병 옥 (金炳旭)

1995년 전북대학교 전기공학과 졸업.
1997년 동 대학원 전기공학과 졸업(석사). 2001년 9월~현재 동 대학원 전기공학과 박사과정

Tel : 063-270-3957

Fax : 063-270-2394

E-mail : bwkim@chonbuk.ac.kr



조 성 익 (趙成翊)

1987년 전북대학교 전기공학과 졸업.
1989년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학박). 2004년~현재 전북대학교 전자정보공학부 조교수

Tel : 063-270-4137

Fax : 063-270-2394

E-mail : sicho@chonbuk.ac.kr



방 준 호 (方駿鎬)

1989년 전북대학교 전기공학과 졸업.
1991년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박). 1998년~현재 익산대 전기과 부교수

Tel : 063-850-0761

Fax : 063-850-0761

E-mail : jhbang@iksan.ac.kr