

논문 2007-44SD-11-14

전력-종속 데이터 반전 기법을 이용한 저전력 상변환 메모리

(A Low Power PRAM using a Power-Dependant Data Inversion Scheme)

양 병 도*

(Byung-Do Yang)

요 약

전력-종속 데이터 반전 기법(power-dependant data inversion: PDI)을 이용하는 저전력 PRAM을 제안하였다. PRAM은 많은 쓰기 전류를 오랜 시간동안 필요로 하기 때문에 많은 쓰기 전력을 소모하게 되고, '1'과 '0'을 저장하는데 사용하는 전력이 다르다. PDI는 이런 특성을 이용하여 원본 데이터와 반전된 데이터를 저장하기 위해 필요한 전력을 비교한 후, 전력을 적게 소모하는 데이터를 저장한다. PDI 기법은 각 데이터마다 추가적인 반전 비트를 사용 하지만, 기존의 쓰기 기법과 비교하여 최대전력과 평균전력을 각각 50%와 37.5% 이하로 크게 줄일 수 있다. 8bit 데이터를 저장하기 위한 평균 전력은 반전 비트의 영향으로 41%이하가 된다. 128×8bits 1K-bit PRAM 칩을 0.5 μ m GST 셀을 갖는 0.8 μ m CMOS 공정으로 구현하였다.

Abstract

A low power PRAM using a power-dependant data inversion (PDI) scheme is proposed. The PRAM consumes large write power because large write currents are required during long time. Also, the power consumptions for storing '1' and '0' are different. The PDI circuit compares the power consumptions to store the original data and its inverted data, and then it stores the less power consuming data. Although the PDI scheme needs an additional inversion bit per data, the maximum and average powers of the PDI can be under 50% and 37.5% of the conventional write scheme, respectively. The average power for storing 8bit data is under 41%, due to the inversion bit. The 1K-bit PRAM chip with 128×8bits was implemented with a 0.8 μ m CMOS technology with a 0.5 μ m GST cell.

Keywords : VLSI, memory, PRAM, low power, write

I. 서 론

상변환 메모리 (phase-change random access memory: PRAM)는 매력적인 비휘발성 메모리이다. PRAM은 메모리 접근성, 비휘발성, 높은 집적화, 빠른 읽기 시간, 다른 비휘발성 메모리에 비하여 빠른 쓰기 시간, 반복적인 쓰기에 대한 내구성, CMOS 공정과의 호환성 등 많은 장점을 가지고 있다^[1]. PRAM은 바이트

단위로 데이터를 기록할 수 있기 때문에, 복잡한 과정과 긴 시간을 필요로 하는 블록 단위 데이터 기록을 하는 플래시 메모리 보다 빠르다^[2]. 또한, PRAM의 셀은 한 개의 트랜지스터와 한 개의 저항으로 구성되어 SRAM보다 면적이 작고, 비휘발성 메모리로서 대기전력을 소모하지 않는다. 이런 다양한 장점을 가지는 PRAM은 저전력 휴대용 기기에 매우 적합한 차세대 메모리로 기대되고 있다.

그림 1은 구현된 PRAM 단위 셀의 기본 구조를 보여 준다. PRAM 셀은 한 개의 NMOS 트랜지스터와 한 개의 chalcogenide 합금(GST: G₂Sb₂Te₅) 저장 요소로 구성된다. NMOS 트랜지스터와 GST는 비트라인(BL)에 연결되어 있어, PRAM 셀이 선택될 때 워드라인(WL)은 NMOS 트랜지스터를 켜서 셀의 GST에 비트라인의

* 정희원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Engineering,
Chungbuk National University)

※ 본 연구는 2007년도 교육인적자원부 지방연구중심 대학 육성사업과 IDEC의 CAD tool 지원에 의한 것임.

접수일자: 2007년2월28일, 수정완료일: 2007년10월10일

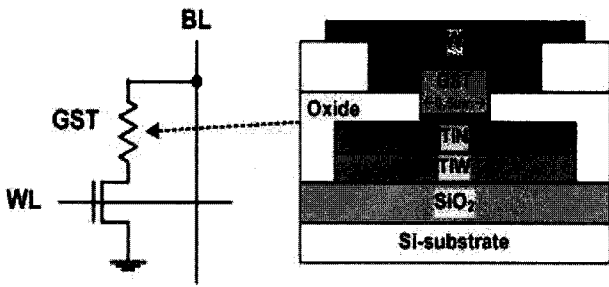


그림 1. PRAM 단위 셀의 기본 구조
Fig. 1. Basic structure of PRAM unit-cell.

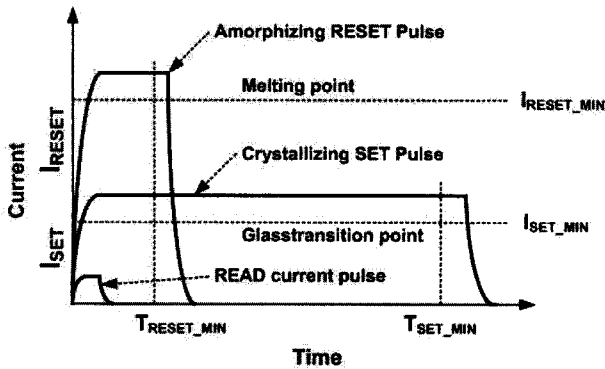


그림 2. read, set, reset 동작동안의 전류 펄스
Fig. 2. Current pulses during read, set, reset operations.

전류가 흐를 수 있도록 한다.

GST는 저장된 데이터에 따라 두 가지 저항 값을 가진다. SET 상태일 때 GST는 데이터 값이 '0'인 낮은 저항 상태를 갖고, RESET 상태일 때 GST는 데이터 값이 '1'인 높은 저항 상태를 갖는다. PRAM은 전기적 저항 주열을 이용하여 결정질 상태(SET)와 비결정질 상태(RESET)의 상변화를 한다. 그림 2와 같이 SET 시간동안 SET 전류를 GST에 흐르게 함으로써 GST를 가열하여 SET 상태로 변화시킨다. 반대로 RESET 시간동안 RESET 전류를 GST에 흐르게 함으로써 GST를 가열하여 RESET 상태로 변화시킨다.

PRAM은 SET과 RESET 동작에서 전류가 크고 SET과 RESET 시간 또한 길기 때문에 쓰기 전력소모가 크다. 이러한 이유로 PRAM을 휴대형 기기 응용하는데 어려움이 있다.

최근 쓰기 전력을 낮추기 위해 데이터 비교 쓰기 (date comparison write: DCW) 방식을 사용한 저전력 PRAM이 제안되었다^[3]. DCW 회로는 쓰기 동작 동안 PRAM 셀로부터 저장된 값을 읽고 입력된 값과 저장된 값이 다를 때 PRAM 셀에 기록을 한다. 만약 PRAM 셀 값이 변하지 않으면 쓰기 전력을 소모하지 않는다. 각 PRAM 셀의 평균 천이(transition) 확률은 1/2이기

때문에 DCW 방식은 쓰기 전력 소모를 반으로 줄일 수 있다.

본 논문에서는 PRAM을 쓰기 전력을 감소시키기 위하여 전력-종속 데이터 반전 (power-dependent data inversion, PDI) 기법을 사용한 PRAM을 제안하였다. 기본적으로 PDI 기법은 DCW 방식을 사용한다. 이 DCW 방식에서 데이터 천이 확률은 1/2이지만, 버스 반전 코딩(bus invert coding: BIC)에 이용되는 반전 기법을 적용함으로써 천이 확률을 낮출 수 있다^[4]. PDI는 천이 확률을 줄이기 위해 BIC에서 사용하는 데이터 반전 기법을 사용한다. 하지만 PRAM의 쓰기 전력이 데이터의 천이 확률에 정확히 비례하지는 않는다. PRAM에서는 '1'과 '0'을 저장하기 위한 전력 소모가 크게 다르기 때문에, PDI회로는 원본 데이터와 반전된 데이터 각각의 전력소모를 계산하여 비교한 후, 더 적은 전력을 소모하는 데이터를 저장한다. 이런 방식으로 쓰기 전력 소모를 줄일 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 PDI 기법의 회로 구현과 개념을 소개할 것이다. III장에서는 칩 구현을 보여줄 것이다. 마지막으로 IV장에서 결론을 맺을 것이다.

II. 전력-종속 데이터 반전 기법

1. 전력-종속 데이터 반전 기법

그림 3(a)는 일반적인 쓰기 기법의 순서도이다. 기존의 PRAM은 이전에 저장된 데이터와는 상관없이 선택된 PRAM 셀에 바로 기록한다. 입력된 데이터가 '0'이면 SET 동작은 SET 전력(P_{SET})을 소모하고, 입력 데이터가 '1'이면 RESET 동작은 RESET 전력(P_{RESET})을 소모한다. 표 1과 같이 셀 데이터 천이는 네 가지 경우로 나눌 수 있다. (0→0, 0→1, 1→0, 1→1) 네 가지 경우의 확률이 각각 1/4일 때, 기존의 읽기 방식에서는 ($P_{SET} + P_{RESET}$)/2의 평균 전력을 소모한다.

그림 3(b)는 데이터-비교 쓰기 (DCW) 기법의 순서도이다^[3]. DCW 기법은 선택된 PRAM 셀의 이전 상태를 알기 위해, 쓰기 동작 전에 읽기 동작을 먼저 수행한다. 입력된 데이터와 PRAM 셀에 저장된 데이터가 같은 경우 쓰기 동작을 수행하지 않고, 입력된 데이터와 PRAM 셀에 저장된 데이터가 다른 경우에만 기존의 쓰기 기법과 같은 방식으로 데이터를 PRAM 셀에 저장한다. 네 가지의 셀 데이터 천이의 확률이 1/4일 때, DCW 기법은 두 가지의 경우(0→0, 1→1)에 쓰기



그림 3. 순서도 (a) 직접 쓰기 기법 (b) DCW 기법

Fig. 3. Flowchart of (a) direct write scheme (b) Data-comparison write

표 1. 직접 쓰기와 DCW 기법의 전력 비교

Table 1. Power Comparison of direct write and DCW.

Cell Data Transition	Conventional Scheme		Proposed Scheme	
	Power	Probability	Power	Probability
0 → 0	P_{SET}	1/4	0	1/4
0 → 1	P_{RESET}	1/4	P_{RESET}	1/4
1 → 0	P_{SET}	1/4	P_{SET}	1/4
1 → 1	P_{RESET}	1/4	0	1/4
Average Power	$(P_{SET} + P_{RESET})/2$		$(P_{SET} + P_{RESET})/4$	

전력을 소모하지 않는다. 따라서 DCW 기법의 평균 전력은 기존의 쓰기 기법의 절반인 $(P_{SET} + P_{RESET})/4$ 로 줄어든다.

제안된 전력-종속 데이터 반전 (power-dependent data inversion, PDI) 기법은 DCW 기법에서 줄어든 쓰기 전력을 더 줄여 준다. PDI 기법은 DCW 기법을 사용하여, 최대 데이터 천이 확률과 평균 데이터 천이 확률은 각각 1과 1/2이 된다. 하지만 여기에 버스-반전 코딩(bus invert coding: BIC)을 사용하여, 두 천이 확률을 각각 0.5와 0.375로 더 낮출 수 있다^[4]. BIC에서 각각의 데이터 코드는 invert라 불리는 추가 비트를 필요로 한다. 만약 n-비트 데이터에서 천이 비트의 수가 n/2 이상이면 invert=1이 되고 n-비트 데이터는 반전되게 된다. 만약 데이터에서 천이 비트의 수가 n/2 이하이면 invert=0이 되고 n-bit 값은 반전되지 않는다. 표2는 다양한 쓰기 기법들의 쓰기전력 소모를 비교하였다. 우리는 SET 전력(P_{SET})이 RESET 전력(P_{RESET})보다 크다고 가정하였다. n=8인 경우 BIC의 평균 데이터 천이 확률은 0.375에서 0.41이 된다^[4].

표 2. 다양한 쓰기 기법의 쓰기 전력 비교

Table 2. Write power comparison of various write schemes.

	Direct Write	DCW [3]	BIC [4]	PDI
Max. Power	P_{SET}	P_{SET}	$P_{SET}/2$	-
	1	1	0.5	≤ 0.5
Average Power @ $n=\infty$ ($n=8$)	$(P_{SET} + P_{RESET})/2$	$(P_{SET} + P_{RESET})/4$	$(P_{SET} + P_{RESET})/4 \times 0.75$	-
	1	0.5	0.375 (0.41)	≤ 0.375 (≤ 0.41)

표 3. 8비트 데이터의 쓰기 전력 계산의 예

Table 3. Write power calculation example with 8bit data($P_{SET}=\alpha=5$ & $P_{RESET}=1$).

	8bit data ($P_{SET}=\alpha$ & $P_{RESET}=1$)	Invert bit	# of Transition	Total Power ($\alpha=5$)
Read data	0001,0111	0	-	-
Write data	0001,1000	0	-	-
Inverted data	1110,0111	1	-	-
Direct Write	aaa1,1aaa	-	-	$6\alpha+2=32$
DCW	0000,1aaa	-	-	$3\alpha+1=16$
Non-inverted	0000,1aaa	0(0)	4	$3\alpha+1=16$
Inverted	11aa,0000	1(1)	5	$2\alpha+3=13$
BIC	Non-inverted	0	4	$3\alpha+1=16$
PDI	Inverted	1	5	$2\alpha+3=13$

PDI는 DCW와 BIC 모두를 사용하기는 하지만, PDI는 실제적인 전력소모량을 계산하여 실제 소모 전력에 따라 데이터 반전을 결정한다. 반면에 BIC는 데이터의 천이 비트수에 따라 데이터 반전을 결정한다. PDI 회로는 원본 데이터와 반전된 데이터를 저장하는 두 경우의 전력소모를 계산하여 전력 소모가 더 적은 데이터를 저장한다.

PRAM셀의 SET전력(P_{SET})과 RESET전력(P_{RESET})이 다르다. 보통 P_{SET} 은 P_{RESET} 보다 크기 때문에, $\alpha = P_{SET}/P_{RESET}$ 로 하면, 최대 전력소모와 평균 전력소모는 α 에 따라 변하게 된다. $\alpha > 1$ 일 때 PDI의 최대 및 평균 전력소모는 BIC를 사용한 경우보다 작아지게 된다.

표 3은 8비트 데이터의 쓰기 전력 계산의 예를 보여 준다. ($P_{SET}=\alpha=5, P_{RESET}=1$) DCW는 천이 비트가 있을 때만 전력을 소모한다. BIC는 원본 데이터와 반전된 데이터 각각의 천이 비트 수를 센다. 하지만 PDI는 원본 데이터와 반전된 데이터의 쓰기 전력 소모를 계산한다. 이 예에서 반전되지 않은 원본 데이터와 반전되는 데이터는 4개와 5개의 천이 비트를 갖지만 실제 전력 소모

표 4. 8비트 데이터의 정규화된 평균 쓰기 전력 소모

Table 4. normalized average write power comparison with 8bit data and $\alpha=PSET/PRESET$.

α	Direct Write	DCW	PDI
1	1	0.5	0.41
2	1	0.5	0.40
3	1	0.5	0.39
4	1	0.5	0.39
5	1	0.5	0.38
6	1	0.5	0.38
7	1	0.5	0.37
8	1	0.5	0.37
9	1	0.5	0.37
10	1	0.5	0.37

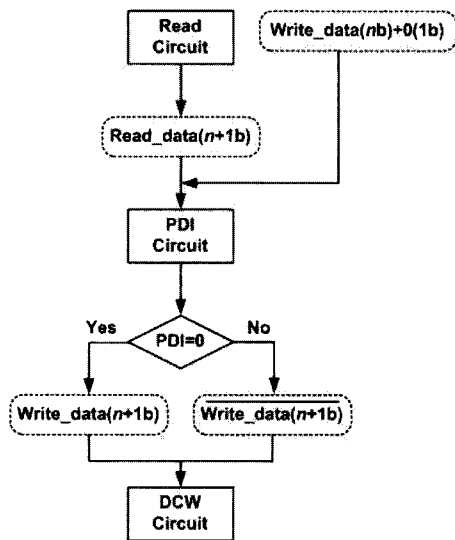


그림 4. PDI 기법의 순서도
Fig. 4. Flowchart of the PDI scheme.

는 각각 16과 13이다. 그래서 BIC는 원본 데이터를 메모리에 쓰는 반면에, PDI는 반전되는 데이터를 쓰게 되어 PDI가 더 적은 전력을 소모한다.

표 4는 $\alpha=PSET/PRESET$ 인 8비트 데이터의 정규화된 평균 쓰기전력 소모를 비교한 것이다. α 가 증가함에 따라 PDI 기법은 쓰기전력을 더 많이 줄여준다.

그림 4는 PDI 기법의 순서도를 보여준다. 우선 저장된 $n+1$ 비트 *read_data* (n 비트 데이터 + 한 개의 반전 비트)를 읽기 회로로부터 얻고, $n+1$ 비트 *write_data* (n 비트 데이터 + 한 개의 반전 비트)는 I/O 회로로부터 온다. 그림 5에 보이는 것처럼 PDI 회로는 반전되지 않은 데이터와 반전된 데이터의 쓰기 전력을 계산한 후, 어떤 데이터가 더 적게 전력을 소모하는지 비교한다. 만약 반전되지 않는 데이터가 전력을 더 적게 소모한다면 PDI=0 (PDI 회로의 결과)이 되어 반전되지 않는 데이터를 저장하게 된다. 반대로, 반전된 데이터가 전

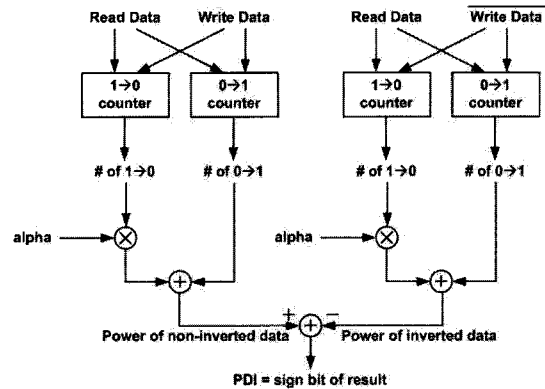


그림 5. PDI 회로
Fig. 5. PDI circuit.

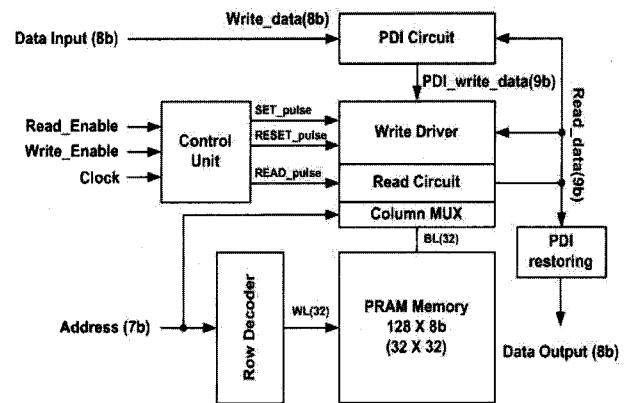


그림 6. PDI-PRAM의 단순화된 블록 다이어그램
Fig. 6. Simplified block diagram of the PDI-PRAM.

력을 더 적게 소모한다면 PDI=1이 되어 반전된 데이터를 저장하게 된다.

PDI 회로 내에서 계산되는 전력은 P_{RESET} 으로 정규화 되어 계산된다. 그래서 1→0 천이 전력($P_{1\rightarrow0}$)= α 이고 0→1 천이 전력($P_{0\rightarrow1}$)=1 이다. 1→0 천이 비트수($N_{1\rightarrow0}$)에 α 를 곱하고 0→1 천이 비트수($N_{0\rightarrow1}$)에 더한다. 즉 그 결과인 전체 전력은 ($\alpha \times N_{1\rightarrow0} + N_{0\rightarrow1}$)가 된다. 원본 데이터와 반전 데이터 각각의 쓰기 전력을 계산한 후, 이 두 값을 비교한다. PDI 회로는 4개의 천이 비트 카운터와 두 개의 곱셈기, 두 개의 가산기, 한 개의 뺄셈기(또는 비교기)로 구성된다. 곱셈기는 α 가 정수이기 때문에 몇 개의 덧셈기와 쉬프트(shifter)만으로 구현될 수 있다.

그림 6은 전력-종속 데이터 반전 PRAM (power-dependant data inversion PRAM: PDI-PRAM)의 블록 다이어그램이다. PDI는 8비트 입력 데이터로부터 9비트 *PDI_write_data*를 생성해내고 입력 어드레스는 하나의 선택된 워드라인과 9개의 선택된 비트 라인으로 (8 비트 데이터 + 반전 비트) 9개의 PRAM 셀을 선택한다. 펄스 발생기는 3개의 외부 신호 (*READ_enable*,

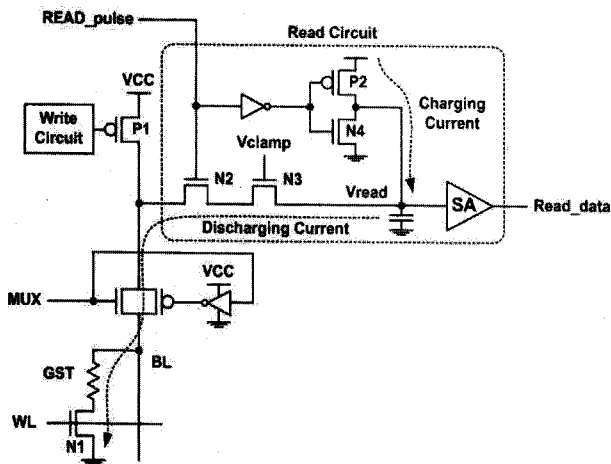


그림 7. PDI-PRAM의 읽기 회로
Fig. 7. Read circuit of the PDI-PRAM.

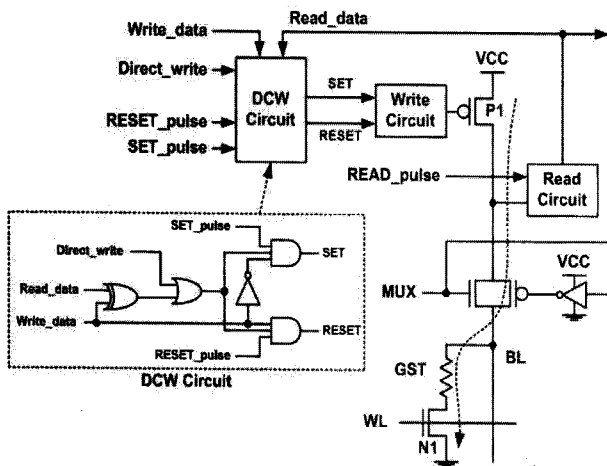


그림 8. PDI-PRAM의 쓰기 회로
Fig. 8. Write driver of the PDI-PRAM.

Write_enalbe, clock)를 이용하여 3개의 타이밍 펄스 신호를 (READ_pulse, SET_pulse, RESET_pulse) 만들어 낸다. 읽기 회로와 쓰기 회로는 이 3가지 타이밍 펄스 신호와 쓰기 데이터로 읽기와 쓰기 동작을 수행한다. PDI 복구 회로는 반전된 read_data를 다시 반전시킴으로써 9비트 read_data에서 8비트 원본 데이터를 복구한다.

그림 7은 PDI-PRAM의 읽기 회로이다. PRAM 셀은 워드라인(WL)를 동작시킴으로써 선택되고 하나의 비트 라인은(BL) MUX에 의해 읽기회로와 쓰기회로와 연결된다. 읽기 동작 동안 P2 트랜지스터는 선택된 비트 라인에 작은 읽기 전류를 공급한다. 의도하지 않은 쓰기를 방지하기 위해 비트 라인은 V_{Clamp} 값을 갖는 N3에 의해 클램프 됨으로써 비트라인의 전압은 GST 셀의 문턱전압보다 충분히 낮게 유지되게 된다. GST 가 높은 저항 상태일 때, 감지증폭기(sense amplifier) 입력

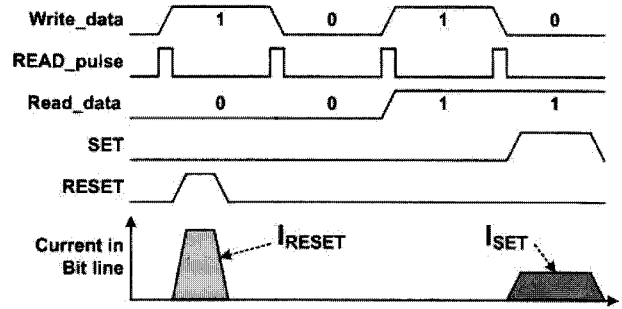


그림 9. 쓰기 동작의 파형
Fig. 9. Waveforms of write operation.

전압(V_{read})은 V_{DD} 로 올라가게 된다. GST가 낮은 저항 상태일 때는 V_{read} 가 접지전압으로 떨어지게 된다.

그림 8은 쓰기 회로(write driver)를 보여준다. 쓰기 회로는 SET 과 RESET 전류 펄스를 GST 저항을 바꿔주기 위해서 공급하게 된다. PRAM은 두 전력 공급 전압 V_{CC} 와 V_{DD} 를 사용한다. 고 전압인 V_{CC} 는 큰 SET 과 RESET 전류를 GST셀에 공급하기 위해 필요하다. MUX 신호도 높은 전압으로 쓰기 전류를 전달하기 때문에 V_{CC} 전압을 사용한다. 낮은 전압인 V_{DD} 는 쓰기 전류에 관련된 회로를 제외한 대부분의 회로에서 사용된다.

그림 9는 쓰기 동작의 파형을 보여준다. DCW 기법을 사용하고, 선택된 셀 데이터는 읽기 펄스 신호에 의해 읽기 회로에서 읽혀진다. 그림 8의 DCW 회로는 SET이나 RESET 신호를 쓰기 데이터와 읽은 데이터가 다른 경우에만 생성한다.

III. 칩 구현 및 실험 결과

128×8bits인 1K-bit PRAM 테스트 칩을 0.5 μ m GST 셀과 0.8 μ m CMOS 공정을 사용하여 구현하였다. 그림

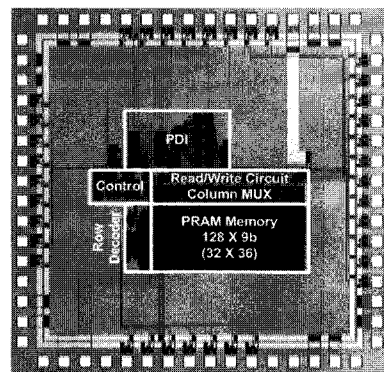


그림 10. PDI-PRAM 칩 사진
Fig. 10. Photograph of the PDI-PRAM chip.

표 5. PDI-PRAM 칩의 특성

Table 5. Features of the PDI-PRAM chip.

Technology	0.8 μ m CMOS process with 0.5 μ m GST cell and 2 metals
Organization	128 \times 8 bits (Internally 9bit)
Supply Voltage	VDD = 5V
	VCC = 14V
Read Time	10 ns
Write Time	SET = 1000 ns @ 4.5mA
	RESET = 50 ns @ 16mA
Chip Core Area	2.4 mm ²
Energy / bit	READ = 74pJ
	SET = 64nJ
	RESET = 12nJ

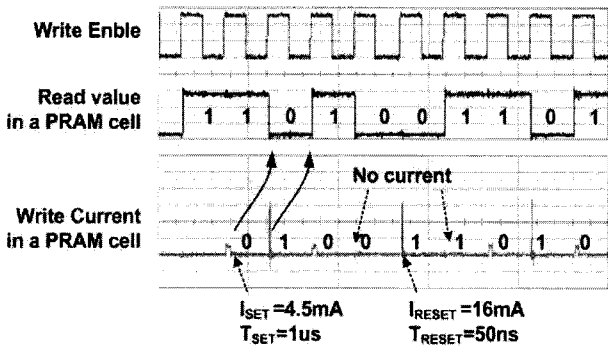


그림 11. PDI-PRAM 칩의 측정된 파형

Fig. 11. Measured waveforms of the PDI-PRAM chip.

10은 제작된 칩 사진으로, 테스트 칩의 코어 면적은 2.4mm²이다. 테스트 칩의 특성들은 표 5에 정리하였다. PRAM 칩은 로직 회로를 위한 전원 V_{DD}=5V와 SET과 RESET 전류를 생성하기 위한 전원 V_{CC}=14V 두 개의 전원공급을 사용하였다.

그림 11은 측정된 파형을 보여준다. 10ns의 읽기 펄스 이후에, 쓰기 데이터가 읽은 데이터가 다르다면 1 μ s 동안 4.5mA SET 전류 또는 50ns 동안 16mA RESET 전류를 GST 셀 안으로 공급한다. 읽기 시간은 10ns이고 읽기 에너지는 74pJ/bit에 불과한 반면에, 쓰기 시간은 약 1 μ s 이고 SET과 RESET 에너지는 각각 64nJ/bit과 12nJ/bit이었다.

IV. 결 론

본 논문에서는 전력-종속 데이터 반전 (PDI)기법을 사용하는 저전력 PRAM을 제안하였다. 쓰기 전력을 줄이기 위하여 제안된 PDI 기법은 DCW와 BIC 기법을 사용한다. 또한 '1'과 '0'을 저장하기 위한 전력 소모가

다른 특징을 이용한다. PDI 회로는 원본 데이터와 반전된 데이터를 저장하기 위한 전력을 비교하고 전력 소모가 낮은 데이터를 저장한다. 비록 PDI 기법이 데이터마다 추가적인 반전 비트를 필요로 하지만, 기존의 쓰기 기법에 비해 최대전력과 평균전력이 각각 50%와 37.5% 감소하게 된다. 반전비트 때문에 8비트를 저장하기 위한 평균전력은 41% 미만이 된다. 128 \times 8bits인 1K-bit PRAM 테스트 칩은 0.5 μ m GST셀과 0.8 μ m CMOS 공정으로 구현되었다.

참 고 문 헌

- [1] Hyung-rok Oh, et al., "Enhanced Write Performance of a 64-Mb Phase-Change Random Access Memory," *IEEE J. Solid-State Circuits*, Vol. 41, No. 1, pp. 122-126, Jan. 2006.
- [2] Woo Yeong Cho, et al., "A 0.18- μ m 3.0-V 64-Mb Nonvolatile Phase-Transition Random Access Memory (PRAM)," *IEEE J. Solid-State Circuits*, Vol. 40, No. 1, pp. 293-300, Jan. 2005.
- [3] Y. N. Hwang, et al, "Full integration and reliability evaluation of phase-change RAM based on 0.24 μ m-CMOS technologies," *Symp. VLSI Technology Dig.*, pp. 173-174, June 2003.

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업

2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2005년 한국과학기술원 전자전산학과 전기및 전자공학전공 박사 졸업

2005년~2006년 삼성전자 반도체 총괄 메모리 사업부 책임 연구원

2006년~현재 충북대학교 전기전자컴퓨터공학부 전자공학전공 전임강사

<주관심분야 : 메모리 설계, 아날로그 및 디지털 IC 설계, RF-ID 설계, Display Driver IC 설계>