

논문 2007-44SD-11-11

Folding-Interpolation 기법을 이용한 1.8V 6-bit 1GS/s 60mW 0.27mm² CMOS A/D 변환기의 설계

(Design of an 1.8V 6-bit 1GS/s 60mW CMOS A/D Converter Using
Folding-Interpolation Technique)

정민호*, 문준호*, 황상훈*, 송민규**

(Min-Ho Jung, Jun-Ho Moon, Sang-Hoon Hwang, and Min-Kyu Song)

요약

본 논문에서는, 1.8V 6-bit 1GSPS CMOS A/D 변환기를 제안한다. 제안하는 A/D 변환기는 저 전력소모를 위해 폴딩 구조의 A/D 변환기로 구현되었으며, 특히 전압구동 인터폴레이션 기법을 사용하여 전력소모를 최소화 하였다. 또한 전체 A/D 변환기의 전력소모 감소를 위해 새로운 폴더 감소회로를 제안하여 기존의 폴딩 A/D 변환기에 비해 폴더 및 프리앰프 수를 절반으로 줄였고, 새로운 프리앰프 평균화 기법과 폴딩에 적합한 레이아웃 기법을 제안하여 전체 A/D 변환기의 성능을 향상시켰다. 설계된 A/D 변환기는 1GSPS의 변환속도에서 500MHz의 ERBW를 가지며, 이때의 전력소모는 60mW 이었다. 측정결과 INL은±0.5 LSB, DNL은 ±0.7 LSB 이내의 정적 특성을 보였으며, Fin=100MHz의 샘플링 300MHz에서 SNR=34.1dB의 동적 특성을 나타내었다. 제안하는 A/D 변환기는 0.18um CMOS공정으로 제작되었으며 ADC 코어의 유효 칩 면적은 0.27mm²이다.

Abstract

In this paper, CMOS analog-to-digital converter (ADC) with a 6-bit 1GSPS at 1.8V is described. The architecture of the proposed ADC is based on a folding type ADC using resistive interpolation technique for low power consumption. To reduce the power consumption, a folder reduction technique to decrease the number of folding blocks (NFB) by half of the conventional ones is proposed. Further, a novel layout technique is introduced for compact area. With the clock speed of 1GSPS, the ADC achieves an effective resolution bandwidth (ERBW) of 500MHz, while consuming only 60mW of power. The measured INL and DNL were within ±0.5 LSB, ±0.7 LSB, respectively. The measured SNR was 34.1dB, when the Fin=100MHz at Fs=300MHz. The active chip occupies an area of 0.27mm² in 0.18um CMOS technology.

Keywords : A/D 변환기, Folding Interpolation Architecture, Folder Reduction Circuit

I. 서론

DMB(Digital Multimedia Broadcasting) 수신기, UWB(Ultra Wideband) System, GPS(Global Positioning System) 이용의 급속한 증가에 따라 이 휴대용 기기들의 수신단에 필요한 A/D 변환기 또한 고속, 저전력의 필요성이 증대되고 있다. 일반적으로 이러한 통신 시스템의 A/D 변환기는 넓은 Dynamic range를 요구하고

있으며, SNR(Signal to Noise Ratio)의 저하나 어떠한 Spurious 또는 Distortion을 발생시켜서는 안 된다. 또한 통신 시스템의 수신단을 하나의 Chip으로 One-Chip 화시키는 고집적 회로로의 구현 추세에 따라 저 전력의 특성과 작은 면적을 요구하고 있다. 그러나 과거 A/D 변환기는 BJT공정 또는 BiCMOS공정을 기반으로 설계되었기 때문에 높은 전압 전압의 사용과 많은 전력 소모로 인해 저 전압, 저 전력 소모가 요구되는 모바일 통신기기에는 부적합 하다. 특히 아날로그 시스템과 디지털 시스템이 하나의 블록으로 구성된 혼성모드 회로설계에 있어 DSP와 함께 One-Chip화 할 수 없다는 단점도 갖고 있다. 또한 기존의 Full-Flash 방식의 A/D 변

* 학생회원 ** 정회원, 동국대학교 반도체학과
(Dept. of Semiconductor Science, Dongguk University)

접수일자: 2007년7월20일, 수정완료일: 2007년10월10일

환기는 해상도에 비례한 많은 비교기를 필요로 하므로 큰 칩 면적과 많은 전력소모를 요구하는 단점을 갖고 있어 여러 시스템 응용에 제한사항으로 작용된다^[2].

본 논문에서는 기존의 A/D 변환기의 단점을 극복하면서 Flash Type의 A/D 변환기와 동일한 변환속도를 유지하는 Folding Interpolation type의 CMOS A/D 변환기를 제안한다^{[3]-[5]}. 제안하는 A/D 변환기는 CMOS 공정을 사용한 6-bit Folding Interpolation 구조로 1GS/s의 변환속도를 갖는다. A/D 변환기의 전체 구조는 저전력, 고속에 적합한 1+5의 분할구조로 설계되었으며, 전압구동형식의 Interpolation 기법을 적용하여 전체 A/D 변환기의 전력소비를 최소화 하였다. 특히 기존 구조에 비해 Preamp와 Folder의 수를 절반으로 줄이는 Folder 감소회로를 제안하여 Analog블록의 전력을 반감하였으며, 새로운 전압구동형식의 Interpolation 기법을 적용하여 Zero-crossing 위상 오차를 보정하였다. 또한 Folding A/D 변환기의 아날로그 블록과 디지털 블록을 새롭게 배치한 Layout 기법을 제안하여 전체 A/D 변환기의 면적을 최적화 시켰다. 본 논문의 II장에서는 제안하는 A/D 변환기의 구조결정 및 전체 구조를 설명하며, III장에서는 A/D 변환기의 성능 향상 및 저 전력 구현을 위한 회로 설계 기법을 논의한다. IV장에서는 제안된 A/D 변환기의 Layout 및 제작된 칩을 통한 측정결과를 기술한 후, V장에서 결론을 맺는다.

II. 제안하는 A/D 변환기의 구조

Folding Interpolation A/D 변환기의 설계 시 우선적으로 고려해야 할 사항은 해상도와 변환 속도

표 1. 6-bit Folding Interpolation A/D 변환기의 특성
Table 1. Characteristic summary of the 6-bit F/I ADC.

	FR	NFB	IR	Preamp
1+5 구조	2	4	8	12
		2(with Folder reduction circuit)		6
2+4 구조	4	4	4	20

를 설정하여 전체 ADC 구조를 결정하는 것이다^[7]. 특히 고속 동작을 위한 최적의 구조 결정은 상·하위 변환기에 따른 FR(Folding RATE)의 결정이 무엇보다 중요하다. 표 1에는 FR, IR, NFB를 고려한 6bit F/I ADC의 주요 구조적 특성을 나타내었다. 만약 2+4 분할구조일 경우 FR이 4가 되어 식(1)에 의해 폴딩 블럭을 거친 신호인 F_{fold} 가 증가하여 입력주파수를 제한하는 원인이 된다. 따라서 고속 동작을 위한 최적화된 6-bits Folding Interpolation A/D 변환기의 구조는 FR=2, NFB=4의 Folding factor를 가지며, IR=8의 1+5 분할구조이다.

$$F_{fold} = \frac{\pi}{2} \times FR \times F_{input} \quad (1)$$

또한 본 논문에서는 제안하는 Folder 감소회로를 통해 NFB가 2이지만 Analog 최종 출력의 선형성을 유지하는 구조의 A/D 변환기를 제안한다. 즉, 제안하는 A/D 변환기는 FR=2, NFB=2, IR=8의 5-bit Folding factor를 갖지만 6-bit의 해상도를 만족한다. 즉, 제안하는 A/D변환기는 1GS/s의 높은 변환속도를 만족하기 위하여 FR=2, NFB=2, IR=8을 갖는 1+5 분할구조를 적용하여 설계 되었다. 본 논문의 6-bit Folding Interpolation A/D 변환기의 전체 구조를 그림 1에 나타내었다.

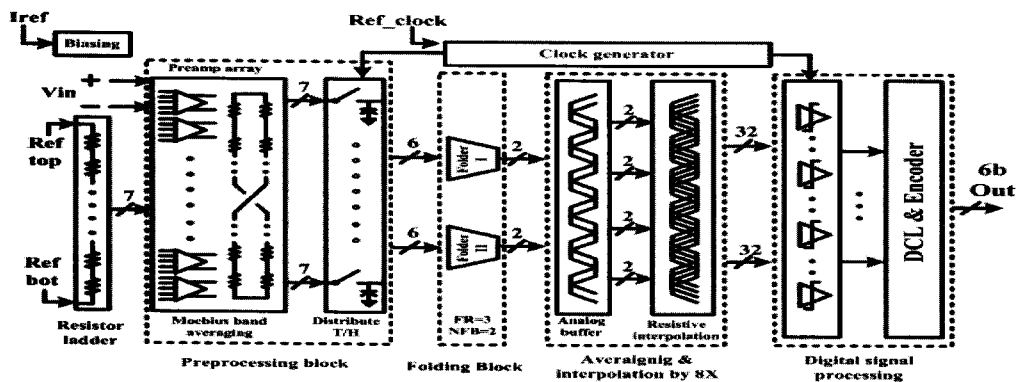


그림 1. 제안하는 6-bit Folding-Interpolation A/D 변환기의 구조

Fig. 1. Block diagram of the proposed 6-bit Folding-Interpolation A/D Converter.

III. 제안하는 A/D 변환기의 회로 설계기법

1. 저 전력을 위한 Folder 감소 회로^[8]

고속 동작에 적합한 6-bit Folding-Interpolation A/D 변환기의 구조는 앞서 II장에서 제시한바와 같이 FR=2, NFB=4, IR=8이 적합하다. 그러나 본 논문에서는 새로운 Folder 감소회로를 적용하여, Folding factor에 의해 12개로 결정되는 Preamp의 수와 4개의 Folder의 수를 각각 절반으로 줄이는 새로운 구조를 제안한다. 즉, 제안하는 Folder 감소회로는 FR=4, IR=4를 유지하고 NFB를 2로 줄이면서도 6-bit의 해상도를 만족할 수 있다. 그림 2에 제안하는 저 전력 Folder 감소회로를 나타내었다.

제안하는 Folder 감소회로는 동일한 단위저항으로 구성된 두 단의 Phase shift stage로 구성된다. 이때 첫 번째 Phase shift stage의 입력은 NFB=2인 Folder의 출력으로 인접한 신호와 90°의 위상차를 갖고 있다. 이와 같은 위상차를 갖고 있는 Folder의 출력 신호가 첫 번째 Phase shift stage를 거치면 그림 2과 같이 인접한 신호들의 위상차는 각각 45°가 된다. 그러나 45°의 위상차를 갖는 신호들은 원래 Folder 출력신호와 비교하여 22.5°의 위상이 이동된 출력을 갖게 된다. 이런 첫 번째 Phase shift stage의 출력은 두 번째 Phase shift stage를 거치면서 4단으로 구성된 단위저항에 의해 평균화됨과 동시에 위상 이동된 출력을 발생한다. 즉, 각각의 45°의 위상차를 유지함과 동시에 최초 입력인 Folder 출력과 동일한 위상으로 이동하는 것이다. 이는 최초 입력 신호의 위상을 유지하면서 45°의 위상차를 갖는 새로운 신호를 생성하는 결과로써 NFB=2를 유지하면서 NFB=

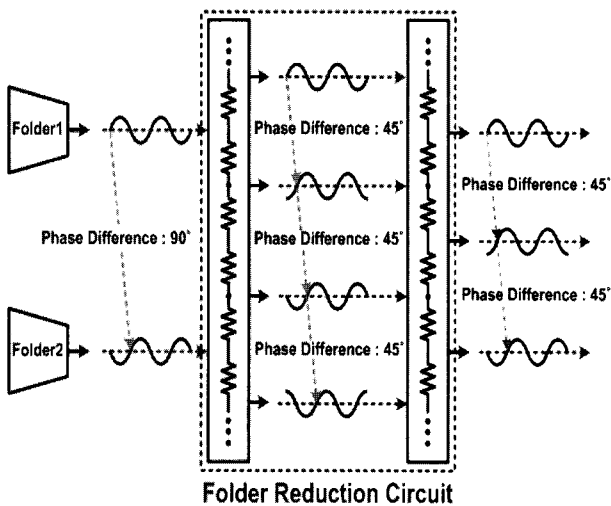


그림 2. Folder 감소 기법
Fig. 2. Folder-reduction technique.

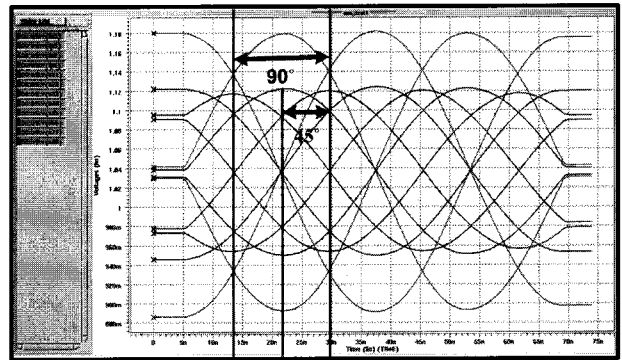


그림 3. 제안하는 Folder 감소회로의 최종출력파형
Fig. 3. The output of Folder-reduction circuit.

4일 때 Folder 출력의 위상차인 45°와 동일한 선형성을 갖는 것이다. 그림 3은 제안하는 Folder 감소회로의 모의실험 결과이다.

특히 제안하는 Folder 감소회로는 단위저항만을 사용하여 구성되므로 전체 A/D 변환기에 추가적인 전력소모가 없으며, 또한 기존의 NFB=4일 때의 Preamp array의 개수(12개)를 절반인 6개로 줄일 수 있으므로 전체 ADC 전력소모를 감소시키는 효과를 얻을 수 있다.

2. Resistive Interpolation 기법

Folding A/D 변환기의 높은 FR과 NFB는 많은 Preamp와 기준전압을 요구하므로 기존 Flash A/D 변환기에 비해 큰 장점을 갖지 못한다. 본 논문에서는 이런 단점을 보완하기 위해 Folding 신호처리 뒷단에 Interpolation 기법을 병행하여 저 전력의 A/D 변환기를 구현하였다. 이때의 IR은 다음 식 (1)에 의해 결정된다. 즉, FR=2, NFB=4(2)의 Folding factor가 결정됨에 따라 6-bit의 해상도를 만족하는 IR은 8로 결정된다.

$$IR = \frac{2^{Total - bits}}{FR \times NFB} \tag{1}$$

본 논문은 기존의 전류구동 Interpolation 기법이 갖는 단점을 극복한 전압구동 형태의 Interpolation 기법을 사용하였다. 저항열 만을 사용한 전압구동 Interpolation 기법은 Folder 뒷단에 IR에 맞는 Loop 형태의 저항열을 삽입하여 구현한다. 즉, 저항에 의한 위상 이동만으로 출력신호를 생성하기 때문에 작은 전력만을 소비한다. 그러나 이와 같은 전압구동 Interpolation 기법은 이상적인 출력신호와 일정한 오차율인 PER(Phase Error Rate)을 갖는 단점이 있다. Interpolation Block에서의 PER은 다음의 식 (2)와 같이 정의된다.

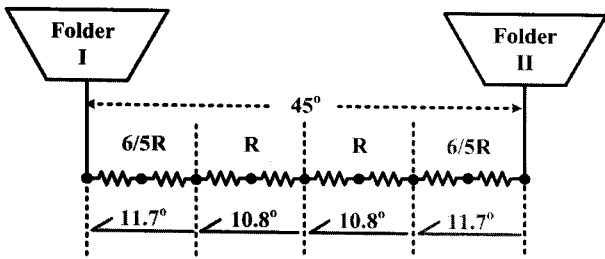


그림 4. 제안하는 전압구동 interpolation 기법 (IR=8)
Fig. 4. Proposed interpolation technique.(IR=8)

$$\psi F_{1a}, \psi F_{1c} = \tan^{-1} \left(\frac{\sqrt{2}}{6 + \sqrt{2}} \right) = 10.8^\circ \quad (2)$$

즉, Interpolation 최종출력 중 F1a, F1c는 이상적인 zero-crossing 지점과 0.45°의 위상오차를 갖게 된다^[5]. 그러나 본 논문은 제안하는 PER 보정기법을 통해 기존 전압구동 Interpolation이 갖는 오차율을 보정한다. 그림 4에 제안하는 Interpolation 기법을 나타내었다. 그림 4와 같이 기존의 전압구동 Interpolation 기법이 동일한 단위저항만을 사용하여 전압분배에 의한 Interpolation 출력을 생성하는 반면, 제안하는 기법은 각각의 노드 (node)에서의 PER을 고려하여 단위저항에 변화를 준다. 즉, Interpolation출력의 중간 위상을 갖는 신호를 기준으로 Folder 출력을 받아들이는 신호 방향으로 저항 값에 변화를 주는 것으로써, 이는 IR=8일 때의 PER인 0.225을 고려한 상대 값인 1/10R만큼의 더 큰 단위저항을 인가함으로써 최적의 Zero-crossing 간격을 유지할 수 있다.

3. Folding A/D 변환기를 위한 새로운 Layout 기법

Folding Interpolation A/D 변환기는 Folding과 Interpolation을 적용함으로써 구조적 특성상 디지털 블록에 비해 작은 면적의 아날로그 블록을 가진다. Folding Interpolation A/D 변환기의 아날로그 블록에서 Folder 감소회로를 사용하게 되면 기존의 A/D 변환기에 비해 Preprocessing 블록과 폴딩 블록이 반으로 줄어들게 되어 디지털 블록에 비해 더욱 작은 아날로그 블록을 가지게 된다. 두 블록을 기존의 순차적인 방식으로 Layout하게 되면 두 블록의 크기 차이에 의해 불필요한 여분의 면적을 차지하게 되고 신호라인의 라우팅 길이가 길어져 IR Drop에 의한 출력신호의 왜곡을 가져온다. 따라서 본 논문에서는 그림 5(b)와 같이 새로운 블록배치와 라우팅 방법을 제안한다.

제안하는 새로운 Layout 기법은 Folding Interpolation A/D변환기의 아날로그 블록 특성을 활용하여 면

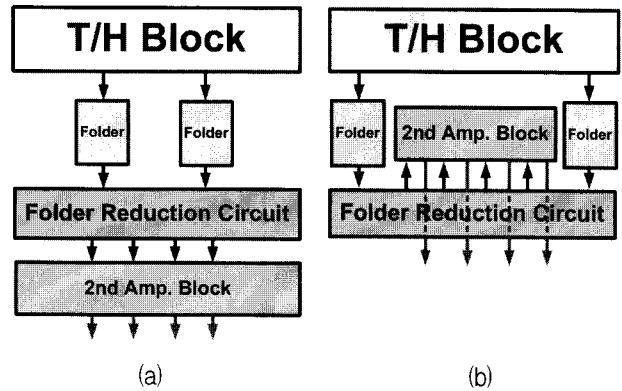


그림 5. (a) 기존 layout 기법의 계략도
(b) 제안하는 layout 기법의 계략도
Fig. 5. (a) Outline of the conventional layout technique.
(b) Outline of the proposed layout technique.

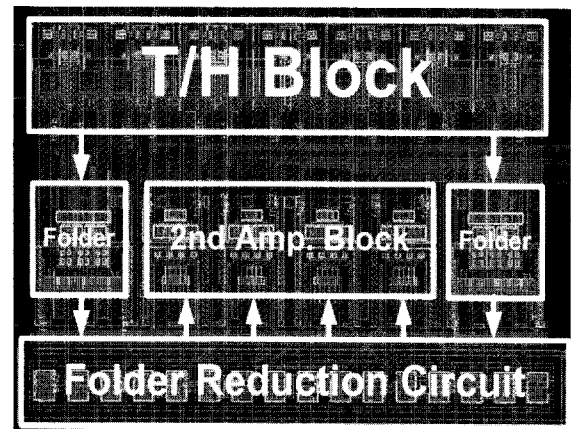


그림 6. 제안하는 layout
Fig. 6. Proposed layout technique.

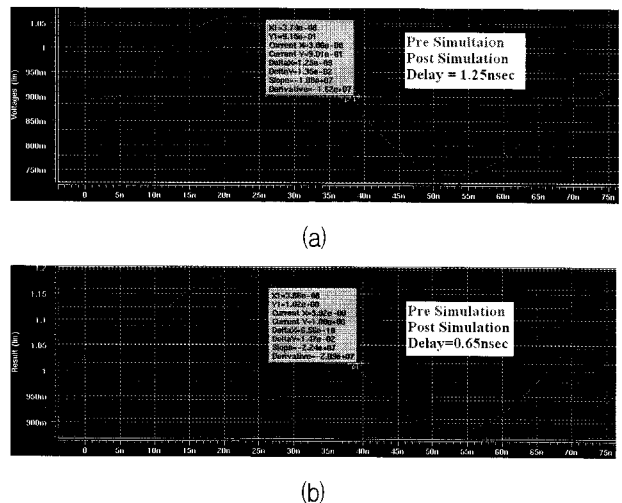


그림 7. (a) 기존 layout 기법을 통한 모의실험결과
(b) 제안하는 layout 기법을 통한 모의실험결과
Fig. 7. (a) Simulation result of conventional layout technique.
(b) Simulation result of proposed layout technique.

적과 신호처리 면에서 최대한 효율적으로 Layout 한 것이다. 그림 6에 제안하는 배치에 따른 레이아웃 그림을 나타내었으며 이를 바탕으로 그림 7에 기존 기법과 제안하는 기법을 사용한 Post-Layout 모의실험 결과를 나타내었다.

출력신호의 안정성 측면에서도 제안하는 기법이 더 효율적임을 알 수 있다. 실제 구현한 Layout의 모의실험 결과를 그림 7에 나타내었다.

제안하는 Layout 기법은 디지털 블록의 세로 길이에 비해 작은 아날로그 블록을 세로로 배치하여 아날로그 블록과 디지털 블록간의 세로 길이의 불일치를 개선하였으며 Folder사이에 2nd Amplifier 을 배치함으로써 불필요한 여분의 면적을 제거하였다. 이 새로운 Layout 기법을 통해 전체 A/D변환기의 면적의 20% 가량을 줄이는 효과를 볼 수 있다.

IV. 설계된 A/D 변환기의 Layout 및 성능 측정

1. Full chip 모의실험 결과

모의실험은 설계된 6-bit A/D변환기의 PAD를 포함 시킨 LPE를 통한 Full code 확인과 유효 비트수를 확인하기 위해 FFT를 하였다. Ramp 입력은 디지털 64코드(Full Code)를 확인할 수 있다. 그림 8은 A/D 변환기에 인가된 Ramp 입력에 대한 64코드의 디지털 출력의 모의실험 결과이다. missing code 없이 출력됨을 확인하였다.

그림 9는 본 연구에서 설계된 A/D변환기의 샘플링 주파수가 1GS/s 일 때 각각의 Sine입력에 대한 출력파형의 Reconstruction 파형과 유효비트 수이다.

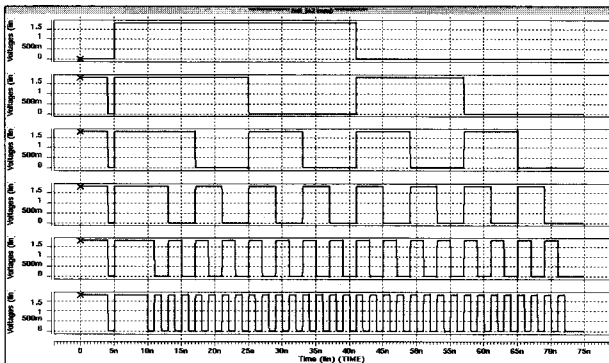


그림 8. A/D 변환기 Full Code 모의실험 결과
Fig. 8. Full Code Simulation Results.

2. 제안하는 A/D 변환기의 Layout

제안하는 A/D 변환기는 0.18um 1-poly 6-metal

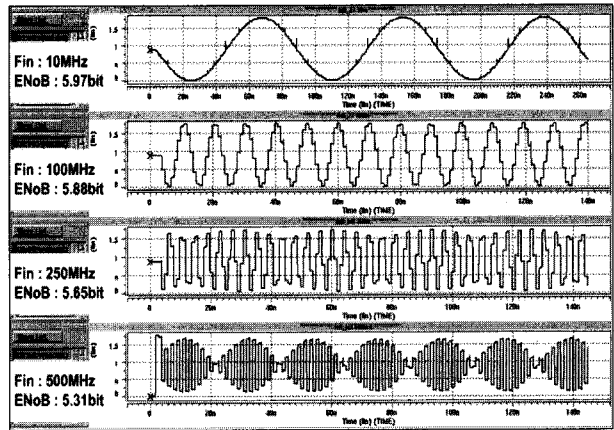


그림 9. A/D 변환기 Sine Input 모의실험 결과
Fig. 9. Full Simulation Results as Sine Input.

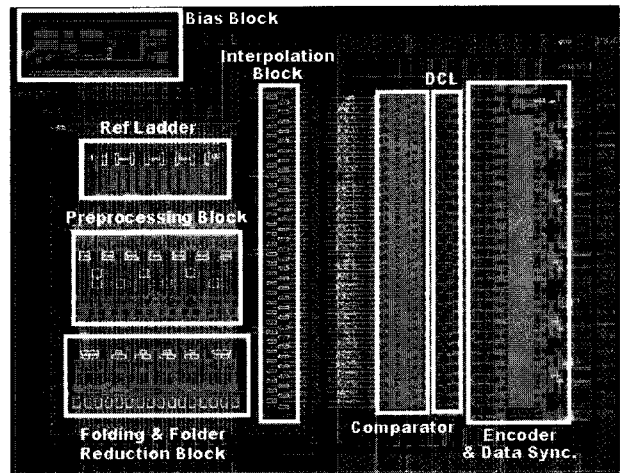


그림 10. 제안하는 A/D 변환기의 전체 Layout
Fig. 10. Proposed A/D Converter Layout.

N-well CMOS 공정을 사용하여 Layout하였다. 그림 10은 제안하는 A/D 변환기 Core의 Layout이다.

전체 Layout은 Core의 면적을 최소화하기 위해 아날로그 블록의 배치를 세로 방향으로 하였다. Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Core를 분리하여 배치하였다. Clock generator, 전원공급을 위한 Guard-ring을 제외한 A/D 변환기의 Core size는 460um×600um로 약 0.27mm²의 면적을 갖는다.

3. 측정 결과

제안하는 A/D 변환기는 Gage社의 Compu-Scope를 사용하여 주요성능을 측정하였다. 특히 측정의 높은 신뢰도를 위하여 Labview system을 통해 입·출력 단자를 실시간 조정하여 A/D 변환기의 특성을 측정하였다. 또한 제안하는 A/D 변환기의 주요 성능지표중 하나인 전력소모를 측정하기 위한 그림 11과 같이 PCB(Print

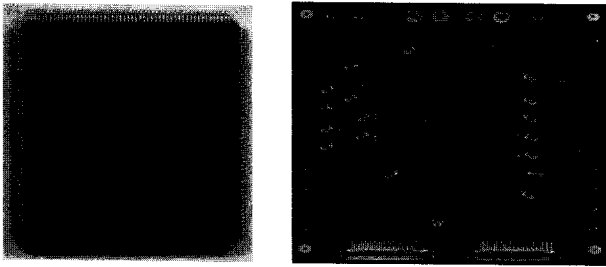


그림 11. 제작된 칩 및 측정보드
Fig. 11. Packaged Chip & PCB for Measurement.

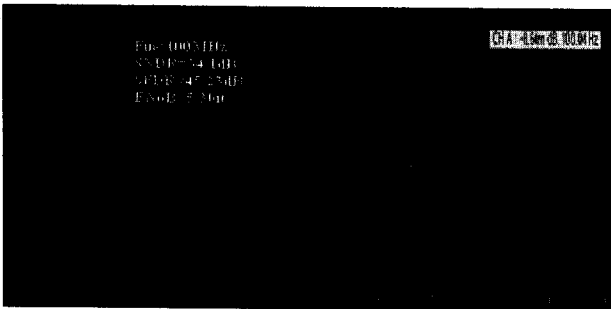


그림 12. 측정된 FFT 신호 스펙트럼
Fig. 12. Measured FFT signal spectrum.

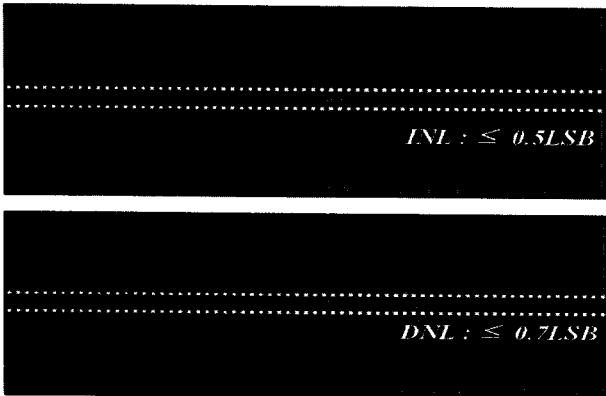


그림 13. 측정된 INL & DNL
Fig. 13. Measured INL & DNL.

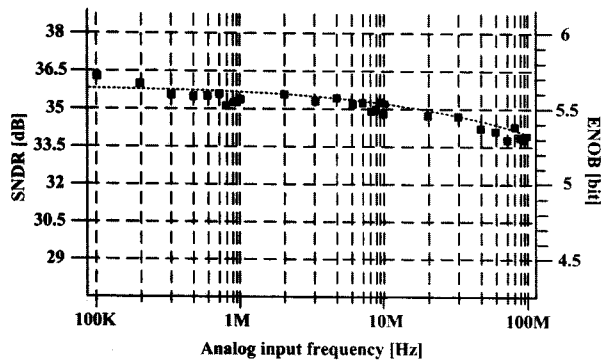


그림 14. 측정된 SNDR & ENOB (Fs=300MHz)
Fig. 14. Measured SNDR & ENOB (Fs=300MHz).

Circuit Board)를 제작하여 각각의 샘플링 주파수에 따른 A/D 변환기의 전력소모를 측정하였다.

그림 12는 제안하는 A/D 변환기의 FFT 신호 스펙트럼 측정결과이다. 샘플링 주파수 300MHz이며 이때의 입력 주파수(100MHz)와 Harmonic 성분을 스펙트럼 측정결과로 확인할 수 있다. 측정결과 SNR(Signal to Noise Ratio)은 34.1dB, SFDR(Spurious free dynamic range)은 45.23dB의 결과를 보이며, 유효비트수(ENOB)는 5.3bit으로 측정되었다.

그림 13은 A/D 변환기의 주요 성능지표 중 하나인 Ramp 입력에 따른 정적 특성을 나타내는 INL, DNL의 측정결과를 나타내었다. 측정된 INL은 ± 0.5 LSB, DNL은 ± 0.7 LSB 이내로 나타남을 확인할 수 있었다.

그림 14는 제안하는 A/D 변환기의 동적 성능을 종합한 결과로 샘플링 주파수 300MHz에서 입력주파수에 따른 SNDR와 ENOB의 결과이다. 측정결과 샘플링 주파수에 비하는 낮은 입력주파수 100KHz를 인가하였을 때 SNDR은 36.2dB, SFDR은 47.32dB의 결과를 보이고 유효비트수는 5.72bit으로 측정되었으며, 100MHz의 입력 주파수에서 SNR(Signal to Noise Ratio)은 34.1dB, SFDR(Spurious free dynamic range)은 45.23dB의 결과를 보이며, 유효비트수(ENOB)는 5.3bit으로 측정되었다.

V. 결 론

본 논문은 0.18um 1-poly 6-metal N-well CMOS 공정을 사용하여 UWB시스템 응용을 위한 60mW의 적은 전력소모를 갖는 1.8V 6-bit Folding Interpolation CMOS A/D 변환기를 설계하였다. Folding Interpolation A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 Preamp의 수를 크게 줄일 수 있기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모를 줄일 수 있다. 특히 본 논문에서는 최적화된 1+5 분할 구조와 기존의 Folding factor를 줄이는 Folder 감소회로를 제안하여 FR=2, NFB=2, IR=8의 Folding factor만으로도 6-bit의 해상도를 만족하는 A/D 변환기를 구현하였다. 즉, 기존 Folding Interpolation 기법의 1+5분할 구조에서 6-bit의 해상도를 만족하기 위해 사용된 FR=2, NFB=4, IR=8 또는 FR=2, NFB=2, IR=8의 Folding factor를 구조적으로 줄여 6-bit의 해상도를 구현하였으며, 이를 통해 Preamp와 Folder의 수를 각각 절반으로 줄여 전력소모를 60mW 이하로 최소화 하였다. 또한 Interpolation 출력이 갖는 Phase Error Rate를 최소화 하는 새로운 형태의 전압구동 Interpolation 기법을 제안하여 Zero-crossing 오차를 보정하였다. 마지

표 2. 설계된 A/D 변환기 사양 및 측정 결과

Table 2. Performance summary of the designed ADC.

Resolution	6bits
Input freq.	Nyquist
Sampling freq.	300MS/s
Power Supply	1.8V(Analog + Digital)
Analog Input Range	0.5V _{pp} (Diff.=1V _{pp})
DNL / INL	±0.5LSB / ±0.7LSB
ENOB	> 5.3bits (Input freq.< 100MHz)
Power diss.	> 60mW (1.8V, 25°C)
Core Area	460 _μ m×600 _μ m
Process	0.18 _μ m, 1-poly, 6-metal N-well CMOS

표 3. 최근 6-bit ADC 연구동향

Table 3. Recent research of 6-bit ADC.

Reference	Type	Sampling freq.	Power dissipation	FoM [pJ/convstep]
Koichi Ono, 2002, SOVC, [9]	6bit Flash	400MHz	70mW	3.4
Koen Uyttenhove, 2003, JSSC, [6]	6bit Flash	1.3GHz	600mW	7.2
Ding R.Shen, 2006, SOVC [10]	6bit Pipeline	800MS/s	105mW	13.2
M. Kitoshi 2006, SOVC [11]	7bit F / I	800MS/s	120mW	7.67
This work	6bit F / I	1GS/s	60mW	1.66

막으로 Layout시 Preprocessing block과 Folder 사이에 발생하는 기생 커패시터, 저항성분에 의한 신호왜곡 현상을 최소화 하는 새로운 Layout기법을 제안하여 A/D 변환기의 전체성능을 향상시켰다.

위의 회로 설계기법들을 적용하여 제작된 A/D 변환기는 측정을 통해 입력주파수 100MHz, 샘플링 주파수 300MHz에서 5.3bit이상의 유효비트수를 나타내었으며, 이때의 INL, DNL은 각각 -0.5~+0.5 LSB, -0.7~+0.7 LSB로 측정되었다. 제작된 A/D 변환기의 면적은 460_μm×600_μm로 약 0.27mm²의 유효 면적을 갖으며, 1.8V의 전원 전압 및 1GHz의 샘플링 주파수에서 60mW의 전력을 소모하는 저 전력의 특성을 갖고 있다. 표 2는 본 논문을 통해 설계된 A/D 변환기의 주요 사양과 측정결과를 정리한 도표이며, 표 3은 최근 6-bit A/D 변환기의 연구동향을 정리하여 본 연구와 비교한 결과이다. Figure of Merit(FoM) 비교를 통해, 본 논문에서 제안하는 A/D변환기의 성능이 타 연구 논문에 비해 우수함을 알 수 있다.

참고 문헌

- [1] Rudy van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-Analog Converter", Kluwer Academic Publishers, pp 128-130, 2003.
- [2] R.Griff. I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation Folding and Interpolation Technique", IEEE J. Solid-State Circuits, vol. SC-22, no. 6, pp. 994-953. Dec. 1987.
- [3] R. Plassche and P. Baltus, "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter", IEEE J, Solid-State Circuits, vol. 23, n0. 6, pp. 1334-1344, DEC. 1988.
- [4] Peter .VorenKamp and R.Roovers "A 12-b 60-MSample/s Cascaded Folding and Interpolation ADC", IEEE J. Solid-State Circuits, vol. 32. 12 1876-1886. Dec. 1997.
- [5] Koen Uyttenhove and Michiel S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25-_μm CMOS" IEEE Journal of Solid-State Circuits, Vol.38, No.7, July 2003.
- [6] Koen Uyttenhove and Michiel S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25-_μm CMOS" IEEE Journal of Solid-State Circuits, Vol.38, No.7, July 2003.
- [7] Hui Pan and Asad A. Abidi, "Signal folding in A/D Converters", IEEE Transactions on Circuits and Systems I: Regular Papers, Volume 51, Issue 1, Jan 2004 Page(s): 3 - 14
- [8] 문준호, 황상훈, 송민규, "저 전력 Folding-Interpolation 기법을 적용한 1.8V 6-bit 100MS/s 5mW CMOS A/D 변환기의 설계" 대한전자공학 회 논문지, 제 43권 SD편 제8호, pp. 19-26, 2006년 8월.
- [9] Koichi Ono, Hiroataka Shimizu, Junko Ogawa, Masashi Takeda and Motoyasu Yano, "A 6bit 400MSPS 70mW ADC Using Interpolation Parallel Scheme" IEEE Symposium On VLSI Circuits Digest of Technical Papers 2002.
- [10] Ding-Lan Shen and Tai-Cheng Lee, "A 6-bit 800MS/s Pipelined A/D Converter with Open-loop Amplifier" Symposium on VLSI Technology/ Circuits pp. 168-169. 2006.
- [11] Kitoshi Makigawa, Koichi Ono, Takeshi Ohkawa, Kouji Matsuura and Masahito Segami, "A 7bit 800MS/s 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme" Symposium on VLSI Technology/ Circuits, pp. 172~173

저 자 소 개



정 민 호(학생회원)
 2006년 동국대학교 반도체과학과
 학사 졸업.
 2006년~현재 동국대학교 반도체
 과학과 석사과정.
 <주관심분야 : 고성능 데이터 변
 환기 설계, 저 전력 혼성모드 회
 로 설계>



황 상 훈(학생회원)
 2001년 동국대학교 반도체과학과
 학사 졸업.
 2003년 동국대학교 반도체과학과
 석사 졸업.
 2004년~현재 동국대학교 반도체
 과학과 박사 과정.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계>



문 준 호(학생회원)
 2005년 동국대학교 반도체과학과
 학사 졸업.
 2007년 동국대학교 반도체과학과
 석사 졸업.
 2007년~현재 동국대학교 반도체
 과학과 박사 과정.

<주관심분야 : 고성능 데이터 변환기 설계, 저
 전력 혼성모드 회로 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사 졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.
 1993년~1995년 동경대학교 초빙연구원
 1995년~1997년 삼성전자 ASIC 설계팀 연구원
 1997년~현재 동국대학교 부교수
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계>