
멀티미디어 SoC용 시스템 버스의 소비 전력 모델링 및 해석

Modeling and Analysis of Power Consumed by System Bus for Multimedia SoC

류제천*, 이재훈**, 조경록**
KEC*, 충북대학교 정보통신공학과**

Che-Cheon Ryu(ccryu@kec.co.kr)*, Je-Hoon Lee(leejh@hbt.cbnu.ac.kr)**,
Kyoung-Rok Cho(krcho@cbu.ac.kr)**

요약

본 논문은 시스템 버스와 IP로 구성되는 SoC 플랫폼 기반의 설계에서 온칩 버스의 소비 전력을 시스템 레벨에서 빠르고 정확하게 추정하는 방법을 제시한다. 제안된 소비 전력 추정 모델링은 시스템 구조 변화에 따른 버스 시스템의 소비 전력 변화를 직접 예측할 수 있고 이에 따라 시스템 구성을 최적화할 수 있다. 본 논문에서 소비전력 모델링은 크게 두 부분으로 구성된다. 하나는 버스 시스템 구조에 따른 버스 로직들이 사용하는 소비 전력이고, 다른 하나는 데이터 전송시 발생하는 신호 천이에 의한 버스 라인의 소비 전력이다. 본 모델링을 타겟 멀티미디어 SoC인 MPEG 인코더에 적용하여 92% 이상의 정확도를 가짐을 보였다. 제안된 모델링은 고성능/저전력 멀티미디어 SoC 설계에 활용 가능할 것으로 기대된다.

■ 중심어 : | 시스템온칩 | 전력분석 | 저전력 | 시스템 버스 |

Abstract

This paper presents a methodology that accelerates estimating the system-level power consumption for on-chip bus of SoC platforms. The proposed power modeling can estimate the power consumption according to the change of a target SoC system. The proposed model comprises two parts: the one is power estimation of bus logics reflecting the architecture of the bus such as the number of bus layers, the other is to estimate the power consumed by the bus lines during data transmission. We designed the target multimedia SoC system, MPEG encoder as an example and evaluated power consumption using this model. The simulation result shows that the accuracy of the proposed model is over 92%. Thus, the proposed power model can be used to design of a high-performance/low-power multimedia SoC.

■ keyword : | SoC | Power Analysis | Low-Power | System Bus |

I. 서론

반도체 공정 기술의 발달로 하나의 칩에 집적가능한 소자의 수가 증가하여, 전체 시스템을 하나의 보드에

집적하는 SoB (system on board) 설계 대신 하나의 칩에 집적하는 SoC (system on chip) 설계가 일반화되고 있다. SoC 시스템 설계는 설계 시간 단축을 위해 IP (intellectual property) 및 플랫폼을 활용한다. IP는 다

* 본 연구는 정보통신부 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

접수번호 : #071004-001

접수일자 : 2007년 10월 04일

심사완료일 : 2007년 11월 07일

교신저자 : 조경록, e-mail : krcho@chungbuk.ac.kr

른 설계자가 재활용하도록 표준화된 방법으로 개발된 설계 데이터를 의미하며, 플랫폼은 임베디드프로세서, 메모리 컨트롤러, 그리고 I/O 인터페이스 모듈등과 같은 범용적인 핵심 모듈들을 단일 플랫폼으로 구성한다. SoC 설계가 복잡해짐에 따라 두 방법을 혼용하여 범용 플랫폼에 특정 용도 IP들을 집적시켜 전체 시스템을 구성하는 방법을 사용하고 있다[1-3].

재사용가능한 IP 라이브러리가 점차 증가하고 플랫폼이 고성능화됨에 따라 SoC 개발시 설계자가 직접 설계해야 하는 블록은 감소되나 서로 다른 동작속도와 인터페이스를 갖는 여러 IP들을 하나의 시스템에 집적하기 위한 인터페이스 설계는 점차 복잡해지고 있다. 시스템의 IP들간에 전송하는 데이터 전송량이 큰 폭으로 증가함에 따라 기존 시스템 버스 구조로 주로 사용된 공유 버스 구조나 단일 레이어 버스 구조로는 요구 대역폭을 만족시키지 못한다. 따라서 현재 온칩 버스 시스템의 대부분은 계층구조를 갖는 버스 구조가 일반화되고 있다. 버스 시스템의 복잡도 증가에 따라, 온칩 버스가 소비하는 전력은 전체 SoC 소비 전력의 15% 이상 차지하며, 이는 SoC 시스템의 핵심 모듈인 임베디드 프로세서의 소비전력 만큼 큰 비중을 차지한다는 연구결과가 발표되었다[4]. 저전력 및 고성능 설계가 온칩 버스 설계의 주요 설계 이슈가 되고 있다.

온칩 버스는 타겟 SoC 구성과 밀접한 관계를 갖는다. SoC 개발 초기에 시스템 구성에 따라 버스 소비 전력을 정확하게 추정가능하면, 가장 적은 소비 전력을 갖는 버스 구조를 시행착오 없이 타겟 시스템에 적용가능하다. 온칩 버스의 특성상 버스 구조에 따른 버스 로직의 소비 전력과 파이프라인 및 버스트전송 등과 같이 데이터 전송 방법에 따른 버스 라인의 소비 전력의 원인이 다르다. 또한, 온칩 버스 소비전력 모델링 활용을 위해 최신의 상용 온칩 버스에 적용이 가능해야 한다. 본 논문에서는 최신 상용 온칩 버스인 AMBA, Coreconnect 및 Wishbone 버스의 구조와 데이터 전송 특징을 반영한 온칩 버스 소비전력 모델링을 제안하였다 [5-7].

본 논문에서 제안된 모델링은 SoC 시스템 구성에 따라 변화하는 온칩 버스의 버스 로직들의 소비 전력과

데이터 전송 방법에 따라 변화하는 버스 라인들의 소비 전력을 모두 반영한다. 온칩 버스는 멀티레이어를 갖는 버스로 구성되고, IP의 수와 레이어 수 증가에 따라 필요한 버스 로직들이 결정되며, 데이터 전송 방법 역시 시스템 개발 초기에 정의되기 때문에 온칩 버스의 소비 전력 예측이 가능하다. 제안된 온칩 버스 소비 전력 모델은 멀티미디어용 SoC를 통해 정확도를 평가하였다.

본 논문의 구성은 다음과 같다. 2장은 온칩 버스 구조와 데이터 전송 방법과 이에 따른 모델링 방안을 설명한다. 3장은 버스 구성에 따른 버스 로직의 소비 전력 예측 방법을 기술하고 4장은 데이터 전송 방법이 소비 전력에 끼치는 영향을 분석한다. 5장은 제안된 소비 전력 모델을 실제 SoC 시스템에 적용하여 얻어진 실험 결과를 보인다. 이를 토대로 5장에서 결론을 맺는다.

II. 온칩 버스 특성 및 소비 전력 모델링

본 장은 AMBA 버스처럼 현재 SoC 시스템에 주로 채택되는 온칩 버스의 구조와 데이터 전송 특징을 설명한다. 이를 토대로 본 논문에서 제안한 온칩 버스의 소비 전력 모델링의 적용 방법을 기술한다.

현재까지 온칩 버스의 소비 전력 분석과 이를 이용한 버스 시스템 구성에 대한 많은 연구가 발표되었다[4] [8-12]. K. Lahire는 AMBA 버스 시스템의 전송 특성과 시스템 구성이 버스 시스템의 하드웨어 부분과 버스 라인의 소비 전력을 구분하여 각각에 미치는 영향을 분석하였다[4]. Y. Zhang은 계층구조를 갖는 버스 시스템의 버스 라인의 소비 전력을 구하는 방법을 제안하였다[8]. M. Caldari는 ARM社의 온칩 버스 구조인 AMBA AHB 버스의 시스템 레벨 소비 전력 분석을 수행하였다[12]. 이와 같은 방법들은 타겟 SoC의 동작 및 전송 특성을 온칩 버스에 직접적으로 반영하지 못한다. 특히, 계층구조를 갖는 온칩 버스의 경우, 서로 다른 버스 레이어간의 데이터 전송이 소비 전력에 큰 영향을 미친다는 점을 고려할 때, 타겟 SoC의 전송 데이터의 양과 전송 패킷을 트랜잭션 레벨에서 분석하고 이 결과를 온칩 버스 소비 전력에 반영하여 서로 다른 버스 레이어 IP

모듈간의 데이터 전송에 따른 브릿지 및 버스 라인의 소비 전력을 얻을 수 있다. 현재 제안된 대부분의 온칩 버스의 소비 전력 모델링은 이를 반영하지 못하며, 이에 따라 소비 전력 모델의 정확도가 하락한다.

AMBA 버스는 ARM社에서 제공하는 고속 온칩 버스 규격으로 AHB (advanced high performance bus), ASB (advanced system bus) 그리고 APB (advanced peripheral bus)의 세 가지의 버스가 규정되어 있다. AMBA 버스는 [그림 1]과 같이 고속 시스템 백본 버스로 사용되는 AHB와 저속 주변장치들을 연결하기 위한 APB 그리고 이를 연결하기 위한 브릿지 회로로 구현된다 [5]. ASB는 AHB의 고성능이 필요 없는 곳에 AHB의 대체용으로 사용된다. AHB 버스의 하드웨어적 구성은 AHB 제어를 위해 중재기, 디코더 및 주소 및 제어, 읽기 데이터, 쓰기 데이터를 위한 세 개의 멀티플렉서와 같은 버스 로직들과 서로 다른 버스를 연결하기 위한 브릿지가 필요하다. AHB와 APB를 연결하는 브릿지는 AHB 버스에서는 슬레이브로 APB 버스에서는 마스터 IP로 동작한다. 여러 개의 버스 레이어를 갖는 온칩 버스의 경우 레이어 수가 증가할 때마다 이에 따르는 버스 로직들과 브릿지 회로가 이의 배수로 증가한다.

AMBA 버스의 데이터 전송은 어드레스 및 제어 전송 페이즈와 데이터 전송 페이즈로 구성된다. 하나의 워드만 전송하기 위해서는 어드레스 및 제어 전송을 위한 사이클과 데이터 전송 사이클의 2 사이클이 필요하다. 버스 성능 향상을 위해 [그림 2]와 같이 파이프라인 전송 방법을 지원한다. 파이프라인 데이터 전송을 통해 n개의 데이터를 전송할 경우 어드레스 페이즈와 데이터 페이즈가 중첩되어 n+1 사이클만 필요하다. 또한 버스의 성능 향상을 위해 한 번의 버스 중재 후 여러 개의 데이터를 연속해서 보내는 버스트 전송을 지원하며, 스플릿 트랜잭션을 지원하여 속도가 느린 주변장치로의 데이터 전송할 경우 버스 시스템 성능 하락을 막는다.

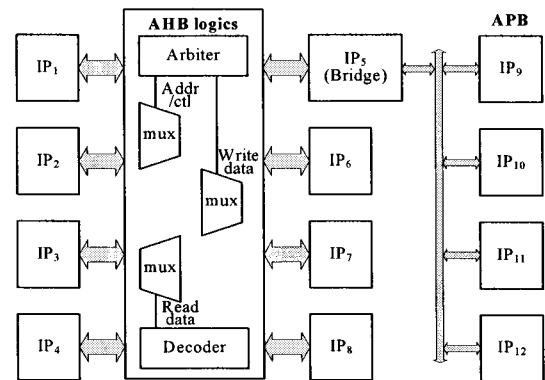


그림 1. 멀티레이어 온칩 버스 시스템 구조

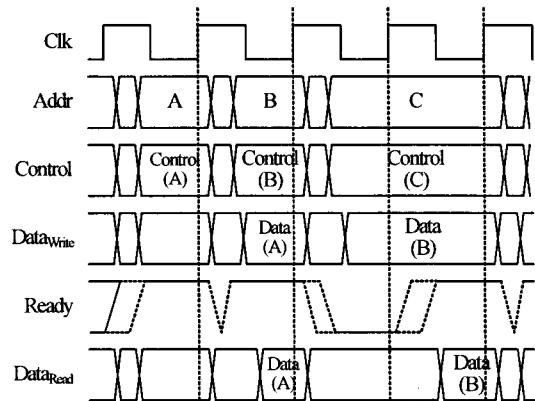


그림 2. 파이프라인 데이터 전송 방식

온칩 버스의 시스템 레벨의 소비 전력 모델링을 위해 버스 구성에 따른 영향도 고려해야한다. 본 논문에서 모델링된 온칩 버스 구조는 [그림 3]과 같은 구조를 갖는 멀티레이어 버스 구조를 채택하였다. 온칩 버스의 요구 대역폭 증가에 따라 하나의 공유버스에 여러 IP를 연결하는 대신, 여러 개의 레이어에 IP들을 분산 배치한 멀티레이어 버스 구조가 버스대역폭 증가에 유리하다. 즉, 서로 다른 레이어들에 연결된 IP 간의 데이터 전송시 버스 브릿지를 경유해야 하는 전송 오버헤드가 발생하나, 동일한 버스 레이어에 연결된 IP들끼리 여러 레이어에서 동시에 데이터 전송이 가능하기 때문에 버스 대역폭이 큰 폭으로 증가한다. 이러한 이유로 대부분의 온칩 버스는 멀티레이어로 구성된 계층구조를 갖는 버스 구조가 사용된다[6][7].

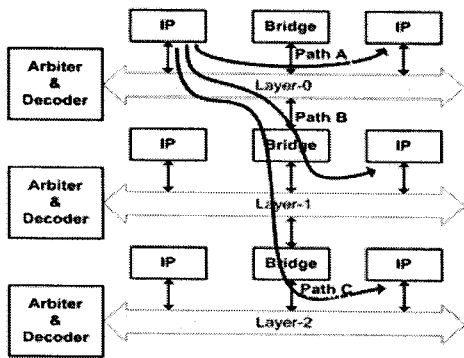


그림 3. 멀티레이어 온칩 버스 시스템 구조

III. 버스 로직의 소비 전력 모델링

본 장에서는 2장에서 기술된 SoC 온칩 버스의 특징을 반영하여 소비전력 모델링을 구현하는 방법을 설명한다. 제안된 소비 전력 모델링은 버스 라인과 버스 로직들의 추정된 소비 전력의 합으로 구해진다.

버스 로직들의 소비 전력을 구하기 위해서 먼저 SoC 시스템과 버스 구조가 결정되어야 한다. 버스 레이턴시 모델링[13]을 이용하여 m개의 버스 레이어에 n 개의 IP들이 연결될 때의 버스 구조를 시스템 개발 초기에 결정한다. 버스 브릿지, 각 레이어별로 사용되는 멀티플렉서, 디코더와 같은 버스 로직들의 수가 결정된다.

버스 구조 및 데이터 전송 방법이 소비 전력에 미치는 영향을 고려하여 [그림 4]에 나타낸 것처럼 버스 로직과 버스 라인에서 소비하는 전력을 구분하여 분석한다. [그림 5]와 같이 서로 다른 추정방법을 통해 소비 전력을 예측하고 이를 합하여 전체 버스 소비 전력을 추정한다.

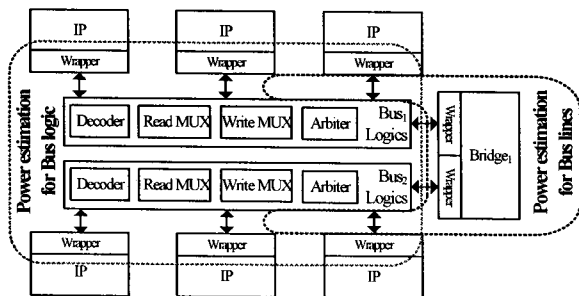


그림 4. 계층구조를 갖는 온칩 버스 시스템 소비 전력 분석 방안

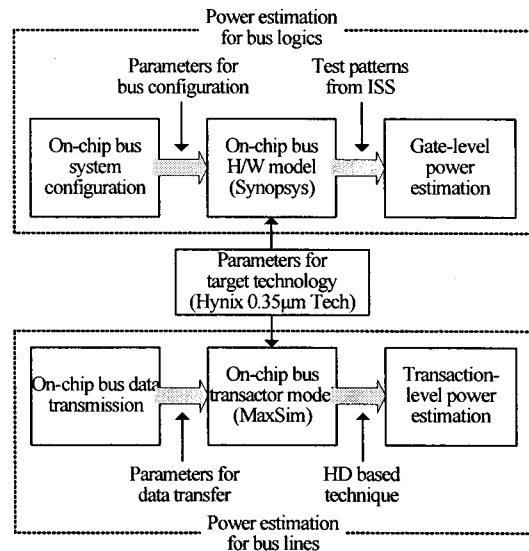


그림 5. 온칩 버스 소비 전력 모델링 방법

첫 번째로, 온칩 버스의 버스 로직들의 소비 전력 모델링을 위해 우선 버스 구조, 어드레스 및 데이터 라인의 폭, IP의 수등을 결정하여 Synopsys[14] 툴을 이용하여 RTL 레벨로 구현한다. 시스템 구동에 따른 전송 데이터를 테스트 패턴으로 입력하여 게이트 레벨의 소비 전력을 추정한다. 데이터 전송에 따른 버스 라인의 소비 전력을 구하기 위해 트랜잭터 모델을 개발하여 트랜잭션 레벨의 데이터 전송의 프로파일에 따라 스위칭 수를 카운트하고 이를 토대로 트랜잭션 레벨의 버스 라인의 소비 전력을 구하고, 여기에 타겟 공정의 파라미터를 이용하여 버스 라인의 길이에 따른 캐패시턴스를 반영하여 전체 버스 라인의 소비 전력을 추정한다. 마지막으로, 버스 로직과 버스 라인에서 추정된 소비 전력을 합하여 온칩 버스 시스템 전체의 소비 전력을 추정한다.

버스 시스템 구성에 필요한 각각의 버스 로직들은 RTL 레벨로 설계 후 타겟 공정 라이브러리를 이용하여 합성된다. 정확한 소비전력 추정을 위해 타겟 SoC 시스템 구동에 따른 데이터 전송 시나리오에 따라 MaxSim [16]과 같은 상위 레벨 시스템 설계툴과 버스 레이턴시 모델링[13]을 이용하여 각 버스 로직별 입력 데이터 패턴을 추출한다. 본 논문에서 사용된 버스 레이턴시 모델은 시스템 개발 초기에 IP의 수와 데이터 전송 방법

및 전송 데이터량에 따라 최적의 버스 레이어 수를 결정하며, 이를 기반으로 시스템 개발 초기에 온칩 버스의 구조를 결정할 수 있다. 이렇게 결정된 온칩 버스 구조를 적용하여, MaxSim과 같은 상위 레벨 설계 툴을 활용하여 전체 SoC 시스템을 구성한 후, 온칩 버스를 통해 전송되는 데이터의 양과 신호 천이 특성을 추출할 수 있다. 이렇게 추출된 입력 데이터 패턴을 각각의 버스 로직들에 입력하여 Synopsys PowerMill과 같은 상용툴을 이용하여 온칩 버스 로직의 소비 전력을 추정한다. 버스 로직들에 입력되는 테스트패턴이 타겟 SoC 시스템에서 전송되는 데이터의 특성을 반영하기 때문에, RTL 레벨의 단순한 입력 패턴에 따른 소비 전력 분석에 비해 정확도가 높다.

버스 라인의 소비 전력 추정은 전송 모드와 시스템 복잡도에 따라 달라진다. 모델링을 단순화하기 위해 주소와 데이터 라인의 폭은 상수로 설정하였다. 그러나, 마스터 IP들의 수와 버스 레이어의 수는 가변적으로 적용되었다. 그리고, 버스 라인의 소비 전력 분석을 위해 트랜잭션 모델을 사용하였다. 버스 트랜잭터는 서로 다른 신호 레벨에서 동작하는 여러 IP들을 하나의 온칩 버스에 연결하기 위해 사용되며, SoC 시스템 레벨에서 데이터 전송 및 신호 천이 특성을 얻을 수 있다. 버스 라인의 소비 전력은 식 (1)을 이용하여 구할 수 있다.

$$Power = \frac{1}{2} \times V_{dd}^2 \times C \times f \quad (1)$$

여기서 V_{dd} 는 공급 전압이고, C 는 부하 캐패시턴스, f 는 버스 라인상에서 데이터가 스위칭되는 주파수를 의미한다. 버스 라인의 소비 전력은 식 (2) 및 식 (3)과 같이 부하 캐패시턴스에 의존한다. N 개의 데이터 전송을 위해 소비되는 와이어 캐패시턴스는 식 (2)와 같이 표현된다. 버스 라인의 물리적 캐패시턴스인 C_{phy} 는 식 (3)과 같이 구할 수 있다.

$$C_w = N_{BA} \times C_{phy} \times \sum_{i=1}^n P_i(0 \rightarrow 1) \quad (2)$$

$$C_{phy} = \epsilon_{ox} \times [2.42 + \frac{W}{x_{int}} - 0.44 \times \frac{x_{int}}{W} + (1 - \frac{x_{int}}{W})^6] \times L \quad (3)$$

N_{BA} 는 버스 액세스 수를 나타내며, $P_i(0 \rightarrow 1)$ 은 입력 데이터 스트림의 두 연속적인 샘플에서 0에서 1로 천이할 평균 확률을 의미한다. 이 확률은 온칩 버스에 연결된 각 IP의 트랜잭터에 의해 얻어진다. 버스 라인상의 전송중인 데이터의 해밍 거리는 데이터의 스위칭 수를 의미한다. 트랜잭터는 버스의 액세스 수와 액세스 되었을 때 전송되는 데이터의 0에서 1로 천이할 평균 확률을 곱하여 HD_w 로 정의함으로써, 식 (4)와 같이 버스 라인의 와이어 캐패시턴스를 정의할 수 있다.

$$C_w = HD_w \times C_{phy} \quad (4)$$

식 (4)를 이용하여 전체 온칩 버스의 버스 라인이 소비 하는 전력을 식 (5)와 같이 표현할 수 있다. 버스 라인은 버스 중재를 위해 사용되는 신호와 어드레스 및 데이터 라인을 통해 전송되는 신호의 합으로 구성된다. 따라서, 전체 온칩 버스 라인의 소비 전력은 식 (5)와 같이 표현된다.

$$P_{wire} = \frac{\sum_{i=1}^{N_D} (P_{arb} + P_{addr} + P_{data})}{N_D} \quad (5)$$

여기서 P_{arb} 는 버스 중재 제어 신호 전송에 따라 소비되는 버스 라인의 평균 소비 전력을 의미한다. P_{addr} 는 어드레스 전송을 위해 소비되는 버스 라인의 평균 소비 전력을 의미하고, P_{data} 는 데이터 전송을 위해 사용되는 제어 신호 전송에 따라 소비되는 버스 라인의 평균 소비 전력을 의미한다. N_D 개의 데이터 전송을 위해 이를 위해 소비되는 P_{arb} , P_{addr} 및 P_{data} 의 전체 평균 소비 전력을 합한 후 N_D 로 나누면 하나의 데이터 전송을 위한 버스 라인의 평균 소비 전력을 구할 수 있다. 해밍 거리를 이용하면 식 (5)는 식 (6)과 같이 표현할 수 있다.

$$P_{wire} = \frac{\frac{1}{2} V_{dd}^2 f \sum_{i=1}^{N_D} \{C_{arb} + C_{phy} (HD_{addr} + HD_{data})\}}{N_D} \quad (6)$$

여기서 C_{arb} 는 버스 중재를 위한 로드 캐패시턴스이고, HD_{addr} 와 HD_{data} 는 어드레스 라인과 데이터 라인의

해밍 거리이다. 따라서, 버스의 레이턴시 모델[13]을 적용할 경우, 파이프라인 전송을 지원하는 버스는 모드의 데이터 전송시 소비되는 버스 라인의 전력은 식 (7)과 같이 나타낸다.

$$P_{wire} = \frac{1}{N_D} \cdot \left\{ \sum_{i=1}^{N_D \cdot S} (P_{arb} + P_{addr} + P_{data}) + P_{arb} \cdot \left[\frac{N_D \cdot (1-S)}{B} \right] + \sum_{j=1}^{B \cdot \left[\frac{N_D \cdot (1-S)}{B} \right]} (P_{addr} + P_{data}) \right\} \quad (7)$$

따라서 멀티레이어 버스 구조를 갖는 온칩 버스의 소비 전력은 식 (8)과 같이 표현된다.

$$P_{BUS} = \sum_{i=1}^{N_{active_layer}} P_{wire_i} + N_{active_bridge} \times P_{bridge} \quad (8)$$

여기서 N_{active_bridge} 는 서로 다른 레이어간의 데이터 전송이 발생할 때 활성화되는 브릿지의 수를 나타내며, P_{bridge} 는 버스 브릿지에 의해 소비되는 전력을 의미한다. 또한 P_{wire_i} 는 i 번째 버스 레이어의 버스 라인에서 소비되는 전력을 의미한다. 따라서 모든 레이어의 버스 라인에서 소비되는 전력과 브릿지가 활성화될 때 따라 브릿지가 소비하는 전력을 합함으로써 정확한 소비 전력 추정이 가능하다.

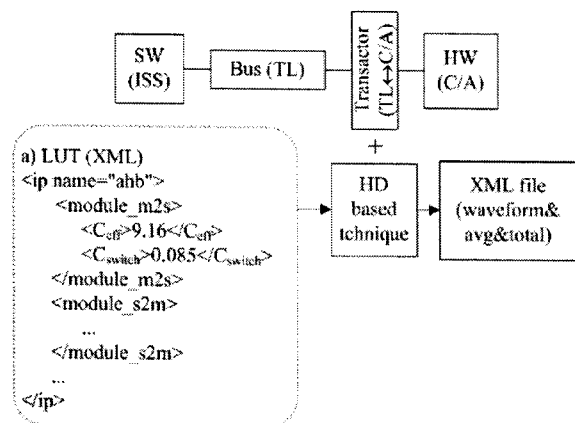


그림 6. 버스 라인의 소비 전력 예측을 위한 트랜잭터 모델

본 논문에서 버스 트랜잭션을 추적하여 각 IP별로 전송 데이터의 해밍 거리를 구하기 위해 trace block을 채

택하였다. [그림 6]은 SoC 시뮬레이터를 통해 온칩 버스를 통해 전송되는 데이터를 추적하는 방법과 전송 데이터들간의 해밍 거리를 추적하는 방법을 나타낸다. 트랜잭터는 SoC 시뮬레이터에서 사이클 정확도 레벨의 (cycle accurate level) 버스 로직들과 트랜잭션 레벨 (transaction level)의 버스 라인 간의 신호 레벨을 컨버트하여 연결한다.

IV. 시뮬레이션 결과

본 장은 제안된 온칩 버스 소비 전력 모델의 실험 결과를 기술한다. 시스템 개발 초기에 버스 레이턴시 모델링을 타겟 시스템의 온칩 버스 구조를 결정한다. 온칩 버스 구조와 온칩 버스의 데이터 전송 특성에 따라 본 논문에서 제안한 소비 전력 모델링을 이용하여 예상 소비 전력을 추정한다. 전체 시스템을 SoC 상위 레벨 설계 툴을 활용하여 구성하고, 타겟 공정을 이용하여 시스템을 합성한 후 소비 전력을 구한다. 이렇게 소비 전력 모델링에 의해 얻어진 추정값과 실제 시스템을 구현한 후 얻어진 결과값을 비교하여 본 논문에서 제안한 온칩 버스 소비 전력 모델링의 정확도를 평가하였다.

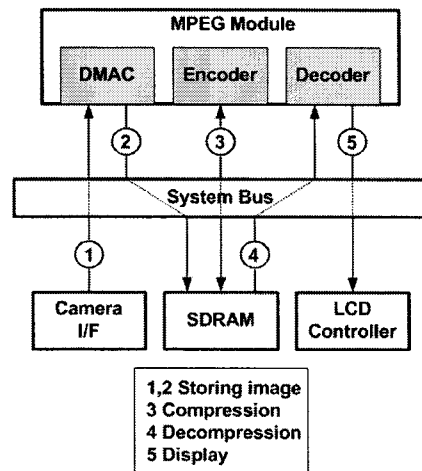


그림 7. 동영상 처리기의 구조 및 데이터 전송 시나리오

성능 평가를 위해 [그림 7]에 나타난 동영상 처리용 MPEG 인코더 SoC 시스템을 구성하고 이를 시뮬레이션 하였다. 이 시스템은 카메라를 통해 캡처된 영상 데

이터를 USB 인터페이스를 통해 시스템 버스로 전송하고, MPEG 디코더에서 동영상 압축을 수행한 후 메모리의 저장과 LCD 화면으로 영상 데이터를 출력한다. 이와 같은 데이터 전송 시나리오를 기반으로 버스 레이턴시 모델을 이용하여 온칩 버스의 구조를 결정하였다.

우선 버스 구조를 결정하기 위해 본 시스템에 필요한 버스의 요구대역폭과 이를 만족시키기 위한 레이어의 수가 결정된다. 첫 번째로 영상 데이터의 크기와 흐름에 따른 버스의 요구대역폭을 결정한다. 컬러 VGA(Video Graphic Adopter, 640x480 pixel)급 해상도를 갖는 영상의 초당 30프레임(frame)의 데이터 전송을 위해 27.65 Mbyte/s ($640 \times 480 \times 3 \text{ byte} \times 30 \text{ frame}$)의 대역폭이 필요하다. [그림 7]의 ①,②,③,⑤의 과정에서 이와 같은 대역폭이 필요하므로 1초 동안 MPEG 디코더가 필요로 하는 요구 대역폭, 즉 버스를 통한 처리량은 최소 110.6Mbyte/s가 된다. USB 2.0 인터페이스의 최고 전송률은 60MByte/s로 외부 카메라와 USB 2.0 연결을 위해 시스템 버스가 60 MByte/s 대역폭을 USB 컨트롤러로 제공해야 한다. 이와 같은 버스 요구대역폭을 만족하기 위해 온칩 버스 레이턴시 모델링[13]을 사용할 경우 2개의 버스 레이어로 구현이 가능하다.

이와 같이 온칩 버스의 레이어 수가 결정되면 버스 시스템에 사용되는 버스 로직의 수도 결정된다. 각각의 버스 레이어는 어드레스 및 제어를 위한 멀티플렉서와 읽기 데이터를 위한 멀티플렉서, 쓰기 데이터를 위한 멀티플렉서, 그리고 어드레스 디코더와 중계기를 포함한다. 2개의 레이어로 구성되었기 때문에 각각의 버스 로직도 2개씩 필요하다. 모델링을 간단하게 하기 위해 어드레스 및 데이터 라인의 폭은 32비트로 정의하였다. 각각의 버스 로직들은 Synopsys사의 상용 설계툴[14]을 이용하여 RTL 레벨로 설계한 후 타겟 공정 라이브러리를 이용하여 합성하였다.

각 버스 로직의 소비 전력을 구하기 위해 타겟 시스템상의 각 IP들의 데이터 전송 특징이 필요하다. 멀티미디어 데이터 전송 특성에 따라 한 번에 여러 개의 데이터를 전송하는 버스트 전송이 필요하며, 성능 향상을 위해 파이프라인 전송을 기본으로 설정하였다. 각 IP들의 데이터 전송 특성을 알아내기 위해 MaxSim과 같은

SoC 상용 설계 툴을 활용하였다. 각 IP와 온칩 버스와 연결을 위해 트랜잭터를 설계하고, 이의 입출력 데이터 패턴을 추출하였다. 이를 통해 트랜잭션 레벨에서 데이터 전송시 스위칭 수와 전송 빈도를 반영하여 버스 로직에 테스트 패턴으로 입력한 후 버스 로직의 소비 전력을 Synopsys사의 PowerMill을 이용하여 추정하였다.

버스 라인의 소비 전력을 추정하기 위하여, 본 논문에서 제안된 모델링을 이용하였다. 각각의 IP와 연결된 트랜잭터로부터 얻어진 전송 데이터를 이용하여 헤밍 거리를 추정한 후, 식 (7)을 이용하여 트랜잭션 레벨에서의 소비 전력을 추정하였다. 이렇게 얻어진 버스 로직의 소비 전력과 버스 라인의 소비 전력을 합하여 전체 온칩 버스의 소비 전력을 구하였다.

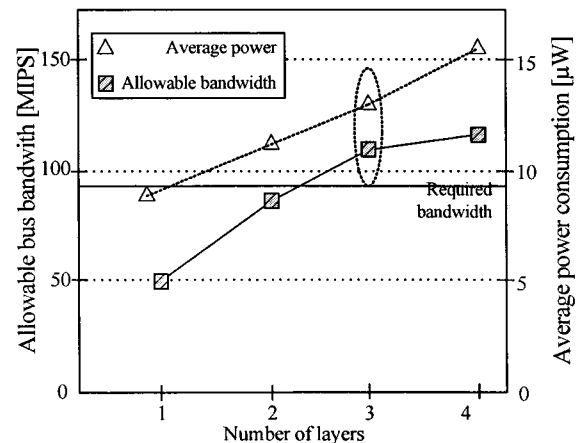


그림 8. 동영상 처리기의 버스 레이어 수에 따른 버스 대역폭 및 소비 전력 증가율

[그림 8]은 타겟 SoC의 레이어 수 증가에 따라 버스의 소비 전력 증가율과 버스 대역폭의 증가율을 보인다. 2개의 버스 레이어로 온칩 버스를 구현하면 버스 성능에 의해 전체 시스템의 동작이 제한된다. 시스템이 요구하는 버스 대역폭을 위해 3개 이상의 버스 레이어를 필요로 한다. 또한 소비 전력은 4개의 버스 레이어로 구성을 했을 때 20%이상 증가한다. 이와 같은 동영상 처리기의 요구 대역폭을 만족시키며, 가장 최소의 소비 전력을 갖기 위하여 온칩 버스 시스템은 3개의 버스 레이어로 구성되어야 한다.

[그림 9]는 레이어 수의 증가에 따른 온칩 버스 시스

템의 소비 전력 증가율을 나타낸다. 동일한 데이터 전송 시나리오 적용시 싱글 레이어 구조의 소비 전력을 기준하여 레이어 수의 증가에 따른 소비 전력의 증가율을 보인다. 온칩 버스의 레이어 수를 증가시키면, 서로 다른 레이어의 데이터 전송을 위한 스위칭에 따른 버스 라인의 소비 전력 뿐만 아니라 각 레이어의 데이터 통신을 위한 버스 로직과 서로 다른 레이어를 연결하는 브릿지와 같은 하드웨어 추가에 따른 소비 전력 증가가 필수적이다. 그러나, 레이어 추가에 따라 소비 전력은 이의 배수로 증가하지 않는다. 즉, 2개의 레이어 구조를 갖는 경우와 3개의 레이어 구조를 갖는 경우 각각 싱글 레이어 구조에 비해 25% 및 56% 증가하는데 반해 온칩 버스 구조의 버스 레이턴시는 각각 45% 및 63% 감소하였다. 따라서 멀티 레이어를 갖는 버스 구조가 싱글 레이어 버스에 비해 소비 전력의 증가율보다 레이턴시 감소율이 더 크다. 따라서 싱글레이어 버스에 비해 멀티레이어 버스가 소비 전력 대비 성능이 높다.

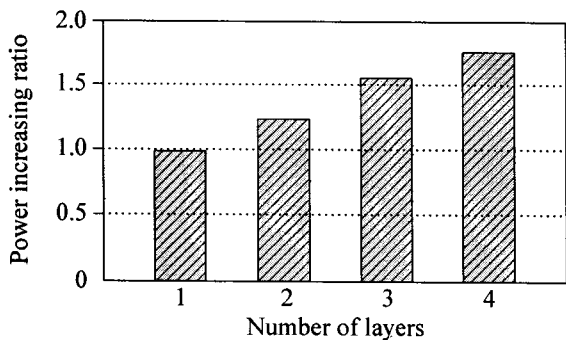


그림 9. 레이어 수에 따른 온칩 버스의 평균 소비 전력

표 1. 온칩 버스 소비 전력 추정치의 정확도

$N_{activity}$	NanoSim을 이용한 추정값 $P_{avg}(\mu W)$	제안된 모델링을 이용한 추정값 $P_{avg}(\mu W)$	에러율 (%)
5,000	8,663	8,598	0.74%
10,000	12,758	12,897	1.09%
15,000	15,176	15,477	1.98%
20,000	15,980	17,197	7.62%
25,000	18,197	18,560	1.99%

[표 1]은 본 논문에서 제안된 소비 전력 모델링을 통한 온칩 버스의 소비 전력값과 타겟 SoC를 합성 후

NanoSim 툴을 통해 측정된 소비 전력 비교를 보인다. 소비 전력 모델링 및 합성을 위해 동일한 0.35- μm CMOS 공정을 사용하였다. 온칩 버스를 통해 25,000개의 데이터를 전송하였으며, 제안된 모델링은 측정된 값에 비해 92.4%의 정확도를 가짐을 보인다.

기존의 AMBA 버스와 같은 온칩 버스의 소비 전력 모델링은 데이터 전송 패턴과 동작 시나리오에 따른 데이터 패턴을 고려한 소비 전력 분석이 불가능하다. K. Lahiri[4]가 제안한 방법에 따라 AMBA 버스 시스템의 구성 및 전송 방법에 따라 버스 구성 로직들의 소비 전력 분포만을 얻을 수 있고 M. Caldari[12]가 제안한 시스템 레벨의 모델링 방법도 명령어에 따른 소비 전력 분석만 가능하다. 그러나, 본 논문에서 제안한 방법과 같이 타겟 SoC의 전송 데이터의 양과 전송 패턴에 따른 온칩 버스 시스템의 소비 전력 분석은 불가능하다. 이와 같이 본 논문에서 제안된 버스 소비 전력 모델링은 스트레이드 포워드하게 최적 버스구조를 결정할 수 있는 것이 장점이며, 이를 이용하여 시스템 개발 초기에 온칩 버스의 소비 전력을 92.4% 이상의 정확도로 추정할 수 있다. 즉 SoC 시스템 개발 초기에 온칩 버스의 허용대역폭과 소비 전력간의 트레이드-오프를 구한 후 시스템 개발에 이를 적용할 수 있을 것으로 기대된다.

V. 결론

본 논문은 SoC 플랫폼에서 사용되는 온칩 버스의 소비 전력을 시스템 개발 초기에 정확하게 추정하여 온칩 버스 구조를 결정할 수 있도록 한다. 또한 시스템 성능 개선을 위한 IP 추가시에도 이를 활용하여 저전력 구조를 갖는 온칩 버스를 개발할 수 있도록 한다. 제안된 소비 전력 모델링은 온칩 버스 구조와 데이터 전송 특성을 반영하여 버스 로직에 의해 소비되는 전력과 버스 라인에 의해 소비되는 전력의 두 부분으로 각각 추정된 후 이를 하나로 통합하여 전체 온칩 버스의 소비 전력을 얻는다. 데이터 전송량이 큰 멀티미디어용 SoC에 적용한 결과 92.4% 이상의 정확도를 가짐을 알 수 있다. 본 논문에서 제안된 소비 전력 모델링을 활용하여, 온

칩 버스 구성에 따라 변화하는 버스 대역폭과 소비 전력 추정값과의 트레이드-오프를 통해 최적화된 버스 시스템 설계가 가능할 것으로 기대된다.

참고 문헌

[1] W. O. Cesario, D. Lyonard, G. Nicolescu, Y. Paviot, S. J. Yoo, A. A. Jerraya, L. Gauthier, and M. D. Nava, "Multiprocessor SoC platforms: a component-based design approach," Design & Test of Computers, IEEE, Vol.19, No.6, pp.52-63, Dec. 2002.

[2] K. Keutzer, A. R. Newton, J. M. Rabaey, and A. S. Vincentelli, "System-level design: orthogonalization of concerns and platform-based design," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol.19, No.20, pp.1523-1543, 2000.

[3] 천익재, 김보관, "SoC를 위한 통신망 설계 동향", 전자공학회지, 제30권, 제5호, pp.992-1001, 2003.

[4] K. Lahiri and A. Raghunathan, "Power analysis of system-level on-chip communication architectures," Proc. of CODES+ISSS'04, pp.23-241, Sep. 2004.

[5] AMBA Specification Rev 2.0, ARM Co., May 1999.

[6] CoreConnect Bus Architecture, IBM Co., 1999.

[7] W. Peterson, WISHBONE SoC Architecture Specification, Revision B.2, Silicore Co., 2001.

[8] Y. Zhang, W. Ye, and M. J. Irwin, "An alternative architecture for on-chip global interconnect: segmented bus power modeling," Proc. of ACSSC, Vol.2, pp.1062-1065, Nov. 1998.

[9] P. P. Sotiriadis and A. P. Chandrakasan, "A bus energy model for deep submicron technology," IEEE Trans. On VLSI systems, Vol.10, pp.341-350, June 2002.

[10] C. T. Hsieh and M. Pedram, "Architectural power optimization by bus splitting," IEEE Trans. On Computer-Aided Design, Vol.21, pp.408-414, Apr. 2002.

[11] T. Lv, J. Henkei, H. Lekatsas, and W. Wolf, "A dictionary-based en/decoding scheme for low-power data buses," IEEE Trans. On VLSI systems, Vol.11, pp.943-951, Oct. 2003.

[11] K. Asada, M. Ikeda, and S. Komatsu, "Approaches for reducing power consumption in VLSI bus circuits," IEICE Trans. On Electronics, Vol.E83-C, No.2, pp.153-160, Feb. 2000.

[12] M. Caldari, M. Conti, M. Coppola, P. Crippa, S. Orcioni, L. Pieralisi, and C. Turchetti, "System-level power analysis methodology applied to the AMBA AHB bus," Proc. of DATE'03, pp.32-37, 2003.

[13] 조영신, 이제훈, 조경록, "SoC 플랫폼에서 시스템 버스의 모델링 및 해석", 대한전자공학회 논문지, 제42-SD편, 제12호, 2005.

[14] <http://www.synopsys.com/products/logic/>

[15] <http://www.synopsys.com/product/mixedsignal/>

[16] MaxSim developer suite user's guide Ver. 5.0, AXYS Design Automation Inc., 2004.

저자 소개

류 제 천(Che-Cheon Ryu)

정회원



- 1998년 2월 : 충북대학교 정보통신공학과 (공학사)
- 2000년 2월 : 충북대학교 정보통신공학과 석사과정 수료
- 2000년 ~ 2003년 : 아즈텍 연구소

- 2003년 ~ 2006년 : 벤택디엠씨 연구소 선임연구원
- 2006년 ~ 현재 : KEC

<관심분야> : 저전력 고속회로 설계, SoC 설계

이 제 훈(Je-Hoon Lee)

정회원

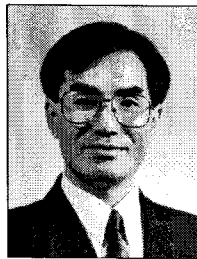


- 1999년 2월 : 충북대학교 정보통신공학과 (공학사)
- 2001년 2월 : 충북대학교 정보통신공학과 (공학석사)
- 2005년 2월 : 충북대학교 정보통신공학과 (공학박사)

- 2005년 ~ 2006년 : Univ. of Southern California 방문연구원
 - 2006년 ~ 현재 : 충북대학교 BK21 계약교수
- <관심분야> : 마이크로프로세서 설계, 저전력 디자인

조 경 록(Kyoung-Rok Cho)

정회원



- 1977년 : 경북대학교 전자공학과 (공학사)
- 1989년 : 일본 동경대학교 전자공학과 (공학석사)
- 1992년 : 일본 동경대학교 전자공학과 (공학박사)

- 1979년 ~ 1986년 : (주)금성사 TV연구소 선임연구원
 - 1999년 ~ 2000년 : Oregon State University 객원교수
 - 1992년 ~ 현재 : 충북대학교 전기전자공학부 교수
- <관심분야> : 통신시스템LSI설계, 저전력 고속회로 설계, Platform 기반의 SoC 설계