

128채널 심장전기도 시스템의 증폭기 설계 (The design of amplifier for 128 channels Cardiac-activation system)

한영오 (Young-Oh Han)¹⁾

요 약

본 논문에서는 신호조정 회로로서 필수적인 다중 채널 심장 전기도 전치 증폭기를 제작하기 위한 설계조건의 분석 및 전기 회로적 해석을 수행하였다. 설계된 회로는 기존의 64 채널의 공간 분해능을 향상시키기 위하여 128채널로 구성하였으며, 전치증폭기는 입력회로부, 차동증폭부, 오른다리구동회로 및 주증폭기의 노치필터로 구성되도록 설계하였다.

Abstract

In this paper, the design requirement and the electrical circuit analysis are performed to construct the multi-channel cardiac activation pre-amplifier necessary for a signal conditioning circuit. The general 64 channel configuration is expanded into 128 channels to enhance the spatial resolution on the mapped surface of the heart. The 128 channels pre-amplifier consists of input circuit, differential amplifier, right leg driven circuit and main-amplifier with notch filter part.

논문접수 : 2007. 4. 10.

심사완료 : 2007. 4. 22.

1) 정회원 : 남서울대학교 전자공학과

본 연구는 2004학년도 남서울대학교 대학연구비의 지원으로 연구되었음.

1. 서론

1914년 Lewis등은 심방에서의 전기전파를 연구하고자 동물심장을 노출시키고 이 심장의 심의막에 몇 개의 전극을 부착하여 전기전파에 소요되는 시간을 측정함으로써 심장조동(atrial flutter) 및 심방세동(atrial fibrillation)의 기전을 규명하고자 많은 노력을 하였다. 그 후 여러 학자들이 심장에서의 전기전파를 연구하고, 심장부정맥의 기전을 연구하여 왔으나, 1970년대까지는 그 연구방법이 몇 개의 전극을 심장에 부착하거나, 한 개의 전극을 이곳 저 곳으로 옮겨가면서 전기신호를 받아 분석하여 각 조직으로 전기가 전파되는데 소요되는 시간을 측정하였기 때문에 불안정한 일과성 심장부정맥의 기전을 연구하는 데는 충분치 못하였다 [1].

1970년대에 들어와 컴퓨터 산업의 발달과 함께 심장전기도 검사에도 컴퓨터가 이용되기 시작하였다. 1978년 Boineau 등은 FM 테이프 기록장치에 전기신호를 기록하고 이 신호를 컴퓨터를 이용하여 분석함으로써 동방결절에서 발생하는 전기는 다중심성인 것으로 보고하여 주목을 받았다. 그 후 Alessie, Witkowski 등과 Kramer 등도 미니컴퓨터를 이용한 심장전기도 시스템을 개발하여 심장의 전기전파 경로를 정확하게 알 수 있도록 하였고, 여러 가지 심장부정맥의 자세한 기전을 연구하고 이에 대한 치료를 모색하며, 외과적 치료의 경과를 향상시켜 왔다[2][3].

특히, 최근에는 다중형판전극(multiple electrode template)이 개발되어 이것을 심장에 부착시켜 전기신호를 분석함으로써 아직 잘 알려져 있지 않은 심장부정맥의 기전을 연구하고, 원인이 되는 우회로(bypass tract)나 이소성 병소(ectopic focus)를 외과적으로 절제하고 있다. 이와 같이 심장부정맥의 기전 연구 및 Wolff-Parkinson-White증후군의 환자에게서 나타나는 방실 회귀성 빈맥을 수술할 경우에는 짧은 시간(최소 1m/sec)내에 일어나는 심장전

기전과 신호를 심장의 각 부위로부터 획득하여 종합적으로 분석하는 시스템이 필수적이다. 이를 위하여 Grimbergen등에 의한 ECG 증폭기가 있으나 이는 채널의 수가 64개뿐이고 전치 증폭기가 건전지로 동작하기 때문에 쓸 수 있는 전력의 제한이 크며 장시간 동안의 환자 감시에는 적당하지 않다 [4][5].

본 논문에서는 신호조정 회로로서 필수적인 다중 채널 심장 전기도 전치 증폭기를 제작하기 위한 설계조건 분석 및 전기 회로적 해석을 수행하였다. 설계된 회로는 기존의 64 채널의 공간 분해능을 향상시키기 위하여 128채널로 구성하였으며, 전치증폭기는 입력회로부, 차동증폭부, 오른다리구동회로 및 주증폭기의 노치필터로 구성되도록 설계하였다.

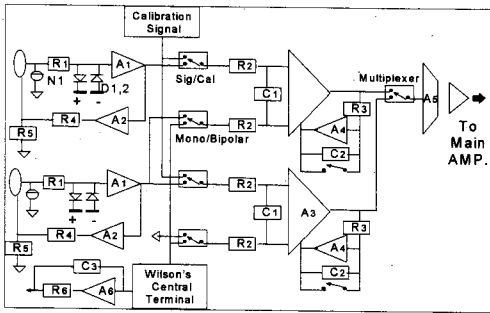
2. 심장전기도 증폭기의 설계조건

흉곽표면 측정시스템의 심전도 입력 신호의 크기는 최소 25 μ V에서 10 mV의 크기를 갖으며, 심표면 시스템의 크기는 1 mV에서 100 mV 신호 범위에 있으므로 심장 전기도 시스템의 입력 신호의 범위는 25 μ V에서 100 mV의 신호 이득 조정이 가능하도록 설계한다. A/D 변환기의 입력 전압 범위(10 Vp-p), 12 비트 분해능과 심전도 침투값의 10 샘플 이상의 양자화 조건을 고려하여 최소이득 X 100, 최대 이득은 X 800 이상의 이득을 갖도록 설계한다.

3. 심장전기도 전치 증폭기 설계

[그림 1]은 본 연구에서 설계한 양극 1채널/단극 2채널 심장 전기도 증폭 시스템의 블록선도이며 128 채널은 동일회로의 확장이다. 증폭기 A_1 은 임피던스 변환기 회로이며 N_1 , D_{12} , R_1 으로 구성된 입력회로 보호 및 안전전류 제한 회로를 포함한다. 임피던스 변환회로의 출력은 능동실드 증폭기 A_2 를 능동 구동한다. 임피던스 변환기의 출력신호는 Switching Matrix회로에 의하여 단극측정모드/양극측정모드 및 신호측

정모드/조정신호를 선택하며 평형 RC 저역통과 필터(소자번호 R₂C₂)를 거친다. 반전위전위에 의한 직류 옵셋을 제거하며, 동시에 높은 CMRR을 유지하기 위하여 차동증폭기의 출력신호는 적분기(A₄)를 거쳐 옵셋에 의한 직류성분을 R₃C₂ 시정수로 검출하여 궤환 제어함으로써 초단의 높은 이득에 의한 증폭기의 포화를 방지하며 높은 CMRR을 유지한다. 단극측정모드는 RA(Right Arm), LA(Left Arm), RL(Right Leg)의 평균값을 기준으로 측정한다.



[그림 1] 심장 전기도 전치 증폭기의 블록선도

3.1 입력 회로부

N₁은 neon glow lamp를 사용하였으며, 50 V 이상의 과전압에 대한 분리 접지로의 전류 통로를 형성 하여 일차적인 보호회로를 구성한다. 50 V미만의 잡음은 스위칭 다이오우드 D_{1,2}에 의한 보호회로를 형성한다. ±12 V 전원에 대한 보호저항 R₁(10 KΩ)은 안전 전류를 1.2 mA로 제한한다. 또한 접지전극과 연결된 RLD 회로의 보호저항 값 1 MΩ에 대하여서는 11.9 uA의 보호회로를 구성한다. 임피던스 변환기는 이득 1인 버퍼 증폭기로 Analog Device사의 AD713 Quad Precision BiFET Op Amp를 사용하였다. AD741에 대한 잡음은 40 pA의 입력 바이어스 전류는 10 KΩ의 전극 임피던스에 대하여 400 uV의 잡음성 전압 영향을 주게 되며,

500 uV의 입력 옵셋 전압 값에 의한 DC 잡음에 영향을 주는 1/f 잡음은 2 uV_{peak-to-peak} 이다. 차동입력임피던스 및 공통입력임피던스가 각각 3 X 10¹² Ω 이다. 실드구동기 A₂는 R₄, R₅로 구성된 분압회로를 100 Ω, 100 KΩ을 사용하여 전체 이득을 0.99로 하였다.

3.2 차동증폭부

스위칭 매트릭스 회로는 CMOS Analog Multiplexer (MC 14053)로 구성하였다. 단극/양극/조정 스위치의 채널 선택 조정은 광결합기를 이용하여 분리 제어한다. R₂, C₁에 의한 평형 저역 통과 필터의 차단 주파수는 1.5 KHz로 설정하였으며, CMRR은 110 dB를 갖는 차동증폭기 INA101 (Burr Brown Co.)는 이득 100으로 설계하였다. 10¹⁰Ω의 입력 임피던스 값을 갖으며, 15 nA의 입력 누설전류에 대하여 ON저항 150 Ω과 평형 필터의 저항 1 KΩ에 대하여 17.25 uV의 잡음값을 갖는다.

이득 100인 차동증폭기의 이득은 전극간 서로 다른 반전위 전압값에 따른 최대 오차전압 0.44 V의 직류 옵셋 전압값을 출력단에서 포화시킨다. 이를 해결하기 위한 궤환형 직류제거 회로는 평균 DC전압을 INA101 증폭기의 출력 전압을 적분기로 검출하여, A₄ 증폭기로 궤환 조정한다. 적분기의 R₃는 1 MΩ, C₂는 1 uF로 차단 주파수는 0.16 Hz이다. 또한 궤환 시스템에 위치한 FET스위치는 Latch-up을 방지하기 위하여 궤환 커패시턴스를 방전한다.

3.3 RLD 회로부

RLD회로[6]의 높은 이득과 주파수에 대한 보상조건을 만족하는 값으로 설계된 회로는 C₃ 값을 1 nF를 사용하였다. 1 nF 궤환 커패시턴스에 대한 60 Hz 잡음 주파수에서의 RLD 회로의 이득은 식 (1)과 같고 주파수 보상을 위한 차단 주파수는 식 (2)와 같이 충분한 위상 이득을 갖게 되므로 주파수 보상을 하게 된다. 또한 RLD 증폭기 A₆ 출력단에 연결된 전류제한 저항 R₆ 는 실제 1 MΩ을 사용하여, 증폭기

고장에 대하여 12 μA 의 고장전류로 제한한다.

$$G = \frac{1}{2\pi(60Hz)(1nF)} / \frac{(10K\Omega)}{3} \cong 800 \quad (1)$$

$$f_c = \frac{1}{2\pi \frac{(10K\Omega)}{3} (1nF)} \cong 48KHz \quad (2)$$

3.4 주증폭기의 노치필터 설계

전치증폭기단에서 60Hz 공통선 입력 잡음은 RLD회로, 고입력 임피던스 회로, 차동 증폭기의 높은 CMRR, 분리 증폭기에 의하여 해결하였지만, 전극간 임피던스의 불균형과 전극선에 잔류된 전극선 유도전류에 의한 잡음은 잔류되어 주증폭기에 유입된다. 이러한 잔류성 잡음은 수술실에서의 심장 전기도 신호의 침두값 계산을 어렵게 하며 계산된 결과의 consistency를 상실하게 된다. 이러한 잡음을 제거하기 위하여 Universal Dual LTC 1060 (Linear Technology Co.) SCF(Switched Capacitor Filter) 필터를 사용하여 2차 노치필터를 구성하였다. LTC 1060의 내부는 연산 증폭기, 케환 시스템의 서밍 포인트, 2개의 스위칭 회로 이론에 의한 적분기로 구성되어 있다. 따라서 SCF 노치 필터의 전달 함수는 내부 구성요소의 입력력 점을 상태변수로 정의하여 상태 방정식을 계산하면 식 (3)과 같은 노치 필터의 2차 전달 함수를 계산 할 수 있다.

$$H(s) = \frac{H_0(S^2 + W_n^2)}{S^2 + S(\frac{W_0}{Q}) + W_0^2} \quad (3)$$

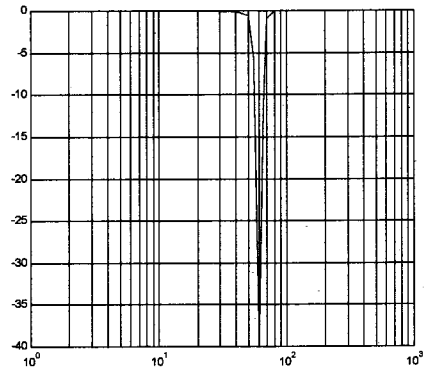
여기서 H_0 는 노치필터 출력의 이득이고

$W_n = 2\pi f_n$ 이며 f_n 은 노치 주파수이다. 여기

서 $H_0 = \frac{-R_2}{R_1}$, $Q = \frac{R_3}{R_2}$, $f_n = f_0$,

$f_0 = \frac{f_{CLK}}{100}$ 이다. Q factor를 약3으로 하면 2

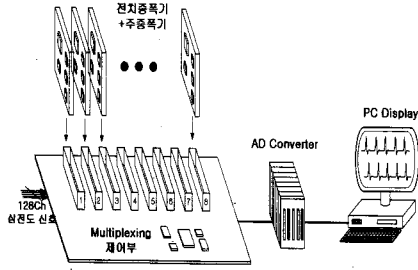
차 필터의 SCF 필터의 특성으로부터 약 45dB의 잡음 제거 능력을 얻을 수 있다. 저역통과와 마찬가지로 Notch clock과 차단 주파수와 이격은 100:1 이므로 6 KHz(60 HZ 차단주파수)의 클락 주파수를 사용하게 되며 후단의 저역통과필터와 동일한 필터를 사용하여 클락 주파수 잡음을 제거할 수 있다. 노치필터의 주파수 특성은 [그림 2]와 같다.



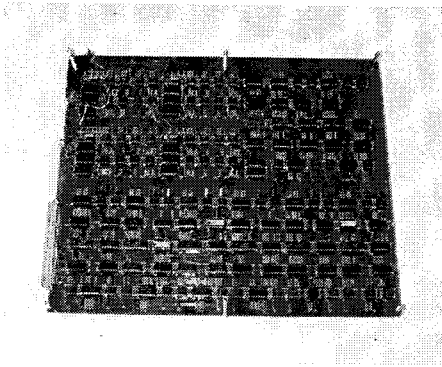
[그림 2] Notch Filter Magnitude (dB, log, degree scale)

4. 시스템 구성 및 실험

[그림 3]은 증폭기의 8장의 증폭부 기판과 바닥의 제어부의 기판과의 연결, 그리고 데이터를 획득하기 위한 아날로그-디지털 변환기와 PC의 연결을 나타내는 전체 시스템의 연결도이다. 심장의 전극으로부터 입력된 신호는 전치증폭기를 거쳐 증폭된 후 아날로그-디지털 변환되어 PC 화면에 디스플레이 된다. [그림 4]은 제작한 증폭기 중 16개의 채널이 들어있는 한 장의 기판이다.

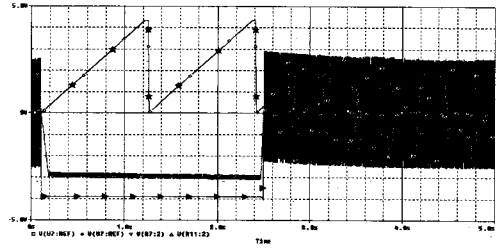


[그림 3] 전체 시스템 연결도



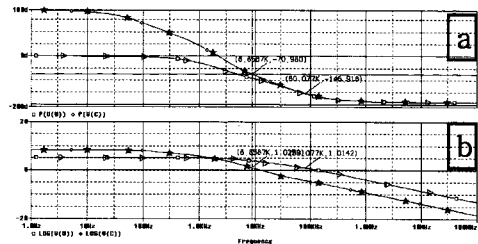
[그림 4] 16 채널용 기판

[그림 5]는 연산 증폭기의 래치업을 막고 기저선을 회복하기 위한 차동 증폭부의 동작 그림이다. 입력에 과도한 오프셋이 들어갈 경우 (▽표 부분), 차동 증폭기의 출력(▶표 부분)은 포화되지만, 기준점의 전압(★표 부분)이 0점을 향해 순간적으로 내려가는 것을 볼 수 있다. 이 회로는 전기 수술기를 사용하는 동안과 같이, 입력 오프셋이 정도 이상으로 커서 자체의 귀환 루프를 이용해서 기저선을 회복할 수 없는 경우에, 원래의 심전도 신호를 얻을 수는 없을지라도 적어도 전기 수술기 사용 후에 최단시간 내에 기저선을 회복할 수 있도록 하는 역할을 한다.



[그림 5] 기저선 보정 회로의 동작 특성

[그림 6]은 오른다리 구동회로의 특성 곡선이다. 이득이 1일 때($f=80.1\text{kHz}$) 위상은 -146.9° 이므로 위상 여유는 33.1° 이다. 그러나 안정된 동작을 위해서는 위상 여유가 45° 이상은 되어야 한다. 커패시턴스를 이용하여 보상하므로써 위상 여유를 늘릴 수 있다. 이 때, 수정된 귀환 루프의 안정성을 테스트 결과는 ★표가 있는 곡선과 같다. 이득이 1일 때($f=8.9\text{kHz}$) 위상은 -70.9° 이므로 위상 여유는 110.1° 이다. 두 곡선을 비교해 보면 RLD 구동 회로를 수정한 결과 이득이 1일 때의 대역폭이 줄었으므로 이득 대역폭 곱은 약 71.2 kHz 가 줄었으나 위상 여유가 약 77° 늘어나 귀환 회로의 안정성이 향상되었음을 알 수 있다.



(a) 위상 특성 (b) 진폭 특성

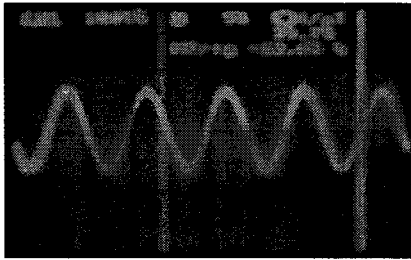
[그림 6] RLD구동 회로의 주파수 응답

[그림 7]은 Switched Capacitor Filter를 이용한 노치 필터 LTC1060에 의해 60Hz 잡음이 제거된 신호를 나타낸다. 60Hz 잡음은 제거되었으나 고주파의 스위칭 잡음이 혼입된 상태이다.



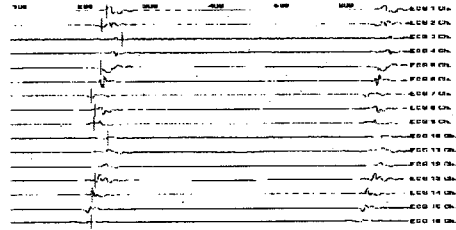
[그림 8] 저역 통과 필터
통과 전 파형

[그림 8]은 Switched Capacitor Filter인 LTC1062를 통과한 후의 파형의 모습이다. 통과전의 파형이 고주파 잡음이 많이 끼어 있는데 반해 통과후의 파형은 고주파 잡음이 많이 제거된 안정된 모습을 보인다.



[그림 8] 저역 통과 필터
통과 후 파형

[그림 9]은 설계된 증폭기의 동작을 확인하기 위하여 돼지 심장을 적출하여 128 채널 전극을 부착하여 획득한 128 채널 데이터 중 16 채널의 데이터를 화면에 표시한 결과로서 설계된 증폭기의 정상동작을 확인할 수 있었다. 데이터는 64 Mbyte Pentium PC에 저장하였으며, 데이터 구간은 600 msec, 12 비트 분해능으로 1 KHz로 샘플링 하여 획득하였다.



[그림 9] 돼지심장에 대한 16 채널
데이터의 출력

5. 결론

신호조정 회로로서 필수적인 다중 채널 심장 전기도 전치 증폭기를 제작하기 위한 설계조건 분석 및 전기 회로적 해석을 수행하였다. 설계된 회로는 기존의 64 채널의 공간 분해능을 향상시키기 위하여 128채널로 구성하였다. 전치증폭기는 입력회로부, 차동증폭부, 오른다리 구동회로 및 주증폭기는 노치필터를 기본으로 설계하였다. 최종 구성된 시스템은 16 채널을 갖는 8개의 보드로 설계하여 128채널로 확장, 제작하였다. 그러나 전극 부착시의 반전위에 의한 옅색 전압, 개별 증폭기의 비완전성에 의한 옅색 전압, Switched Capacitor Filter에 의한 옅색 전압은 증폭기를 포화시키거나 왜곡된 신호 획득의 결과를 가져오기 때문에 반드시 제거되어야 한다. 따라서 향후 이러한 문제점을 해결하기 위한 주증폭기에 대한 연구가 추가되어야 할 것이다.

참고문헌

- [1] B.C.Chang et al., "Computerized activation sequence mapping of the human Atrial Septum, Ann. Thorac. Surg., Vol.49, pp.231-241, 1990.
- [2] M.A.Allessie et al., "Intra-atrial reentry as a mechanism for atrial flutter induced by acetylcholine and rapid pacing in the dog", Laboratory Investigation, Vol.70, No.11, pp.123-135, 1984.

- [3] F.X.Witkowski, "An automated simultaneous tranmural cardiac mapping system", American Physiology Society
- [4] A.Pepper et al. , " Recording of surface His-Purkinje potentials, Med. Biol., Eng. & Comput., pp.365-376, 1985.
- [5] G.Bonneau et al., " An integrated system for intraoperative cardiac activation mapping, ", IEEE BME-34, No.6, pp.415-423, 1987.
- [6] Bruce B. Winter and John G. Webster, " Driven right leg circuit design, " IEEE BME, -30, No.1, pp. 62-66, 1983.

한영오

1995년 8월 연세대학교 대학원 전기공학과(공학박사)

1996년 3월 ~ 현재 남서울대학교 전자공학과 부교수

주관심 분야 : 디지털 신호처리 및 응용