

# 세라믹 전자부품의 가속수명 시험과 고장분석

(Accelerated Life Testing and Failure Mode Analysis for Ceramic Electronic Parts)

글 \_ 최순목 || 요업기술원  
smchoi@kicet.re.kr

## 1. 머리말

신뢰성은 제품의 수명 기간 동안 고장 없이 사용할 수 있는 특성을 말하며 제품의 신뢰성 부문은 중국 등 신흥 제조 강국들에 비하여 가격 경쟁력이 약한 국내 산업이 비교 우위를 점할 수 있는 부문으로 여겨진다. 그러나 성장위주의 발전을 거듭해온 국내 산업구조는 설계기술의 대외의존성이 높아 원천기술인 신뢰성수준은 선진국에 비해 아직 뒤쳐져 있다.<sup>1)</sup> 높은 신뢰성을 갖는 제품을 개발하기 위해서는 구상단계나 설계단계에서부터 신뢰성이 미리 반영되어야 한다. 제품을 개발하는 과정은 일반적으로 구상단계(Concept/Planning Phase), 설계 및 개발 단계 (Design/Development Phase), 생산단계(Production/Manufacturing Phase)로 나누어 볼 수 있는데, 제품의 신뢰성은 거의 70~80%가 구상단계와 설계 및 개발단계에서 결정된다.<sup>3)</sup> 또한 개발 중인 제품에 문제가 발생하였을 때 초기 단계에서 발견하고 변경 및 보완할수록 비용이 적게 요구된다. 이렇듯 신뢰성은 제품 설계부터 고려해야 할 기본 사항으로서 선진국과 개도국의 기술수준을 차별화하는 질적 척도로도 활용되고 있다.

한편 신뢰성 높은 부품에 대한 요구에 더하여 최근에 소비자들의 요구 수준은 더욱 높아져서 소비자들의 다양하고 새로운 요구들을 만족시키기 위해 제품의 수명 사이클은 점차 감소되고 있는 실정이다. 이를 감안하면 제

품의 수명을 일반적인 사용조건 하에서 평가하는 것은 무의미하다.<sup>4)</sup> 일반적인 사용 조건에서 시험할 경우 시험 단위들이 장시간 동안 거의 고장 나지 않거나 혹은 심각하게 열화되지 않으므로, 대부분의 신뢰성 시험에서는 단시간 내에 해당 제품 및 장비의 수명을 파악하기 위해 사용조건보다 가혹한 부하(stress)를 가하여 고장 가능성이 높도록 시험하는 가속수명시험(Accelerated Life Testing ; ALT)을 이용하고 있다.<sup>4)</sup> 이때 ALT를 통해 얻어진 자료는 물리적으로 stress와 수명과의 관계를 설명할 수 있는 적절한 통계적 가속모델을 통해서 외삽하여 일반 사용조건하의 수명을 평가한다.<sup>5)</sup>

## 2. 가속 수명 평가

세라믹 전자 부품에 대한 가속수명을 시험하고 고장을 분석하는 일련의 평가과정을 통해 부품의 신뢰성을 향상 시키기는 과정은 각 단계 단계별로 전문적이고 첨단지식이 필요하다. Fig. 1에 평가 과정을 요약해서 나타내었다. 먼저 1단계는 Fig. 1의 (a)에 표시되었듯이 제품의 수명에 영향을 미치는 stress를 파악하고 그 stress에 의한 수명분포 모델을 확인한 후 경제성과 통계적 효율성을 고려하여 stress 수준과 시료 할당 수 등을 결정해서 가속 수명 시험을 설계하는 단계이다. 다음 단계는 Fig. 1의 (b)에 표시되었듯이 stress와 수명(주로 평균수명

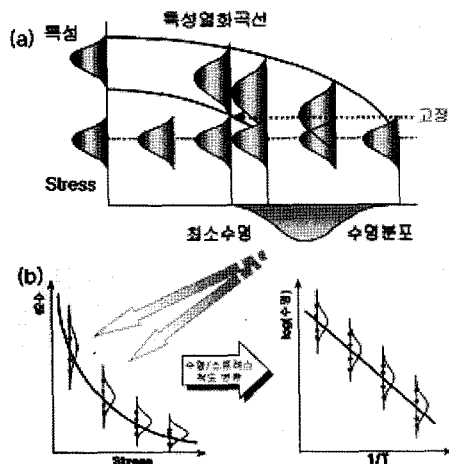


Fig. 1. Schematic diagrams for ALT.

(MTTF, Mean Time To Failure))과의 관계를 설명하는 정확한 가속모델을 설정하고 그 모델을 이용하여 외삽법을 적용하여 일반 사용조건 하의 평균수명을 계산한다. 세 번째는 가속수명 시험 시 발생한 고장 mode 분석을 통해 Fig. 1의 (a)에 나타내었듯이 응력에 의해 고장이 발생하는 메커니즘을 규명하고 부품의 설계나 제조 공법을 변경하여 신뢰성 향상의 구체적 방안을 제시하는 단계이다. 마지막은 사실상 시험이 설계되기 전에 진행되어야 할 단계로서 고객의 요구와 다양한 연구 결과에 근거하여 고장을 정의하고 그 근거를 제시하는 부분이다. 물론 일반적인 의미의 고장은 규격화 되어있으나 일부 첨단 제품의 경우 다양하고 급변하는 고객의 요구에 대응하기 위해서는 세밀하고 정확한 고장 판정 기준을 새로 적용할 필요가 있다.

지금까지 언급한 네 단계에서 각각 요구하는 연구와 지식에 대해서 이후 단원에서 사례를 위주로 상세히 언급하려고 한다. 개략적으로 적어보면 우선 효율적이고 정확한 가속 수명 시험을 설계하고 시험을 수행하려면 통계학적 지식이 최우선으로 필요하다. 더군다나 가속 수명의 수명 분포는 일반적인 정규 분포를 하지 않으므로 다양한 통계학적 지식이 필요하다. 이러한 통계적인 연구에 덧붙여 적절한 가속모델을 설정하여 일반 사용조건 하의 평균수명을 계산하기 위해서는 재료 공학적 연구 또한 필요하다. 왜냐하면 재료 공학적 지식이 stress와

평균 수명 사이의 가속 모델을 정확히 설정하고 그 근거 메커니즘을 밝히는데 필수이기 때문이다. 또한 가속 수명 시험이 단순 시험에 머무르지 않고 제품의 수명 향상에 기여하기 위해서는 고장 발생 메커니즘이 명확히 규명되어야 하는데 이 규명을 위해서는 통계학적 연구에 더하여 재료공학적 지식이 역시 필요하다. 더불어 고장의 원인이 되는 stress를 밝혀내고 그 stress가 고장을 가속(acceleration)하는 메커니즘이 밝혀진 후에라도 실제 제품의 수명을 향상시키기 위해서 새로운 제조 process를 도입하여야 하는데 이 부분 역시 정확한 재료 공학적 지식이 필수적이다. 더군다나 나날이 다기능화 고집적화 되는 전자 기기의 추세에 맞추어 소형화 고밀도화 되는 전자 부품의 고장은 나노 수준(nano scale)에서 발생하므로 나노 수준의 소재 분석력은 필수적이다. 마지막으로 다양하고 급변하는 고객의 요구에 신속히 대응하기 위해 세밀한 고장 기준을 정의하려면 첨단 재료공학 연구에 더불어 회로이론을 포함한 회로 응용 이론(application engineering) 연구 또한 필수다.

### 2.1 가속 수명 분포

수명 시험의 설계에 대한 연구 중 일반 사용 조건하에서 수행되는 수명 시험은 오래 전부터 학문적으로 확립되어 있으며<sup>6)</sup> KS 규격 등의 신뢰성 평가 기준도 일부 제정되어 있으나, 가속수명에 대한 연구는 상대적으로 근래에 시작되었다. 우선 수명 분포에 관해서 가속 수명 시험에서 발생하는 데이터는 우선 기존 데이터와는 달리 정규분포를 따르지 않고 Weibull 분포, 지수분포 혹은 대수정규분포를 따른다.<sup>2)</sup> 정확한 가속 수명 설계는 이들 분포에 대한 통계학적 지식에 더해서 이들 분포가 갖는 물리적 의미를 파악한 후에 가능하다. 제품의 수명 데이터가 위에 적은 분포 중에 어느 분포를 나타내는가는 문제는 신뢰성 수준을 평가하는 척도로서 사용할 수명 값을 결정하는 문제이기도 하다. 예를 들면 Weibull 분포의 경우 고장율이 시간에 따라 변화하므로 평균 수명으로 신뢰성 수준 등급을 평가하며 지수 분포를 갖는 경우에는 고장율이 시간에 따라 변화하지 않는다.<sup>22)</sup>

또한 고려해야 할 점은 모든 수명시험은 경제성과 통

계적 효율성을 고려하여 적절히 설계되어야 한다<sup>2)</sup>. 예를 들어 가속 수명 시험에서 몇 개의 stress를 어느 수준에서 시험할 것인가, 각 stress 수준에 어떤 비율로 시료를 할당할 것인가, 시험시간은 얼마가 적절할 것인가 등의 문제는 시험 수행에 앞서 미리 정해져야 한다.<sup>2)</sup> 이에 대해 자세히 고찰하기 위해서는 stress와 평균수명과의 관계를 적절한 통계적 가속모델로 설정해야 하지만 다음 장에서 이 부분은 따로 자세히 언급하기로 한다. 일반적으로 가속수명시험에 관한 연구들은 일단 시험의 수행 전에 규명되어야 하는 stress와 평균수명과의 관계를 단순선형으로 가정한 후, 통계적 효율을 최대화 할 수 있도록 두 수준의 stress 하에서만 시험하는 최적계획에 관한 연구들과 단순선형성의 여부를 판단하기 위하여 세 수준 이상의 stress에서 시험하는 절충형 계획들에 관한 연구들로 구분된다. 일반적으로 최적계획의 장점은 통계적으로 효율성은 높다는 것이며, 단점으로는 두 수준의 stress에서만 시험하기 때문에 모수와 stress 사이의 이차 이상의 다항 모형에 관한 적정성 여부에 대한 검토가 불가능하며 저 stress 수준이 높아서 외삽의 효과가 클 경우가 발생할 수 있고, 저 stress 수준에서 시험 종료 시까지 고장이 관측되지 않을 수도 있다. 이러한 최적계획의 단점들을 보완하기 위하여 개발된 3 혹은 4 수준의 stress에서 시험되는 절충형 계획은 통계적 효율성 측면에서 최적계획보다 낮은 단점이 있지만, 저 stress 수준이 사용조건에 보다 가깝게 설정되므로 stress에 의한 외삽량이 줄어들고, 시험단위의 수를 저 stress에서 고 stress 순으로 할당하므로 각 stress에서 고장개수가 증가하게 되고, 가정된 단순선형 모형의 적합성을 확인할 수 있는 등 장점이 많다.<sup>4)</sup>

가속수명시험의 설계에 관한 최초의 연구로서 평균수명과 stress사이의 관계가 선형일 때 Nelson과 Kiełpinski<sup>18)</sup> 그리고 Nelson과 Meeker<sup>19)</sup>는 수명이 각각 대수정규분포와 Weibull 분포를 따르며 정시종결인 경우에 연속검사에서 최적계획을 제시하였으며, Meeker와 Hahn<sup>20)</sup>은 수명이 Weibull분포와 대수정규분포를 따를 때 세 stress 수준에서 시험하는 절충형 계획을 제시하였다. 또한 Yum과 Choi<sup>14)</sup>는 수명자료가 지수분포이고 정시종결인 경우 정기검사하의 최적계획을 설계하였으며, Seo와

Yum<sup>15)</sup>은 Yum과 Choi의 연구를 확장하여 가속모형이 선형인 경우에 와이블 분포를 따르고 간헐적 검사일 때 검사시각이 설계변수에 포함된 최적계획을 설계하였으며, 세 stress 수준에서 시험하는 절충형 계획을 제시하였다.

이상 지금까지 언급된 대부분의 계획에서는 비록 절충형이라고 하더라도 평균수명과 stress 사이의 모형이 단순선형이라고 가정하고 있으므로 실제 모형이 선형이 아닐 경우에는 적절한 시험 계획이라고는 볼 수 없다. 다만 모형의 선형성 가정에 대한 적합성 양부를 판별할 수는 있다.<sup>4)</sup> 이렇듯 stress와 평균수명과의 관계에 대한 모델 설정은 가속 수명 설계에서 매우 중요한 부분이라 할 수 있는데, 이 적절한 통계적 가속모델을 설정에 관해서는 각 전자 부품의 고장을 발생시키는 원인 stress에 대한 고찰이 필수적이다. 세라믹 전자 부품의 열화와 고장의 원인이 되는 stress로서는 전압 stress와 온도 stress, 습도 stress 그리고 기계적 stress가 지배적이다. 각 stress와 평균수명 사이에는 각기 다른 관계 model을 설정해야 하며 이 과정에는 재료 공학적 지식이 필수적인데 다음 장에서 예를 들어 자세히 언급하려 한다.

마지막으로 신뢰성 샘플 검사는 생산자 요구조건과 소비자 요구조건을 만족하도록 검사방식을 정하는 규준형 샘플링 검사방식과 주어진 신뢰성 수준(평균수명 또는 고장율 수준)에서 lot의 합격 확률만을 규정하는 시험 방식이 있다.<sup>22)</sup>

## 2.2 Stress와 수명 간의 가속 model

앞서 서론에서 언급하였듯이 고장 원인 분석에는 재료 공학적인 연구가 필수적이다. 이에 더하여 수명과 stress의 관계에 관한 정확한 모델 설정을 위해서도 재료공학적 연구는 필수적이다. 세라믹 전자부품의 평균수명을 단축시켜 고장에 이르게 하는 stress 중에는 앞서 언급하였듯이 전압, 온도, 습도, 기계적응력 4가지를 들 수 있는데 이 단원에서는 대표적으로 온도 stress와 평균수명 사이의 관계에 관한 모델로서 사용되는 Arrhenius 관계식의 공학적 근거와 의미에 대해서 반응 속도론 적 지식을 비롯한 재료 공학적 고찰을 사용하여 상세히 고찰하고자 한다.<sup>7)</sup> 우선 세라믹 전자 부품의 고장을 유발하는 stress

중에 온도 stress가 재료의 고장을 발생시키는 메커니즘은 세라믹 내부에 빈번히 존재하는 결함, 그 중에서도 산소나 양이온의 빈자리(vacancy) 결함에 주로 의존한다.<sup>8,11)</sup> 이 산소 빈자리 등의 결함이 외부 전기장의 방향으로 이동할 수 있는 확률은 온도가 증가함에 따라 높아진다. 이렇듯 이동도가 증가함은 다시 말하면 세라믹 내부의 저항이 떨어진다는 의미이기에 열화를 가속하여 평균 수명이 감소하게 된다. 또한 이동도가 증가한 결함은 결과적으로 세라믹과 전극 사이에 결함이 축적되어 고장이 발생하므로 역시 평균수명이 감소하게 된다. 이때 평형 위치에서  $u_0$ 의 진동수로 진동하고 있던 결함(vacancy)이 본 위치에서 외부전기장 방향으로 이동하기 위해서는 중간 활성화 단계를 거쳐야 하며 활성화 단계에 도달하는 양은 당연히 원래 자리에 있던 결함(vacancy)의 농도와 속도 상수에 의존한다. 그러므로 활성화 단계에 있는 결함(vacancy)의 생성 속도는 아래와 같이 쓸 수 있다.

$$\text{결함생성속도} = k \cdot [\text{결함농도}] \quad (1)$$

여기서  $k$ 가 속도 상수이다.

이때 중간 활성화 단계의 평형을 생각하면, 평형에서는 아래 식으로 표현할 수 있다.

$$\Delta G_v = -k \cdot T \cdot \ln K_v = \Delta H_v - T \cdot \Delta S_v \quad (2)$$

여기서  $K_v$ 는 활성화 반응의 평형 상수,  $G_v$ 는 결함(vacancy) 활성화에 필요한 전체 자유에너지,  $H_v$ 는 결함(vacancy)이 활성화 되는데 필요한 엔탈피,  $S_v$ 는 활성화 엔트로피,  $k$ 는 볼츠만 상수,  $T$ 는 절대 온도이다.

(2)식에서 평형 상수  $K_v$ 는 아래 (3)식으로 구할 수 있다.

$$K_v = \text{Exp}(-\Delta H_v/kT) \cdot \text{Exp}(\Delta S_v/k) \quad (3)$$

또한 (1)식의 속도 상수 역시 활성화 단계의 평형 상수에 비례하므로 아래 식(4)로 표현 가능하다.

$$k = \text{Exp}(-\Delta H_v/kT) \cdot \text{Exp}(\Delta S_v/k) \quad (4)$$

이렇게 속도 상수  $k$ 를 구했으며 고전적인 반응 속도론 이론에 의하면 중간 활성화 단계에 도달하는 결함(vacancy)의 빈도수는 아래 식으로 구할 수 있다.<sup>7)</sup>

$$v = u_0 \text{Exp}(\Delta S_v/k) \cdot \text{Exp}(-\Delta H_v/kT) \quad (5)$$

위 (5)식에서  $\text{Exp}(-\Delta H_v/kT)$  항목을 제외한 부분은 상수가 되며 그 결과는 위에 언급한 바대로 다음과 같은 Arrhenius 식이 표현된다.

$$\sigma = A \cdot \text{Exp}(-E/kT) \quad (6)$$

여기서  $E$ 는 식 (5)의  $\Delta H_v$ 에 해당하며 활성화 에너지라고 표현한다. 그리고  $A$ 는 상수이며 식 (5)에서는  $\text{Exp}(-\Delta H_v/kT)$  항목을 제외한 모든 상수 부분에 해당한다. 이렇게 하여 온도 stress에 관해서는 온도  $T$ 가 상승하여 stress가 증가하면 재료의 결함에 의한 전기 전도도가 증가하고 저항을 낮아져서 고장이 가속화되고 평균수명을 단축시킨다는 이론에 의해 Arrhenius 모델을 선택한 근거를 고찰하였다. 더 나아가 상수  $A$ 에 대해서는 결함의 농도는 온도 변화에 대해 상수이면서 그 활성화 빈도수  $u$ 만 온도에 의존하는 영역에 대해서 아래 식으로 구할 수 있다.<sup>17)</sup>

$$A = (z\lambda^2 e^2 / 6umk) c_{\text{eff}}^v u_0 \text{Exp}(S_v/k) \quad (7)$$

여기서  $z$ 는 jump 할 수 있는 방향(perovskite 구조에서는<sup>8)</sup>,  $\lambda$ 는 jump 거리,  $um$ 는 분자부피(molecular volume),  $e$ 는 하전,  $k$ 는 볼츠만 상수,  $c_{\text{eff}}^v$ 는 실제 전기 전도도에 기여하는 결함(vacancy)의 몰농도(mole fraction)이다. 지금까지 온도 stress와 평균수명에 대한 Arrhenius model 근거를 재료 공학적 관점에서 서술하였다. 이 설정된 Arrhenius 모델의 stress와 평균수명 사이 관계식을 사용하여 외삽법을 적용하면 제품의 사용 조건하의 평균수명을 계산할 수 있다. 마지막으로 이 모델 적용 시에 주의할 점은 식(6)의 활성화 에너지  $E_A$ 는 결함의 농도는 일정하다는 가정 하에서 유도된 속도론적인 값이라는 점이다. 이 값은 결함의 생성 반응식을 고려한 값과는 구분되어야 한다. 즉, 생성 엔탈피  $\Delta H_v$ , chemical potential 대신한 절대 활동도, Rault의 법칙을 고려하여 결함의 농도를 구한 이후에 결함 농도와 전도도  $\sigma$ 와의 상관관계를 이용하여 구한 전도도  $\sigma$ 와 온도  $T$ 사이 Arrhenius 관계식에서의  $E_A$  값과는 구분되어야 한다.

이 Arrhenius model에 전압 stress와 평균수명과의 관계까지를 연관시킨 모델로서는 Eyring의 모델이 일반적이다.<sup>21)</sup>

$$A_L = \frac{L_N}{L_A} = \left(\frac{V_A}{V_N}\right) \exp\left\{\frac{E_a}{k} \left(\frac{1}{T_A} - \frac{1}{T_N}\right)\right\} \quad (8)$$

여기서  $A_L$ 은 가속계수  $L_N$ 은 일반조건에서의 평균수명  $L_A$ 는 가속 조건에서의 평균수명  $V_A$ 는 가속 전압  $V_N$ 은 일반조건에서의 전압이다. 또한 기계적 응력과 재료의 평균수명과의 관계식으로는 Griffith-Orowan-Irwin 식 등이 있으나<sup>16)</sup> 본 논문에서는 자세한 설명을 생략한다. 이렇듯 각 stress 들과 평균수명과의 관계는 그 재료공학적 근거 위에서 다양하고 정확하게 설정되어야 한다. 그러나 이러한 다양한 모델 들에서 가정된 선형모형이 실제와 적합하지 않을 때에는 선형-이차 판별기준(linear-quadratic discriminator criterion)에 적합 시켜보면 가정된 선형모형의 타당성을 검토할 수 있다.<sup>4)</sup>

### 2.3 고장의 분석

앞서 서론에서 언급하였듯이 고장분석의 중요성은 단순 수명 시험에 머무르지 않고 고장의 근본 문제를 해결토록 개선 공정을 제한하는 등 세라믹 전자 부품의 신뢰성을 향상시킨다는 관점에서 중요하다. 물론 고장분석에 관해 FMEA(Failure Mode Effects Analysis), QFD(Quality Function Development), DOE(Design of Experiment) 등의 통계적 기법에 도움을 받아 주요 고장 메커니즘 분석을 실시하는 것도 의미가 있으나 재료공학적 기초 지식이 없는 상태에서 규정한 세라믹 전자 부품의 고장 메커니즘은 피상적일 수 있다. 덧붙이면 앞서 언급하였듯이 최근의 전자 부품의 고장은 나노 크기(nano scale)에서 발생하고 있으며 나노 수준의 소재 분석력이 없이는 신뢰성이 높은 소재나 소자를 개발을 위한 고장 분석은 불가능하다. 이점이 원자 단위의 분석이 가능한 TEM 등의 설비 들이 첨단 고장 분석을 위해 필수적인 이유이다. 한발 더 나아가 고장의 발생 시점과 고장 분석 시점 사이에 시간 간격이 큰 경우나 외부 환경이 다른 경우에는 고장 발생 후 오염 등에 의해서 고장 원인이 사라지

거나 왜곡될 수가 있다. 이런 경우 고장 발생 메커니즘에 대해서 사실과 전혀 다른 결론을 맺을 위험이 높다. 그래서 최근에는 나노 수준의 분석력뿐만 아니라 In-situ의 분석이 가능한 전자 현미경 설비가 중요시 되고 있다.<sup>9,10)</sup> 이 단원에서는 나노 수준의 분석 능력과 재료 공학적 연구 없이는 불가능한 고장 분석의 한 예로서 세라믹 캐패시터 등 세라믹 전자 부품의 주된 고장 메커니즘인 결합 구조의 고장 발생 메커니즘 분석의 예를 소개하고자 한다.

산소의 빈자리(oxygen vacancy)는 세라믹 재료에서 가장 빈번히 발생하는 결합일 뿐만 아니라 그 자체로서 (-) 하전을 띄기 때문에 전기장 하에서 전기 전도에 기여하여 전자 부품의 고장과 수명 단축의 가장 주요한 원인이 된다. 산소 빈자리의 이동과 계면 축적이 고장을 발생시키는 메커니즘에 대한 분석 예는 이미 여러 논문을 통해서 보고된 바 있다.<sup>8,11)</sup> 산소 빈자리가 축적된 부분에서는 전기적 중성 조건(ENC, Electro Neutrality Condition)을 만족시키기 위해 금속 양이온들의 환원이 필연적으로 발생한다는 것은 추론 가능한 가설이며 워낙 정밀한 부품에서는 그 발생 위치가 아주 제한적이고 국부적일지라도 치명적일 수 있다. 바꾸어 말하면 고장 발생위치가 아주 제한적이고 국부적이기 때문에 그 흔적을 추적하는 것은 보통의 설비로는 불가능하며 EELS(Electron Energy Loss Spectroscopy) 등의 극히 제한된 분석 장비로 가능성이 보고되었다.<sup>10)</sup> TEM 회절 분석과 이미지를 사용하여 고장 부위의 ordered structure를 직접적으로 관찰 보고한 사례는 1999년 Randall 등에 의해서 BaTiO<sub>3</sub> 계에 대해서 보고되었다.<sup>11)</sup>

Ni 내부 전극을 사용하는 BaTiO<sub>3</sub> 계 세라믹 전자부품의 고장의 원인이 되는 Ti(4+) 이온의 국부적(수십 nm범위) 환원 발생을 투과 전자 현미경으로 확인할 수 있는 이유는 다음과 같다. Fig. 2에서 보는 바와 같이 산소 빈자리가 축적된 부분에 Ti 이온의 환원(+4 → +3)이 빈번하게 발생하며, 환원된 Ti(+3) 이온과 산소 빈자리가 국부적으로(nano scale) 증가하게 되어 규칙구조(ordered structure)를 형성한다. 결과적으로 TEM의 회절분석결과(diffraction pattern) 상에 이 규칙구조(ordered phase)에

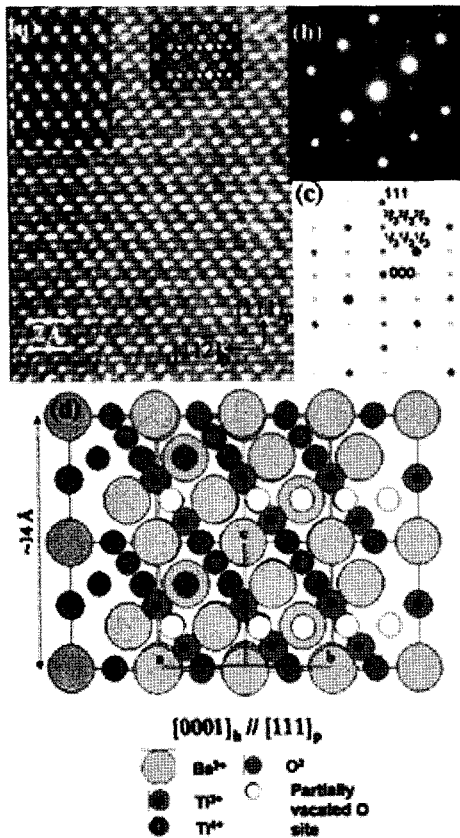


Fig. 2. Degraded  $BaTiO_{3-d}$  with ordered structure.<sup>11)</sup>

의한 추가 회절점이 발생하게 된다. 이 규칙구조(ordered phase)의 발견은 산소 빈자리와 Ti의 환원이 국부적으로 발생하여 고장의 원인인 된다는 가설의 직접적인 증거가 될 수 있으며 이 규칙구조(ordered phase)의 발생 범위는 극히 국부적(수십 nm)이다. Fig. 2를 통해 Randall 등은 위에서 언급한 회절분석결과 관찰 뿐만 아니라 직접 원자 단위의 미세구조 관찰을 통해서 규칙구조(ordered phase)의 존재를 확인하여 도식적으로 보고하였다. 한편 회절분석 결과 상의 회절점이 추가로 발견되는 superstructure의 발생 원인은 ordered phase의 생성 이외에도 tilting이나 anti-parallel displacement 그리고 shear planes 등 여러 가지가 가능하지만 이  $BaTiO_3$  계에서는 ordered phase의 형성만이 유일한 원인임을 밝혔다.<sup>11)</sup> 이상에서 알 수 있듯이 나노 수준의 분해능을 가진 TEM 분석 능력을 갖춘 첨단 재료공학 지식의 세라믹 전자 부품

의 high-end 품에 대한 고장 분석에는 필수적이다.

## 2.4 고장의 정의

특성 불량률의 경우와 마찬가지로 신뢰성의 열화는 경시성을 가지며 점진적으로 진행하여 최종적으로 고장이 발생하기 때문에 경우에 따라서는 고장품과 양품의 판정이 쉽지 않을 때도 있다. 이러한 경우 고장의 정확한 메커니즘 분석이 매우 중요하며 더불어 더욱 중요한 사항은 그 분석에 근거한 고장의 정의이다. 고장이 정확히 정의되어야 그 고장 판정 기준에 도달하는 수명 역시 계산 가능하기 때문이다.

신뢰성에서 고장의 정의는 파국적 고장의 의미하는 것이 아니라 보다 넓은 의미의 고장을 의미한다. 즉 점진적인 열화 과정 중에 제품이 오동작이 발생하는 지점이 고장의 정의이다. 범용 전자 부품의 경우 catalogue에 각 부품의 신뢰성 규격을 포함한 제품규격을 일괄적으로 명시하고 있지만 최근의 다양하고 급변하는 소비자의 요구를 맞추기 위해서는 기존에는 비슷했던 규격의 부품이라 하더라도 적용되는 완제품 별로 서로 다른 신뢰성 규격을 요구하기에 좀더 세분화하여야 한다. 예를 들어 사용 전력이 높고 동작 온도가 높은 PC 용 부품과 사용 전력은 낮고 동작온도는 다소 낮으나 낙하 등 충격에 자주 노출되는 mobile 기기용 부품은 요구되는 신뢰성 규격이 다르다. 마찬가지로 고장의 정의에도 같은 논리가 적용된다. 이때 고장에 대한 정의가 너무 보수적으로 설정되면 부품 개발기간이 길어져 제품의 수명이 짧은 mobile 제품 등 다양하고 급변하는 제품에 빠르게 대응할 수 없으며 너무 완화된 기준으로 설정되면 오작동을 야기할 수 있다.

그 예로서 세라믹 캐패시터의 정전 용량 값을 고려해 보면 세라믹 캐패시터의 정전 용량 값은 시간과 온도, 온도 cycle 등의 환경에 의존하는 값이기 때문에 신뢰성 규격으로 고장을 정의해야 하는 항목이다. 이 세라믹 캐패시터의 용량 값의 고장에 대한 정확한 정의를 위해서는 세라믹 캐패시터의 사용 환경은 물론 사용 목적부터 개별 세라믹 캐패시터의 정확한 장착 위치까지에 이르는 구체적인 지식이 필요하다. 전자 제품 내의 교류회로에

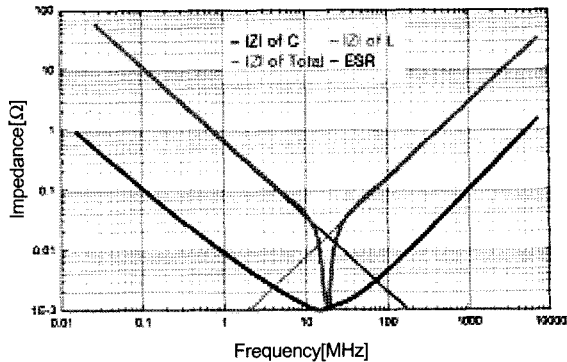


Fig. 3. The variation in |Z|(impedance) and ESR for ceramic capacitor with the change of frequency.

사용되는 모든 부품과 도선들은 주파수가 변화하면 설계 때 목적했던 기능 외에 다른 역기능 들이 발생되며 이를 기생 성분이라고 한다. 캐패시터도 주파수가 증가하면 Fig. 3에 나타난 것 같이 inductor로 변질돼서 최초 설계자의 의도와 반대로 작동하여 제품의 오작동을 유발하게 된다. 이에 대응하기 위해서는 추가 캐패시터를 기생 성분인 inductor와 병렬로 배치하여 보다 넓은 주파수 범위에서 캐패시터 역할을 수행하게 설계해야 한다.<sup>13)</sup> 이를 위한 추가 캐패시터의 설계는 추가 캐패시터의 정전용량 값 고려만으로는 힘들며 정전 용량 이외에 새로운 항목을 고려해서 교류회로를 설계해야 있다. 즉 impedance라는 추가 항목을 고려하여 캐패시터의 고장을 세밀하게 정립하여야 하며 정전 용량은 아래 공식에 의하여 impedance와 관련이 된다.

$$C = Z/Y \quad (9)$$

C는 정전용량, Z는 impedance, Y는 admittance이다. 이러한 원리에 의해서 아래 Fig. 4.에 나타나듯이 CPU 주변에는 수 없이 많은 캐패시터가 사용되며<sup>12)</sup> Fig. 5.에서 보듯이 컴퓨터의 CPU 근처에서 사용 되는 수많은 capacitance의 용도는 그 사용 주파수 별로 다양하다.<sup>13)</sup> 또한 각각의 캐패시터 들은 장착 위치에 따라서 그 필요 정전 용량 값이 허용 범위가 다변 한다. 이들 많은 캐패시터 들은 그 장착 위치에 따라서 die capacitor, package capacitor, substrate capacitor, bulk capacitor 등으로 구분된다. 그 각 장착 위치 별 캐패시터의 사용 주파수를 반응 시간

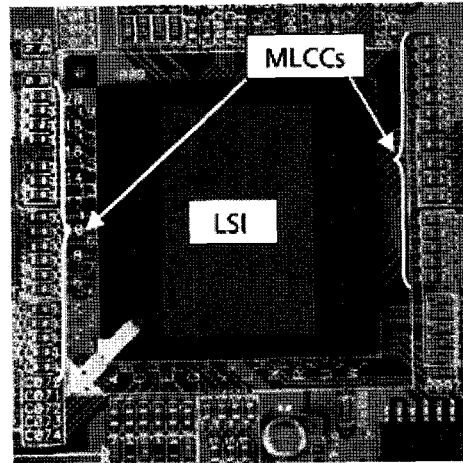


Fig. 4. Example of capacitor application in LSI circuit.<sup>12)</sup>

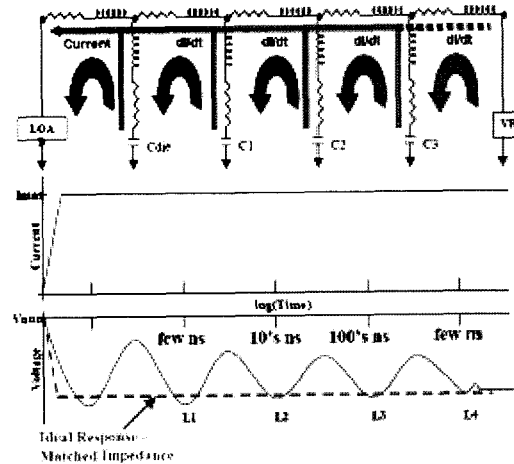


Fig. 5. The stimulus and response of the ceramic capacitors at the simplified LSI circuit.<sup>13)</sup>

으로 표시하면 수 ms에서 수 ns 까지 다양하며 Fig. 5와 같다.<sup>13)</sup> 이 반응 시간에 맞지 않게 잘못 장착되면 캐패시터는 심한 경우 Fig. 3에 나타난 것 같이 inductor의 역할을 수행하여 설계자의 의도와 반대로 작동하여 제품의 오작동을 유발하게 된다. 그러나 제품의 catalogue 상의 용량은 규격에 의거한 통일된 조건으로 측정된 값을 표기하므로 부품을 사용하는 제품 회로 설계자들의 다양하고 급변하는 요구에 모두 부합할 수는 없는 실정이다. 이런 이유로 인해서 고객별로 다양하게 요구하는 복잡한 요구 사항에 얼마나 신속하고 신뢰성 있게 대응할 수 있는 정도 그리고 고객의 요구를 미리 파악하여 시장을 예측하



는 기술이 현시점의 선진 부품회사 기술력의 척도이다.

또 다른 한 가지 예로서 앞서 언급하였듯이 캐패시터의 저항 값(Insulation resistance)의 고장 판정은 재료 공학적 지식과 회로 지식이 없이는 불가능하다. C(정전용량) x R(절연저항) 값은 아래 식 (10)에 의해서 재료 상수가 되므로 제품의 dimension에 의존하지 않는 상수이다. 여기서 stress의 인가에 의해 재료 자체의 물성이 경시적으로 변화하므로 재료 물성 변화 매커니즘에 대한 재료 공학적 지식이 없이는 캐패시터의 저항 값(Insulation Resistance)의 고장을 정의하는 것은 불가능하다.

$$C \times R = \epsilon \cdot S/l \times \rho \cdot l/S = \epsilon \times \rho \quad (10)$$

마지막으로 전자 부품의 절연저항(Insulation resistance)의 규격 설정 시에 재료공학적 연구와 더불어 application engineering 연구가 중요한 이유는 부품의 오작동이나 기능을 상실하는 고장 이외에 다음과 같이 주변 부품에 대한 영향도 고려해야 하기 때문이다. 한 부품에 교류 전류 I가 흐르면 저항 성분(ESR)에 의해 다음 식으로 표시되는 전력 소비  $P_e$ 로 발열한다.

$$P_e = I^2 \cdot ESR = Q \quad (11)$$

여기서  $P_e$ 는 실효 소비전력[W]이며 Q는 단위시간당 발열량[J/s]이며 I는 전류(A)이다. 발열에 의해 부품은 온도가 상승( $\Delta T$ )하고 온도가 주위보다 높게 되면 방열이 생기는데 이때 방열량이 작을수록 온도는 상승( $\Delta T$ )한다. 이때  $\Delta T$ 는 아래 식으로 표현할 수 있다.

$$\Delta T = R_t \cdot ESR \cdot P_A / |Z| \quad (12)$$

여기서  $R_t$ 는 열저항이며  $P_A$ 는 걸보기 소비전력이다. 같은 열저항에서 ESR이 크고 impedance 값이 작으면 온도 상승폭이 크다. 이렇듯 전자 부품의 impedance 값은 전자 부품의 온도 상승을 결정하는데 중요한 인자이다.<sup>21)</sup>

지금까지 살펴보았듯이 고장의 정의가 획일적이지 않고 고객의 복잡한 요구에 따라 변화하는 상황에서는 목표 고장률 설정 등 세라믹 전자 부품의 신뢰성 향상을 위한 연구에는 첨단 재료 공학적 지식 이외에 교류회로

이론을 포함한 application engineering 지식이 또한 필수적이다.

### 3. 맺음말

세라믹 전자 부품의 가속 수명 평가는 크게 4 단계로 구분할 수 있음과 가속 수명 시험이 시험에서 그치지 않고 고장 분석을 포함하는 일련의 평가로 진행되어 세라믹 전자 부품의 신뢰성의 향상에 기여할 수 있으려면 통계 데이터 처리 등의 통계학적 연구능력이 더하여 재료 공학적 연구능력 그리고 나노 수준의 분석능력 그리고 전자 부품의 회로이론을 포함한 application engineering 연구까지 포함하는 종합 연구를 수행해야 한다는 것에 대해서 알아보았다. 또한 다양하고 급변하는 고객의 요구에 기인한 현 전자 산업의 상황 즉, 고밀도화 고집적화 되는 전자제품의 추세와 더불어 촌각을 다투는 개발 기간 단축 경쟁의 상황에 대응하기 위해서 요구되는 신뢰성 평가 연구의 수준은 기존의 공학 이론과 분석 이론은 물론 새로이 발견되고 발명되는 첨단의 공학적 지식과 분석 능력을 요구하고 있다.

### 참고문헌

1. H. Choi, "The report for the projects of building a foundation for reliability in ceramic industry", *The monthly magazine for ceramics* No. 6 (2006).
2. S. Seo, H. Cho, "Design of Accelerated Life Test Plans for the Lognormal Failure Distribution under Intermittent Inspection", *Journal of the Korean Society for Quality Management*, Vol. 24, No. 2, 25~43 (1996).
3. J. Park, H. Park, "Reliability design phase for LTCC-M modules", *Korea Reliability Technology Center Report.*, Korea Testing Laboratory.
4. S. Seo, C. Ha, K. Kim, "Optional Design of Accelerated Life Tests under Model Uncertainty", *Journal of the Korean Society for Quality Management*, Vol. 29, No. 3, 49~65(1997).
5. W. Nelson, "Accelerated Testing: Statistical Models, Test Plans, and Data Analysis", Wiley, New York (1990).
6. J. F. Lawless, "Statistical Models and Methods for Lifetime Data", John Wiley and Sons, New York



7. A.S. Nowick, Yang Du, K.C. Liang, "Some factors that determine proton conductivity in nonstoichiometric complex perovskites", *Solid State Ionics* Vol. 125, 303~311(1999).
8. Hirokazu Chazono and Hiroshi Kishi, "dc-Electrical Degradation of the BT-Based Material for Multilayer Ceramic Capacitor with Ni internal Electrode: Impedance Analysis and Microstructure Part 1", *Jpn. J. Appl. Phys.* Vol. 40 No. 9B, September 5624 ~5629 (2001).
9. G. Y. Yang, E. C. Dickey, C. A. Randall, M. S. Randall, and L. A. Mann, "Modulated and ordered defect structures in electrically degraded Ni-BaTiO<sub>3</sub> multilayer ceramic capacitors", *J. Appl. Phys.* Vol. 94, 5990~5996 (2003).
10. G. Y. Yang, E. C. Dickey, C. A. Randall, D. E. Barber, P. Pinceloup, M. A. Henderson, R. A. Hill, J. J. Beeson and D. J. Skamser "Oxygen nonstoichiometry and dielectric evolution of BaTiO<sub>3</sub> Part 1 - improvement of insulation resistance with reoxidation", *J. Appl. Phys.* Vol. 96, 7492 ~7499 (2004).
11. D. I. Woodward, I. M. Reaney, G. Y. Yang, E. C. Dickey, and C. A. Randall, "Vacancy ordering in reduced barium titanate" *App. Phy. Lett.* Vol. 84, 4650~4652 (2004).
12. H. Hishi, Y. Mizuno and H. Chazono, "Base-metal electrode-multilayer ceramic capacitors: past, present and future perspectives", *Jpn. J. Appl. Phys.* Vol. 42 No. 1, 4 ~19 (2003).
13. L. Mosely referred in "Challenges in Decoupling Capacitors", C. A. Randall, *CDS spring report*, p. 3 (2006)
14. B.J. Yum, and S.C. Choi, "Optimal Design of Accelerated Life Tests under Periodic Inspection", *Naval Research Logistics*, Vol. 36, (1989) 779.
15. S.K. Seo and B.J. Yum, "Accelerated Life Test Plans under Intermittent Inspection and Type- I Censoring : The Case of Weibull Failure Distribution", *Naval Research Logistics*, Vol. 38, p. 1 (1991).
16. R. W. Davidge, *Mechanical behavior of ceramics*, Alden Press, Oxford, 1979
17. Lee, in: A.L. Laskar, S. Chandra (Eds.), *Superionic Solids and Solid Electrolytes*, Academic Press, San Diego p. 381 (1989).
18. W. Nelson and T.J. Kielpinski, "Theory for Optimum Censored Accelerated Life Tests for Normal and Lognormal Life Distributions", *Technometrics*, Vol. 18, 105~114 (1976).
19. W. Nelson, and W.Q. Meeker, "Theory for Optimum Accelerated Censored Life Tests for Weibull and Extreme Value Distributions", *Technometrics*, Vol. 20, 171~177 (1978).
20. W.Q. Meeker and G.J. Hahn, "How to Plan an Accelerated Life Test-Some Practical Guidelines, ASQC Basic References in Quality Control: Statistical Techniques", Vol. 10, (1985).
21. "The basics and applications for ceramic capacitors", MLCC division, muRata Industry, 250~251.
22. Y. Chun, K. Kim, "Design of LTML Qualification Reliability Test Plans for Weibull Distribution", *Journal of the Korean Institute of Plant Engineering*, Vol.7 No. 4 Dec. 5~16 (2002).

●● 최순목



- 2000년 연세대학교 세라믹공학과 박사
- 2000년 삼성전기 책임연구원
- 2003년 Pennsylvania State Univ. Post-doc. 연구원
- 2005년 삼성전기 책임연구원
- 2007년 요업기술원 기술지원본부 선임연구원